

ZYNQ7000 开发平台 用户手册

AX7Z020B 开发板



文档版本控制

| 文档版本 | 修改内容记录 |
|--------|--------|
| REV1.0 | 创建文档 |
| | |
| | |
| | |
| | |
| | |
| | |
| | |

目 录

| | |
|------------------------------------|----|
| 文档版本控制 | 2 |
| 一、 开发板简介 | 6 |
| 二、 AC7Z020 核心板 | 8 |
| (一) 简介 | 8 |
| (二) ZYNQ 芯片 | 9 |
| (三) DDR3 DRAM | 11 |
| (四) QSPI Flash | 14 |
| (五) 时钟配置 | 16 |
| (六) 电源 | 17 |
| (七) 结构图 | 18 |
| (八) 连接器管脚定义 | 19 |
| 三、 扩展板 | 23 |
| (一) 简介 | 23 |
| (二) CAN 通信接口 | 24 |
| (三) 485 通信接口 | 24 |
| (四) 千兆以太网接口 | 25 |
| (五) USB2.0 Host 接口 | 27 |
| (六) USB 转串口 | 28 |
| (七) AD 输入接口 | 29 |
| (八) HDMI 输出接口 | 30 |
| (九) MIPI 摄像头接口(仅 AX7Z020 使用) | 32 |
| (十) SD 卡槽 | 33 |
| (十一) EEPROM | 34 |
| (十二) 实时时钟 | 34 |
| (十三) 温度传感器 | 35 |
| (十四) JTAG 接口 | 36 |
| (十五) 用户 LED 灯 | 36 |
| (十六) 用户按键 | 37 |
| (十七) 扩展口 | 38 |

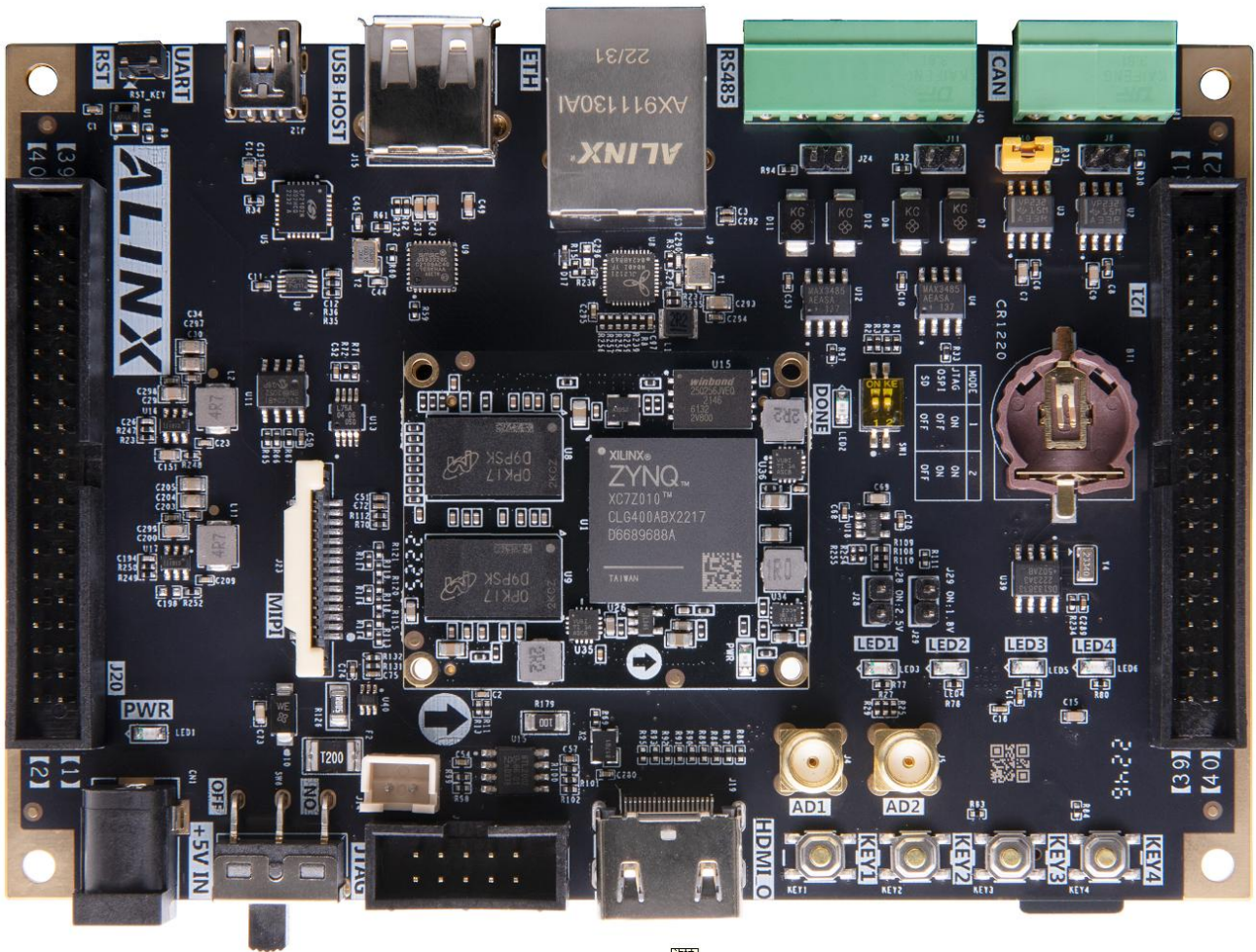
(十八) 供电电源..... 40

(十九) 底板结构图..... 41

芯驿电子科技(上海)有限公司基于 XILINX ZYNQ7000 开发平台的开发板(型号: AX7Z020B) 2022 款正式发布了,为了让您对此开发平台可以快速了解,我们编写了此用户手册。

这款 ZYNQ7000 FPGA 开发平台采用核心板加扩展板的模式,方便用户对核心板的二次开发利用。核心板使用 XILINX 的 Zynq7000 SOC 芯片的解决方案,它采用 ARM+FPGA SOC 技术将双核 ARM Cortex-A9 和 FPGA 可编程逻辑集成在一颗芯片上。另外核心板上含有 2 片共 512MB 高速 DDR3 SDRAM 芯片和 1 片 256Mb 的 QSPI FLASH 芯片。

在底板设计上我们为用户扩展了丰富的外围接口,比如 2 路 CAN 通信接口,2 路 485 通信接口,2 路 XADC 输入接口,1 路千兆以太网接口,1 路 USB2.0 HOST 接口,1 路 HDMI 输出接口,Uart 通信接口,SD 卡座,40 针扩展接口等等。满足用户各种以太网高速数据交换,数据存储,视频传输处理以及工业控制的要求,是一款“专业级”的 ZYNQ 开发平台。为高速以太网数据传输和交换,数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 ZYNQ 开发的学生、工程师等群体。



一、 开发板简介

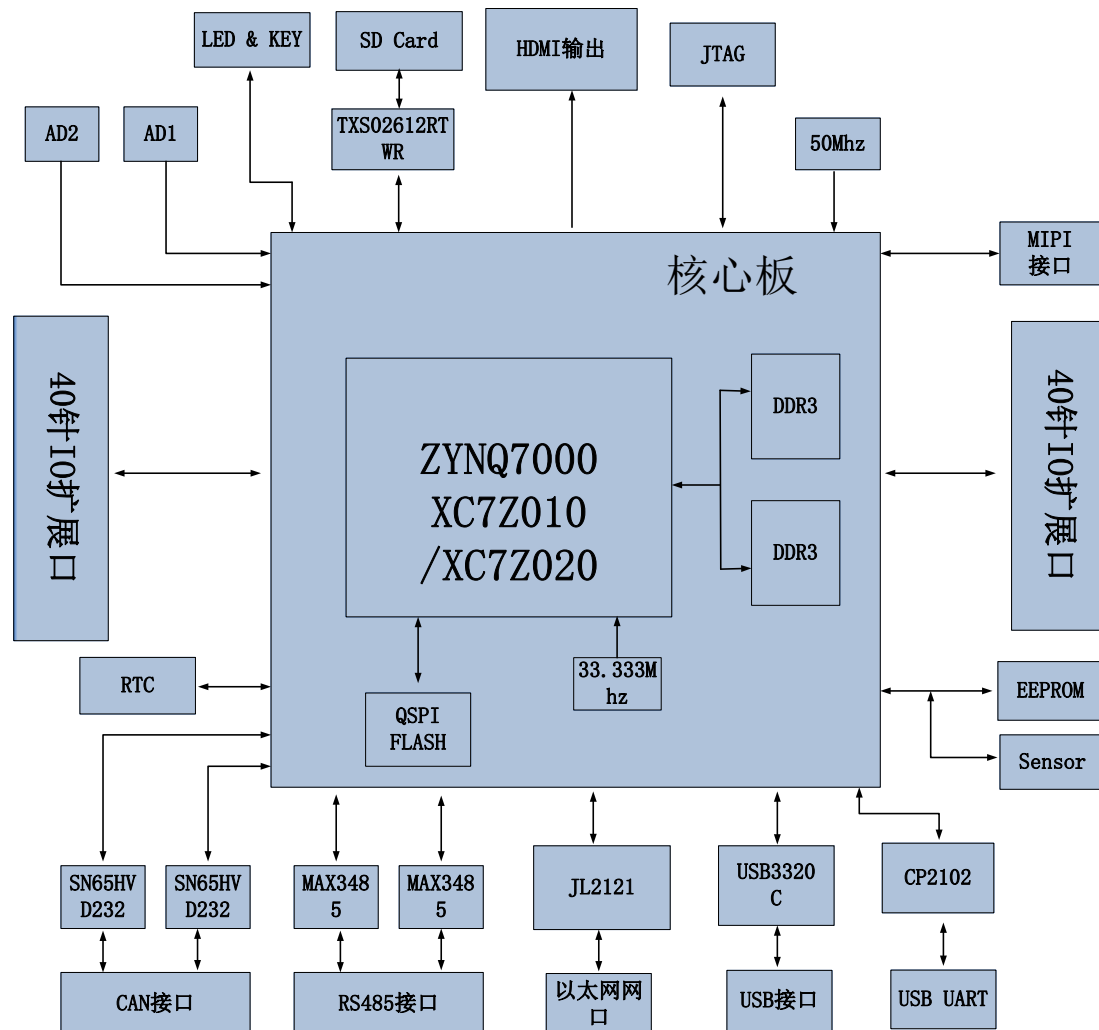
在这里，对这款 AX7Z020B ZYNQ 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 XC7Z020 + 2 个 DDR3 + QSPI FLASH 的最小系统构成，承担 ZYNQ 系统的高速数据处理和存储的功能，ZYNQ7020 和两片 DDR3 之间的数据位宽为 32 位，两片 DDR3 容量高达 512MB。ZYNQ7020 采用 Xilinx 公司的 Zynq7000 系列的芯片，型号为 XC7Z020-2CLG400I。ZYNQ7020 芯片可分成处理器系统部分 Processor System (PS) 和可编程逻辑部分 Programmable Logic (PL)。

底板为核心板扩展了丰富的外围接口，其中包含 1 路千兆以太网接口、1 路 USB2.0 HOST 接口、1 路 HDMI 输出接口、1 路 SD Card 接口、1 路 UART USB 接口、1 路 SD 卡接口、1 路 MIPI 接口、2 路 CAN 总线接口、2 路 RS485 总线接口、2 路 AD 输入接口、2 路 40 针的扩展口和一些按键 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- ZYNQ7000 核心板

由 XC7Z020+512MB DDR3 + 256Mb QSPI FLASH 组成，另外有 33.333333MHz 晶振提供时钟提供给 PS 系统。

- CAN 通信接口

2 路 CAN 总线接口，选用 TI 公司的 SN65HVD232 芯片。

- 485 通信接口

2 路 485 通信接口，选用 MAXIM 公司的 MAX3485 芯片。

- 千兆以太网接口

1 路 10/100M/1000M 以太网 RJ45 接口，用于和电脑或其它网络设备进行以太网数据交换。网络接口芯片采用景略半导体公司的 JL2121 工业级 GPHY 芯片。

- 一路高速 USB2.0 HOST 接口，可用于开发板连接鼠标、键盘和 U 盘等 USB 外设；

- USB Uart 接口

1 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- AD 模拟输入接口

2 路 AD 模拟输入接口，可用于模拟信号的输入和电压转换，SMA 接口形式。模拟信号电压输入范围为 0~10V (**不要输入超过这个范围的电压**)。

- 一路 HDMI 图像视频输出接口，能实现 1080P 的视频图像传输；

- 一片 IIC 接口的 EEPROM 24LC04；

- 板载一片温度传感器芯片 LM75，用于检测板子周围环境的温度。

- 一路 MIPI 摄像头接口，可以连接黑金 MIPI 接口的 OV5640 摄像头(仅 AX7Z020 使用)。

- 1 个 JTAG 调试接口。

- 40 针扩展口

2 个 40 针 2.54mm 间距的扩展口，可以外接黑金的各种模块(双目摄像头，TFT LCD 屏，高速 AD 模块等等)。扩展口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。

- LED 灯

7 个发光二极管 LED，核心板上 6 个，底板上 1 个。核心板上 1 个电源指示灯；底板上有 1 个电源指示灯，1 个 DONE 配置指示灯；4 个用户指示灯。

- 4 个用户按键在底板上。

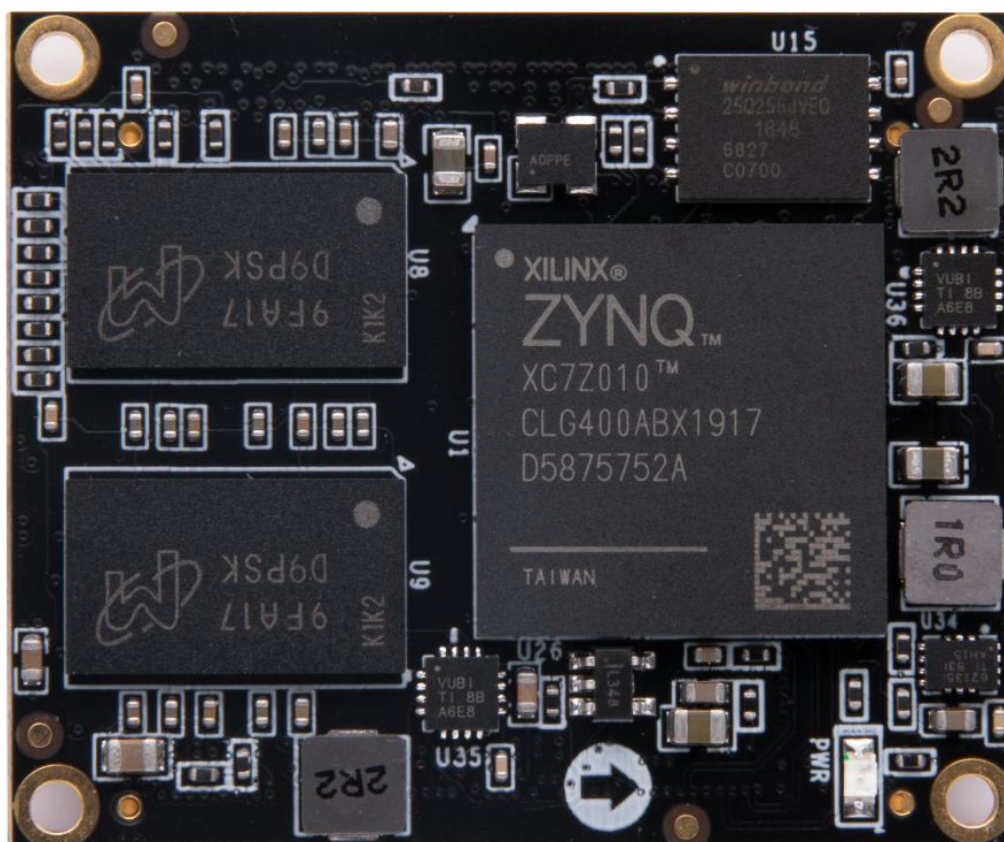
二、 AC7Z020 核心板

(一) 简介

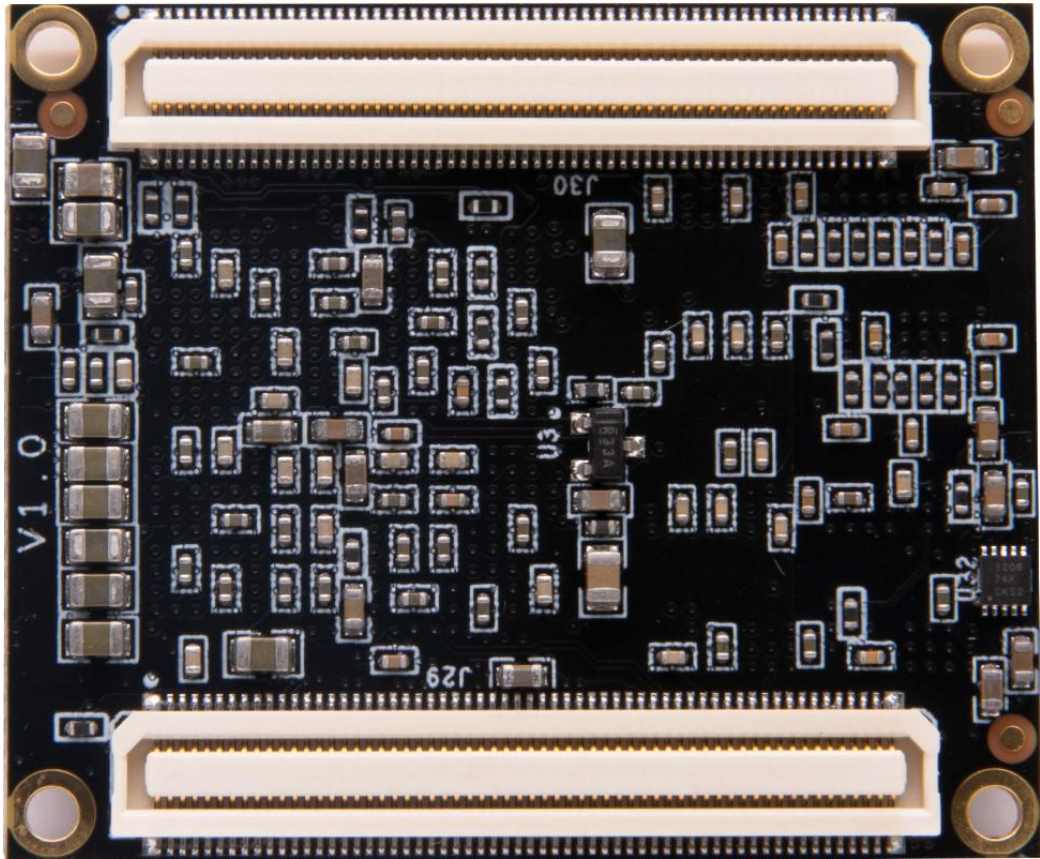
AC7Z020(核心板型号,下同)核心板,ZYNQ 芯片是基于 XILINX 公司的 ZYNQ7000 系列的 XC7Z020-2CLG400I。ZYNQ 芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器, AMBA®互连,内部存储器,外部存储器接口和外设。ZYNQ 芯片的 FPGA 内部含有丰富的可编程逻辑单元,DSP 和内部 RAM。

这款核心板使用了 2 片 Micron 公司的 MT41K128M16TW-107 这款 DDR3 芯片,每片 DDR 的容量为 256MB;2 片 DDR 芯片组合成 32bit 的数据总线宽度,ZYNQ 和 DDR3 之间的读写数据时钟频率高达 533Mhz;这样的配置,可以满足系统的高带宽的数据处理的需求。

为了和底板连接,这款核心板的 2 个板对板连接器扩展出了 PS 端的 USB 接口,千兆以太网接口,SD 卡接口及其它剩余的 MIO 口(48 个)。以及 PL 端的 BAN34 和 BANK35 的几乎所有 IO 口(100 个),其中 BANK34 和 BANK35 的 IO 的电平可以通过底板来提供,满足用户不同电平接口的要求。对于需要大量 IO 的用户,此核心板将是不错的选择。而且 IO 连接部分,ZYNQ 芯片到接口之间走线做了等长和差分处理,并且核心板尺寸仅为 35*42(mm),对于二次开发来说非常适合。



AC7Z020 核心板正面图



AC7Z020 核心板背面图

(二) ZYNQ 芯片

开发板使用的是 Xilinx 公司的 Zynq7000 系列的芯片，型号为 XC7Z020-2CLG400I。芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/SDIO 接口，I2C 总线接口，CAN 总线接口，UART 接口，GPIO 等。PS 可以独立运行并在上电或复位下启动。ZYNQ7000 芯片的总体框图如图 2-2-1 所示

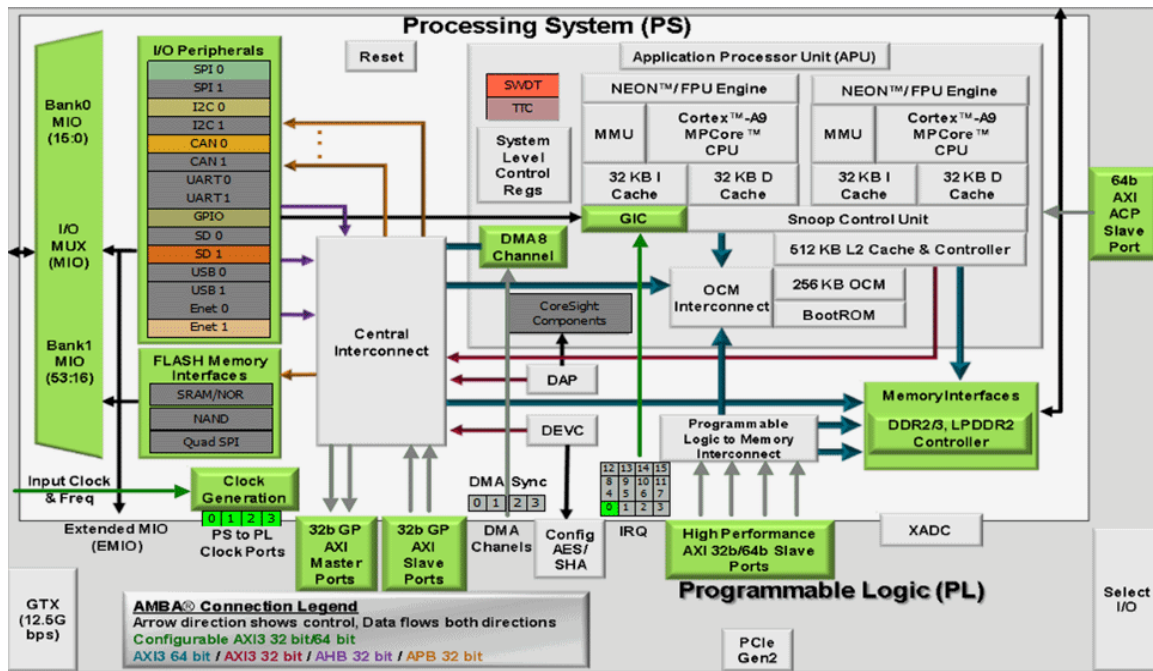


图2-2-1 ZYNQ7000芯片的总体框图

其中 PS 系统部分的主要参数如下：

- 基于 ARM 双核 CortexA9 的应用处理器，ARM-v7 架构 高达 1GHz
- 每个 CPU 32KB 1 级指令和数据缓存，512KB 2 级缓存 2 个 CPU 共享
- 片上 boot ROM 和 256KB 片内 RAM
- 外部存储接口，支持 16/32 bit DDR2、DDR3 接口
- 两个千兆网卡支持：发散-聚集 DMA，GMII，RGMII，SGMII 接口
- 两个 USB2.0 OTG 接口，每个最多支持 12 节点
- 两个 CAN2.0B 总线接口
- 两个 SD 卡、SDIO、MMC 兼容控制器
- 2 个 SPI，2 个 UARTs，2 个 I2C 接口
- 4 组 32bit GPIO，54 (32+22) 作为 PS 系统 IO，64 连接到 PL
- PS 内和 PS 到 PL 的高带宽连接

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元 Logic Cells：85K；
- 查找表 LUTs: 53,200
- 触发器(flip-flops):106,400
- 乘法器 18x25MACCs：220;
- Block RAM：4.9Mb；
- 两个 AD 转换器,可以测量片上电压、温度感应和高达 17 外部差分输入通道，1MBPS

XC7Z020-2CLG400I 芯片的速度等级为-2，工业级，封装为 BGA400，引脚间距为 0.8mm，ZYNQ7000 系列的具体的芯片型号定义如下图 2-2-2 所示。

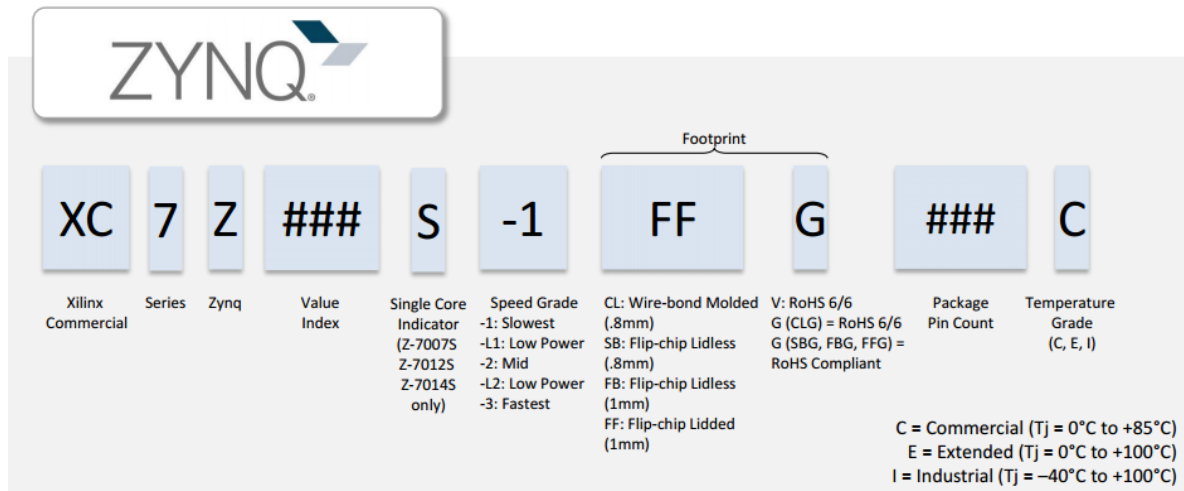


图2-2-2 ZYNQ型号命名规则定义

(三) DDR3 DRAM

AC7Z020核心板上配有两片Micron公司的DDR3 SDRAM芯片(共计1GB),型号为 MT41K128M16TW-107(兼容海力士的H5TQ2G63AFR-PBI)。DDR3 SDRAM的总线宽度共为32bit。DDR3 SDRAM的最高运行速度可达533MHz(数据速率1066Mbps)。该DDR3存储系统直接连接到了ZYNQ处理系统(PS)的BANK 502的存储器接口上。DDR3 SDRAM的具体配置如下表2-3-1所示。

表5-1 DDR3 SDRAM配置

| 位号 | 芯片型号 | 容量 | 厂家 |
|-------|-------------------|--------------|--------|
| U8,U9 | MT41K128M16TW-107 | 256M x 16bit | Micron |

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接方式如图 2-3-1 所示:

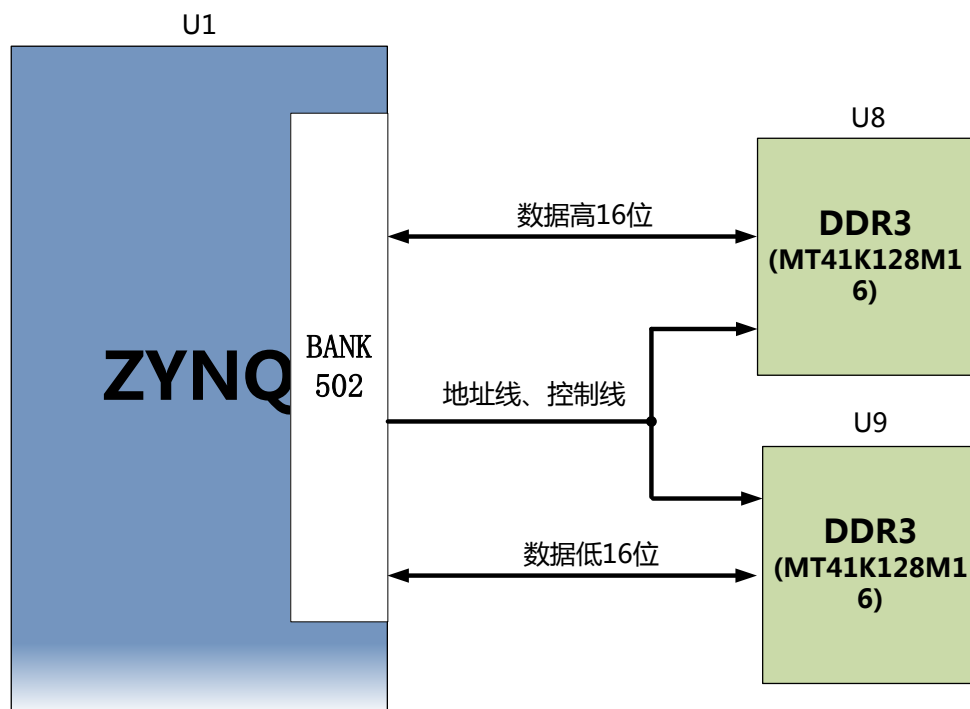


图2-3-1 DDR3 DRAM原理图部分

DDR3 DRAM 引脚分配：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 |
|-------------|-------------------|----------|
| DDR3_DQS0_P | PS_DDR_DQS_P0_502 | C2 |
| DDR3_DQS0_N | PS_DDR_DQS_N0_502 | B2 |
| DDR3_DQS1_P | PS_DDR_DQS_P1_502 | G2 |
| DDR3_DQS1_N | PS_DDR_DQS_N1_502 | F2 |
| DDR3_DQS2_P | PS_DDR_DQS_P2_502 | R2 |
| DDR3_DQS2_N | PS_DDR_DQS_N2_502 | T2 |
| DDR3_DQS3_P | PS_DDR_DQS_P3_502 | W5 |
| DDR3_DQS4_N | PS_DDR_DQS_N3_502 | W4 |
| DDR3_D0 | PS_DDR_DQ0_502 | C3 |
| DDR3_D1 | PS_DDR_DQ1_502 | B3 |
| DDR3_D2 | PS_DDR_DQ2_502 | A2 |
| DDR3_D3 | PS_DDR_DQ3_502 | A4 |
| DDR3_D4 | PS_DDR_DQ4_502 | D3 |
| DDR3_D5 | PS_DDR_DQ5_502 | D1 |
| DDR3_D6 | PS_DDR_DQ6_502 | C1 |
| DDR3_D7 | PS_DDR_DQ7_502 | E1 |

| | | |
|-----------------|-----------------|----|
| DDR3_D8 | PS_DDR_DQ8_502 | E2 |
| DDR3_D9 | PS_DDR_DQ9_502 | E3 |
| DDR3_D10 | PS_DDR_DQ10_502 | G3 |
| DDR3_D11 | PS_DDR_DQ11_502 | H3 |
| DDR3_D12 | PS_DDR_DQ12_502 | J3 |
| DDR3_D13 | PS_DDR_DQ13_502 | H2 |
| DDR3_D14 | PS_DDR_DQ14_502 | H1 |
| DDR3_D15 | PS_DDR_DQ15_502 | J1 |
| DDR3_D16 | PS_DDR_DQ16_502 | P1 |
| DDR3_D17 | PS_DDR_DQ17_502 | P3 |
| DDR3_D18 | PS_DDR_DQ18_502 | R3 |
| DDR3_D19 | PS_DDR_DQ19_502 | R1 |
| DDR3_D20 | PS_DDR_DQ20_502 | T4 |
| DDR3_D21 | PS_DDR_DQ21_502 | U4 |
| DDR3_D22 | PS_DDR_DQ22_502 | U2 |
| DDR3_D23 | PS_DDR_DQ23_502 | U3 |
| DDR3_D24 | PS_DDR_DQ24_502 | V1 |
| DDR3_D25 | PS_DDR_DQ25_502 | Y3 |
| DDR3_D26 | PS_DDR_DQ26_502 | W1 |
| DDR3_D27 | PS_DDR_DQ27_502 | Y4 |
| DDR3_D28 | PS_DDR_DQ28_502 | Y2 |
| DDR3_D29 | PS_DDR_DQ29_502 | W3 |
| DDR3_D30 | PS_DDR_DQ30_502 | V2 |
| DDR3_D31 | PS_DDR_DQ31_502 | V3 |
| DDR3_DM0 | PS_DDR_DM0_502 | A1 |
| DDR3_DM1 | PS_DDR_DM1_502 | F1 |
| DDR3_DM2 | PS_DDR_DM2_502 | T1 |
| DDR3_DM3 | PS_DDR_DM3_502 | Y1 |
| DDR3_A0 | PS_DDR_A0_502 | N2 |
| DDR3_A1 | PS_DDR_A1_502 | K2 |
| DDR3_A2 | PS_DDR_A2_502 | M3 |
| DDR3_A3 | PS_DDR_A3_502 | K3 |

| | | |
|-------------|-------------------|----|
| DDR3_A4 | PS_DDR_A4_502 | M4 |
| DDR3_A5 | PS_DDR_A5_502 | L1 |
| DDR3_A6 | PS_DDR_A6_502 | L4 |
| DDR3_A7 | PS_DDR_A7_502 | K4 |
| DDR3_A8 | PS_DDR_A8_502 | K1 |
| DDR3_A9 | PS_DDR_A9_502 | J4 |
| DDR3_A10 | PS_DDR_A10_502 | F5 |
| DDR3_A11 | PS_DDR_A11_502 | G4 |
| DDR3_A12 | PS_DDR_A12_502 | E4 |
| DDR3_A13 | PS_DDR_A13_502 | D4 |
| DDR3_A14 | PS_DDR_A14_502 | F4 |
| DDR3_BA0 | PS_DDR_BA0_502 | L5 |
| DDR3_BA1 | PS_DDR_BA1_502 | R4 |
| DDR3_BA2 | PS_DDR_BA2_502 | J5 |
| DDR3_S0 | PS_DDR_CS_B_502 | N1 |
| DDR3_RAS | PS_DDR_RAS_B_502 | P4 |
| DDR3_CAS | PS_DDR_CAS_B_502 | P5 |
| DDR3_WE | PS_DDR_WE_B_502 | M5 |
| DDR3_ODT | PS_DDR_ODT_502 | N5 |
| DDR3_RESET | PS_DDR_DRST_B_502 | B4 |
| DDR3_CLK0_P | PS_DDR_CKP_502 | L2 |
| DDR3_CLK0_N | PS_DDR_CKN_502 | M2 |
| DDR3_CKE | PS_DDR_CKE_502 | N3 |

(四) QSPI Flash

核心板配有一片 256MBit 大小的 Quad-SPI FLASH 芯片，型号为 W25Q256FVEI，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以作为系统

的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

| 位号 | 芯片类型 | 容量 | 厂家 |
|-----|-------------|----------|---------|
| U15 | W25Q256FVEI | 32M Byte | Winbond |

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上,在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 2-4-1 为 QSPI Flash 在原理图中的部分。

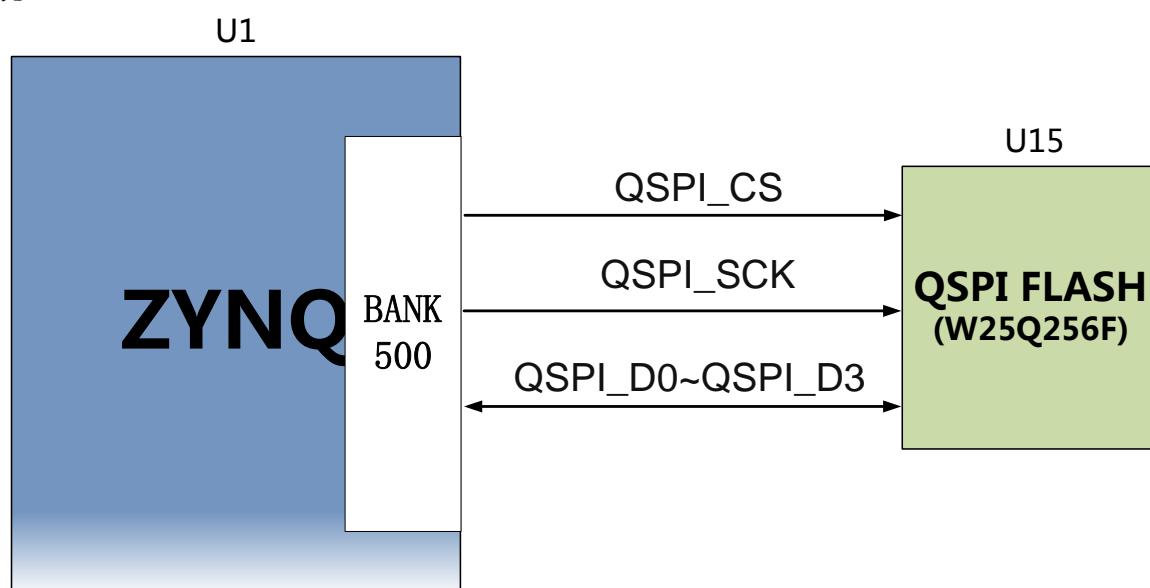


图 2-4-1 QSPI Flash 连接示意图

配置芯片引脚分配：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 |
|----------|-------------|----------|
| QSPI_SCK | PS_MIO6_500 | A5 |
| QSPI_CS | PS_MIO1_500 | A7 |
| QSPI_D0 | PS_MIO2_500 | B8 |
| QSPI_D1 | PS_MIO3_500 | D6 |
| QSPI_D2 | PS_MIO4_500 | B7 |
| QSPI_D3 | PS_MIO5_500 | A6 |

(五) 时钟配置

AC7Z020 核心板上为 PS 系统提供了有源时钟，使 PS 系统可以单独工作。PL 端的参考时钟由底板提供。

PS 系统时钟源

ZYNQ 芯片通过核心板上的 X1 晶振为 PS 部分提供 33.333333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK500 的 PS_CLK_500 的管脚上。其原理图如图 2-5-1 所示：

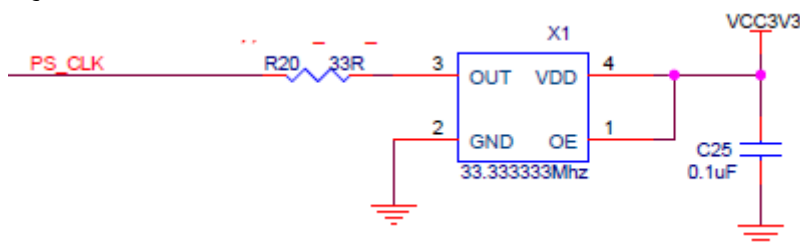


图 2-5-1 PS 部分的有源晶振

时钟引脚分配：

| 信号名称 | ZYNQ 引脚 |
|------------|---------|
| PS_CLK_500 | E7 |

PL 时钟源

PL 的时钟需要通过底板提供，在 AX7Z020B 底板上有一个 50Mhz 的时钟，为 PL 部分提供时钟参考。时钟的输入连接到 ZYNQ 芯片的 BANK34 的 U18 的管脚上。其原理图如图 2-5-3 所示：

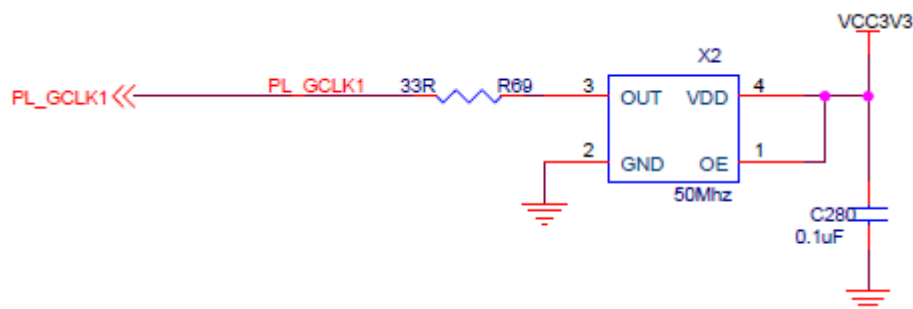


图 2-5-3 底板 PL 部分的晶振

时钟引脚分配：

| 信号名称 | ZYNQ 引脚 |
|----------|---------|
| PL_GCLK1 | U18 |

(六) 电源

AC7Z020 核心板供电电压为 DC5V，通过连接底板供电，另外 BANK34 和 BANK35 的电源也是通过底板提供。板上的电源设计示意图如下图 2-6-1 所示：

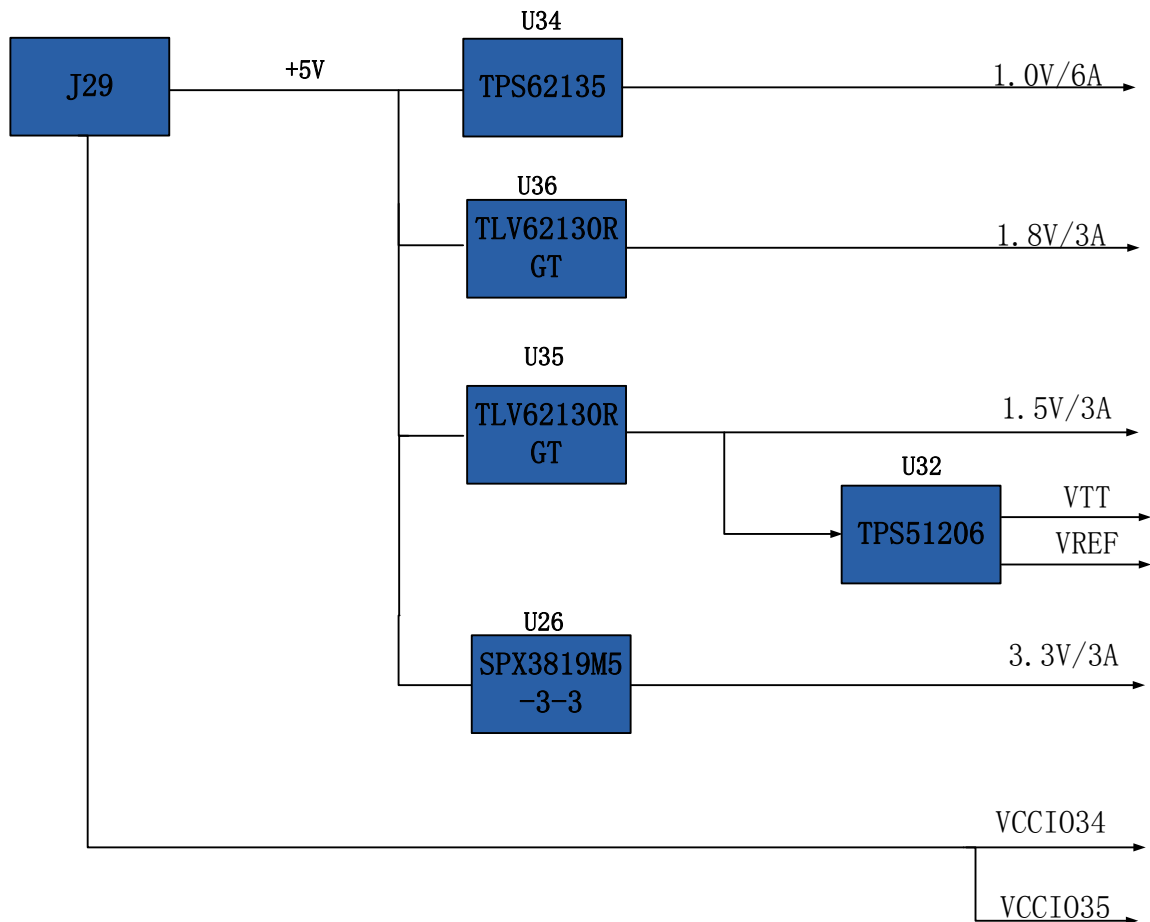


图 2-6-1 原理图中电源接口部分

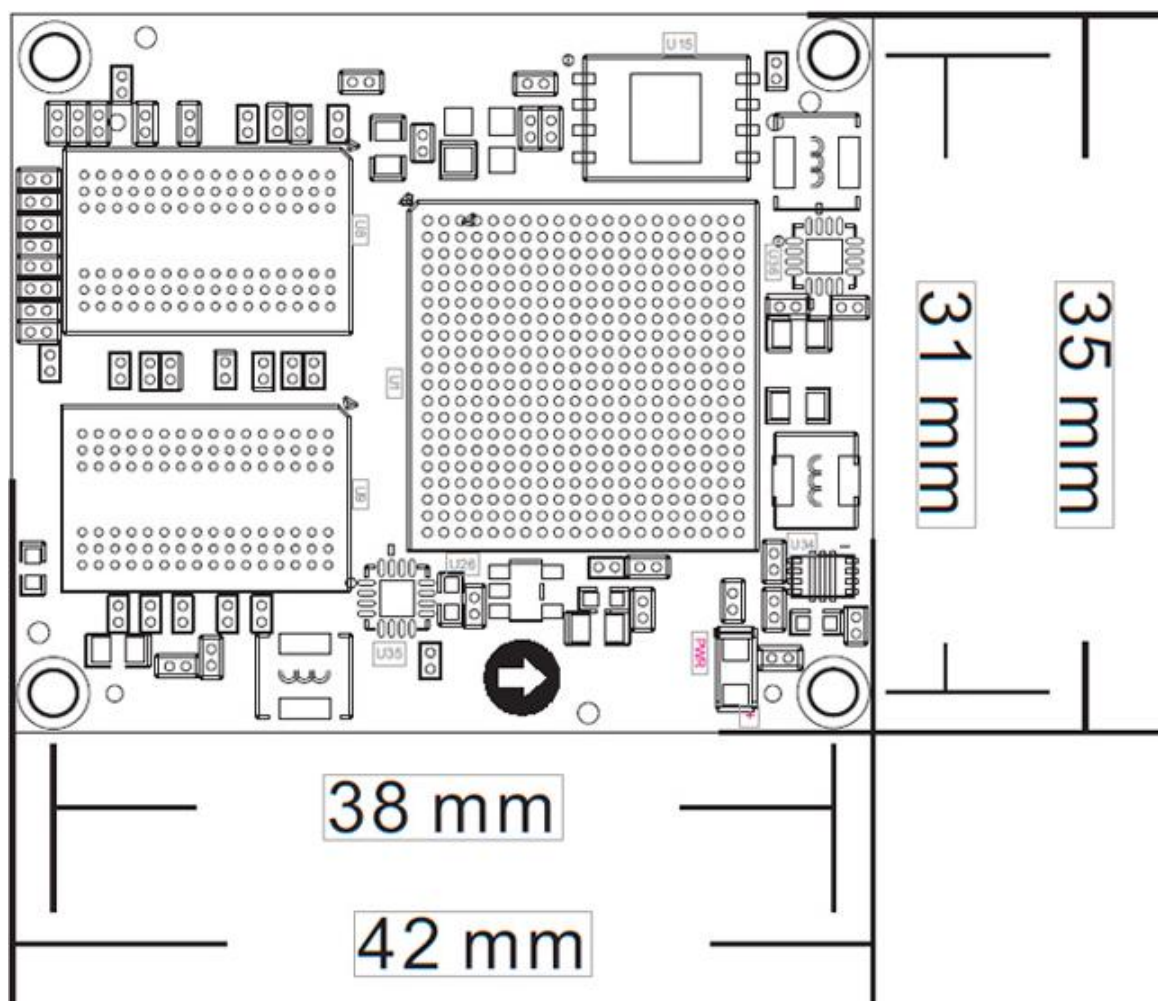
开发板通过+5V 供电，通过四路 DC/DC 电源芯片转化成+1.0V，+1.8V，+1.5V，+3.3V 四路电源，+1.0V 输出电流可高达 6A，+1.8V 和+1.5V 电源为 3A，+3.3V 为 500mA。J29 上还各分出 4 个引脚给 FPGA 的 BANK34，BANK35 供电，默认为 3.3V，用户可以通过更改底板上的 VCCI034 和 VCCI035 来改变 BANK34 和 BANK35 的电源。1.5V 通过 TI 的 TPS51206 生成 DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示：

| 电源 | 功能 |
|-------|------------------------------------|
| +1.0V | ZYNQ PS 和 PL 部分的内核电压 |
| +1.8V | ZYNQ PS 和 PL 部分辅助电压 ,BANK501 IO 电压 |

| | |
|----------------------|--|
| +3.3V | ZYNQ Bank0,Bank500 , QSIP FLASH, Clock 晶振 |
| +1.5V | DDR3, ZYNQ Bank501 |
| VREF, VTT (+0.75V) | DDR3 |
| VCCIO34/35 | Bank34, Bank35 |

因为 ZYNQ FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照 芯片的电源要求设计，上电依次为+1.0V->+1.8V-> (+1.5 V、 +3.3V、 VCCIO) 的电路设计，保证芯片的正常工作。**因为 BANK34 , BANK35 的电平标准由底板提供的电源决定，最高为 3.3V ，用户自己设计底板为核心板提供 VCCIO34 和 VCCIO35 的电源时，上电的顺序要比+5V 慢一些。**

(七) 结构图



正面图 (Top View)

(八) 连接器管脚定义

核心板一共扩展出 2 个高速扩展口，使用 2 个 120Pin 的板间连接器 (J29/J30) 和底板连接，连接器的 PIN 脚间距为 0.5mm。其中 J29 连接 5V 电源，VCCIO 电源输入，一部分 IO 信号和 JTAG 信号，J30 连接剩余的 IO 信号和 MIO。 BANK34 和 BANK35 的 IO 电平可以通过调整连接器上 VCCIO 输入来改变电平标准，最高不超过 3.3V。我们设计的底板 AX7Z020B 默认为 3.3V。**注意 BANK13 的 IO 对 AC7Z020 核心板为不可用管脚。**

J29 连接器的引脚分配

| J29 管脚 | 信号名称 | ZYNQ 引脚号 | J29 管脚 | 信号名称 | ZYNQ 引脚号 |
|--------|-----------|----------|--------|-----------|----------|
| 1 | VCC5V | - | 2 | VCC5V | - |
| 3 | VCC5V | - | 4 | VCC5V | - |
| 5 | VCC5V | - | 6 | VCC5V | - |
| 7 | VCC5V | - | 8 | VCC5V | - |
| 9 | GND | - | 10 | GND | - |
| 11 | VCCIO_34 | - | 12 | VCCIO_35 | - |
| 13 | VCCIO_34 | - | 14 | VCCIO_35 | - |
| 15 | VCCIO_34 | - | 16 | VCCIO_35 | - |
| 17 | VCCIO_34 | - | 18 | VCCIO_35 | - |
| 19 | GND | - | 20 | GND | - |
| 21 | IO34_L10P | V15 | 22 | IO34_L7P | Y16 |
| 23 | IO34_L10N | W15 | 24 | IO34_L7N | Y17 |
| 25 | IO34_L15N | U20 | 26 | IO34_L17P | Y18 |
| 27 | IO34_L15P | T20 | 28 | IO34_L17N | Y19 |
| 29 | GND | - | 30 | GND | - |
| 31 | IO34_L9N | U17 | 32 | IO34_L8P | W14 |
| 33 | IO34_L9P | T16 | 34 | IO34_L8N | Y14 |
| 35 | IO34_L12N | U19 | 36 | IO34_L3P | U13 |
| 37 | IO34_L12P | U18 | 38 | IO34_L3N | V13 |
| 39 | GND | - | 40 | GND | - |
| 41 | IO34_L14N | P20 | 42 | IO34_L21N | V18 |

| | | | | | |
|-----|-----------|-----|-----|-----------|-----|
| 43 | IO34_L14P | N20 | 44 | IO34_L21P | V17 |
| 45 | IO34_L16N | W20 | 46 | IO34_L18P | V16 |
| 47 | IO34_L16P | V20 | 48 | IO34_L18N | W16 |
| 49 | GND | - | 50 | GND | - |
| 51 | IO34_L22N | W19 | 52 | IO34_L23P | N17 |
| 53 | IO34_L22P | W18 | 54 | IO34_L23N | P18 |
| 55 | IO34_L20N | R18 | 56 | IO34_L13N | P19 |
| 57 | IO34_L20P | T17 | 58 | IO34_L13P | N18 |
| 59 | GND | - | 60 | GND | - |
| 61 | IO34_L19N | R17 | 62 | IO34_L11N | U15 |
| 63 | IO34_L19P | R16 | 64 | IO34_L11P | U14 |
| 65 | IO34_L24P | P15 | 66 | IO34_L5N | T15 |
| 67 | IO34_L24N | P16 | 68 | IO34_L5P | T14 |
| 69 | GND | - | 70 | GND | - |
| 71 | IO34_L4P | V12 | 72 | IO34_L2N | U12 |
| 73 | IO34_L4N | W13 | 74 | IO34_L2P | T12 |
| 75 | IO34_L1P | T11 | 76 | IO34_L6N | R14 |
| 77 | IO34_L1N | T10 | 78 | IO34_L6P | P14 |
| 79 | GND | - | 80 | GND | - |
| 81 | IO13_L13P | Y7 | 82 | IO13_L21P | V11 |
| 83 | IO13_L13N | Y6 | 84 | IO13_L21N | V10 |
| 85 | IO13_L11N | V7 | 86 | IO13_L14N | Y8 |
| 87 | IO13_L11P | U7 | 88 | IO13_L14P | Y9 |
| 89 | GND | - | 90 | GND | - |
| 91 | IO13_L19N | U5 | 92 | IO13_L22N | W6 |
| 93 | IO13_L19P | T5 | 94 | IO13_L22P | V6 |
| 95 | IO13_L16P | W10 | 96 | IO13_L15P | V8 |
| 97 | IO13_L16N | W9 | 98 | IO13_L15N | W8 |
| 99 | GND | - | 100 | GND | - |
| 101 | IO13_L17P | U9 | 102 | IO13_L20P | Y12 |
| 103 | IO13_L17N | U8 | 104 | IO13_L20N | Y13 |
| 105 | IO13_L18P | W11 | 106 | IO13_L12N | U10 |

| | | | | | |
|-----|-----------|-----|-----|-----------|-----|
| 107 | IO13_L18N | Y11 | 108 | IO13_L12P | T9 |
| 109 | GND | - | 110 | GND | - |
| 111 | FPGA_TCK | F9 | 112 | VP | K9 |
| 113 | FPGA_TMS | J6 | 114 | VN | L10 |
| 115 | FPGA_TDO | F6 | 116 | PS_POR_B | C7 |
| 117 | FPGA_TDI | G6 | 118 | FPGA_DONE | R11 |
| 119 | NC | - | 120 | NC | - |

J30 连接器的引脚分配

| J30 管脚 | 信号名称 | ZYNQ 引脚号 | J30 管脚 | 信号名称 | ZYNQ 引脚号 |
|--------|-----------|----------|--------|-----------|----------|
| 1 | IO35_L1P | C20 | 2 | IO35_L15N | F20 |
| 3 | IO35_L1N | B20 | 4 | IO35_L15P | F19 |
| 5 | IO35_L18N | G20 | 6 | IO35_L5P | E18 |
| 7 | IO35_L18P | G19 | 8 | IO35_L5N | E19 |
| 9 | GND | T13 | 10 | GND | T13 |
| 11 | IO35_L10N | J19 | 12 | IO35_L3N | D18 |
| 13 | IO35_L10P | K19 | 14 | IO35_L3P | E17 |
| 15 | IO35_L2N | A20 | 16 | IO35_L4P | D19 |
| 17 | IO35_L2P | B19 | 18 | IO35_L4N | D20 |
| 19 | GND | T13 | 20 | GND | T13 |
| 21 | IO35_L8P | M17 | 22 | IO35_L9N | L20 |
| 23 | IO35_L8N | M18 | 24 | IO35_L9P | L19 |
| 25 | IO35_L7P | M19 | 26 | IO35_L6P | F16 |
| 27 | IO35_L7N | M20 | 28 | IO35_L6N | F17 |
| 29 | GND | T13 | 30 | GND | T13 |
| 31 | IO35_L17N | H20 | 32 | IO35_L16N | G18 |
| 33 | IO35_L17P | J20 | 34 | IO35_L16P | G17 |
| 35 | IO35_L19N | G15 | 36 | IO35_L13N | H17 |
| 37 | IO35_L19P | H15 | 38 | IO35_L13P | H16 |
| 39 | GND | T13 | 40 | GND | T13 |

| | | | | | |
|-----|-----------|-----|-----|-----------|-----|
| 41 | IO35_L12N | K18 | 42 | IO35_L14N | H18 |
| 43 | IO35_L12P | K17 | 44 | IO35_L14P | J18 |
| 45 | IO35_L24N | J16 | 46 | IO35_L20P | K14 |
| 47 | IO35_L24P | K16 | 48 | IO35_L20N | J14 |
| 49 | GND | T13 | 50 | GND | T13 |
| 51 | IO35_L21N | N16 | 52 | IO35_L11P | L16 |
| 53 | IO35_L21P | N15 | 54 | IO35_L11N | L17 |
| 55 | IO35_L22N | L15 | 56 | IO35_L23P | M14 |
| 57 | IO35_L22P | L14 | 58 | IO35_L23N | M15 |
| 59 | GND | T13 | 60 | GND | T13 |
| 61 | PS_MIO22 | B17 | 62 | PS_MIO50 | B13 |
| 63 | PS_MIO27 | D13 | 64 | PS_MIO45 | B15 |
| 65 | PS_MIO23 | D11 | 66 | PS_MIO46 | D16 |
| 67 | PS_MIO24 | A16 | 68 | PS_MIO41 | C17 |
| 69 | GND | T13 | 70 | GND | T13 |
| 71 | PS_MIO25 | F15 | 72 | PS_MIO7 | D8 |
| 73 | PS_MIO26 | A15 | 74 | PS_MIO12 | D9 |
| 75 | PS_MIO21 | F14 | 76 | PS_MIO10 | E9 |
| 77 | PS_MIO16 | A19 | 78 | PS_MIO11 | C6 |
| 79 | GND | T13 | 80 | GND | T13 |
| 81 | PS_MIO20 | A17 | 82 | PS_MIO9 | B5 |
| 83 | PS_MIO19 | D10 | 84 | PS_MIO14 | C5 |
| 85 | PS_MIO18 | B18 | 86 | PS_MIO8 | D5 |
| 87 | PS_MIO17 | E14 | 88 | PS_MIO0 | E6 |
| 89 | GND | T13 | 90 | GND | T13 |
| 91 | PS_MIO39 | C18 | 92 | PS_MIO13 | E8 |
| 93 | PS_MIO38 | E13 | 94 | PS_MIO47 | B14 |
| 95 | PS_MIO37 | A10 | 96 | PS_MIO48 | B12 |
| 97 | PS_MIO28 | C16 | 98 | PS_MIO49 | C12 |
| 99 | GND | T13 | 100 | GND | T13 |
| 101 | PS_MIO35 | F12 | 102 | PS_MIO52 | C10 |
| 103 | PS_MIO34 | A12 | 104 | PS_MIO51 | B9 |

| | | | | | |
|-----|-----------------|-----|-----|-----------------|-----|
| 105 | PS_MIO33 | D15 | 106 | PS_MIO40 | D14 |
| 107 | PS_MIO32 | A14 | 108 | PS_MIO44 | F13 |
| 109 | GND | T13 | 110 | GND | T13 |
| 111 | PS_MIO31 | E16 | 112 | PS_MIO15 | C8 |
| 113 | PS_MIO36 | A11 | 114 | PS_MIO42 | E12 |
| 115 | PS_MIO29 | C13 | 116 | PS_MIO43 | A9 |
| 117 | PS_MIO30 | C15 | 118 | PS_MIO53 | C11 |
| 119 | QSPI_D3_PS_MIO5 | A6 | 120 | QSPI_D2_PS_MIO4 | B7 |

三、 扩展板

(一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 2 路 CAN 通信接口
- 2 路 485 通信接口
- 1 路 10/100M/1000M 以太网 RJ-45 接口
- 1 路 USB HOST 接口
- 1 路 USB Uart 通信接口
- 1 路 SD 卡接口
- 2 路 40 针扩展口
- 2 路 AD 输入接口
- 1 路 HDMI 输出接口
- 1 路 MIPI 摄像头接口(仅 AX7Z020 使用)
- 1 路 RTC 实时时钟
- 1 路 EEPROM
- 1 路温度传感器
- JTAG 调试口
- 4 个独立按键
- 4 个用户 LED 灯

(二) CAN 通信接口

AX7Z020B 底板上有 2 路 CAN 通信接口,连接在 PS 系统端 BANK500 的 GPIO 接口上。CAN 收发芯片选用了 TI 公司的 SN65HVD232C 芯片为用户 CAN 通信服务。

图 3-2-1 为 PS 端 CAN 收发芯片的连接示意图

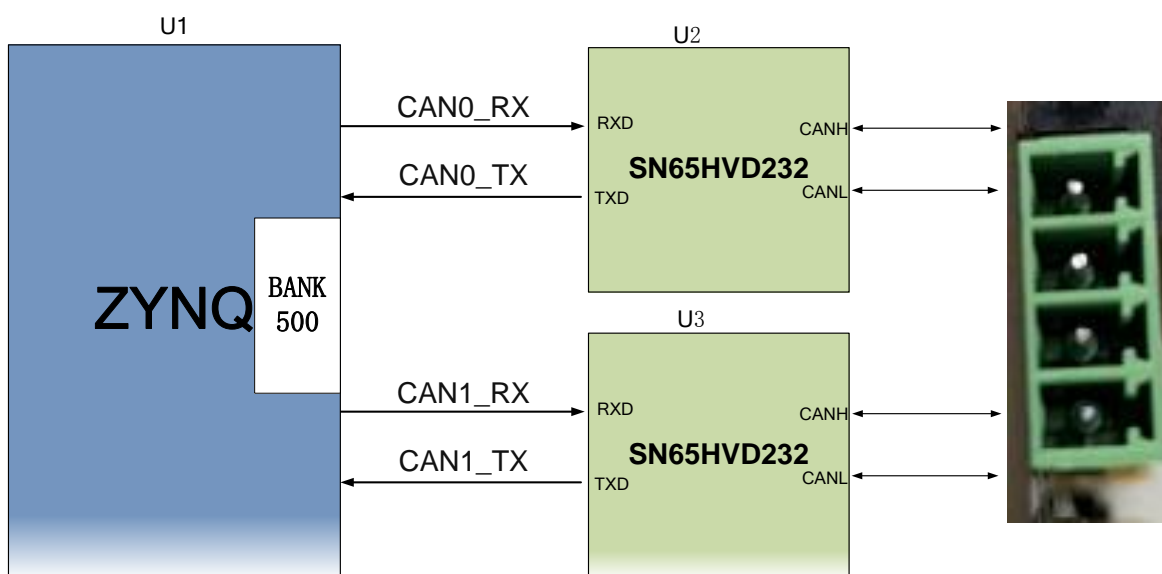


图 3-2-1 PS 端 CAN 收发芯片的连接示意图

CAN 通信引脚分配如下：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|---------|----------|----------|---------|
| CAN0_RX | PS_MIO10 | E9 | CAN0接收端 |
| CAN0_TX | PS_MIO11 | C6 | CAN0发送端 |
| CAN1_RX | PS_MIO13 | E8 | CAN1接收端 |
| CAN1_TX | PS_MIO12 | D9 | CAN1发送端 |

(三) 485 通信接口

AX7Z020B 底板上有 2 路 485 通信接口,其中 485 通信端口 1 连接在 PS 系统端 BANK500 的 GPIO 接口上,485 通信端口 2 连接在 PL 系统端 BANK34 的 GPIO 接口上。

485 收发芯片选用 MAXIM 公司的 MAX3485 芯片为用户 485 通信服务。

图 3-3-1 为 PL 端 485 收发芯片的连接示意图

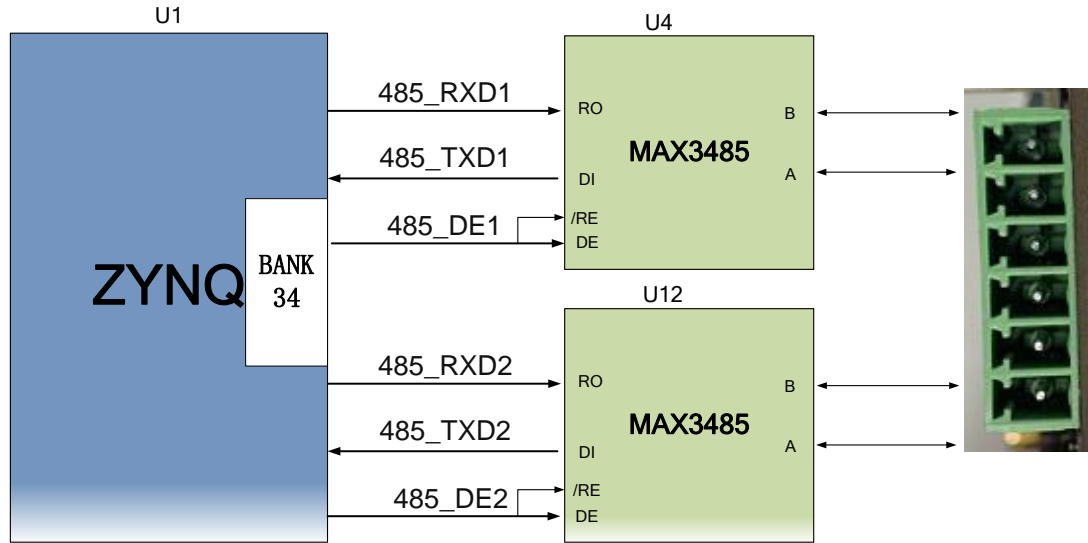


图 3-3-1 RS485 芯片和接口的连接示意图

485 通信引脚分配如下：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|----------|-----------|----------|------------|
| 485_TXD1 | PS_MIO15 | C8 | 485发送端1 |
| 485_RXD1 | PS_MIO14 | C5 | 485接收端1 |
| 485_DE1 | PS_MIO9 | B5 | 485接受发射使能1 |
| 485_TXD2 | IO34_L4N | W13 | 485发送端2 |
| 485_RXD2 | IO34_L4P | V12 | 485接收端2 |
| 485_DE2 | IO34_L12N | U19 | 485接受发射使能2 |

(四) 千兆以太网接口

AX7Z020B 底板上有 1 路千兆以太网接口，连接在 PS 系统端 BANK501 的 GPIO 接口上。以太网芯片采用景略半导体的工业级以太网 GPHY 芯片（JL2121-N040I）为用户提供网络通信服务。PS 端的以太网 PHY 芯片是连接到 ZYNQ 的 PS 端 BANK502 的 MIO 接口上。PL 端的以太网 PHY 芯片是连接到 BANK66 的 IO 上。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 MPSOC 系统的 MAC 层进行数据通信。JL2121D 支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL2121 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。下表描述了 GPHY 芯片上电之后的默认设定信息。

| 配置 Pin 脚 | 说明 | 配置值 |
|-------------------------------------|---------------------|-------------------|
| RXD3_ADR0 RXC_ADR1 RXCTL_ADR2 | MDIO/MDC 模式的 PHY 地址 | PHY Address 为 001 |
| RXD1_TXDLY | TX 时钟 2ns 延时 | 延时 |
| RXD0_RXDLY | RX 时钟 2ns 延时 | 延时 |

GPHY 芯片默认配置值

当网络连接到千兆以太网时，MPSOC 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，MPSOC 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 3-2-1 为 ZYNQ PS 端 1 路以太网 PHY 芯片连接示意图:

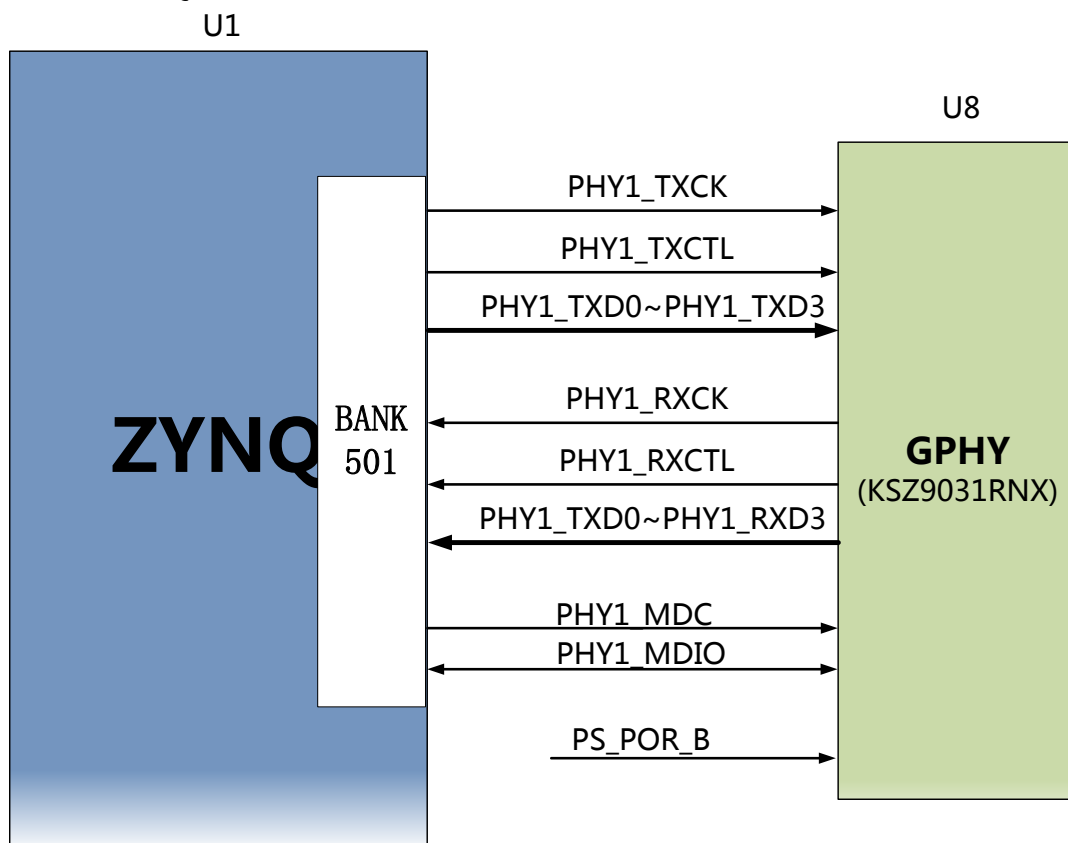


图 3-4-1 ZYNQ PS 系统与 GPHY 连接示意图

千兆以太网引脚分配如下：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|----------|----------|----------|------------|
| ETH_TXCK | PS_MIO16 | A19 | RGMII 发送时钟 |

| | | | |
|-----------|----------|-----|-----------|
| ETH_TXD0 | PS_MIO17 | E14 | 发送数据bit 0 |
| ETH_TXD1 | PS_MIO18 | B18 | 发送数据bit1 |
| ETH_TXD2 | PS_MIO19 | D10 | 发送数据bit2 |
| ETH_TXD3 | PS_MIO20 | A17 | 发送数据bit3 |
| ETH_TXCTL | PS_MIO21 | F14 | 发送使能信号 |
| ETH_RXCK | PS_MIO22 | B17 | RGMII接收时钟 |
| ETH_RXD0 | PS_MIO23 | D11 | 接收数据Bit0 |
| ETH_RXD1 | PS_MIO24 | A16 | 接收数据Bit1 |
| ETH_RXD2 | PS_MIO25 | F15 | 接收数据Bit2 |
| ETH_RXD3 | PS_MIO26 | A15 | 接收数据Bit3 |
| ETH_RXCTL | PS_MIO27 | D13 | 接收数据有效信号 |
| ETH_MDC | PS_MIO52 | C10 | MDIO管理时钟 |
| ETH_MDIO | PS_MIO53 | C11 | MDIO管理数据 |
| PS_POR_B | PS_POR_B | C7 | 复位信号 |

(五) USB2.0 Host 接口

AX7Z020B底板上有一个USB2.0 HOST接口，USB2.0收发器采用的是一个1.8V的，高速的支持ULPI标准接口的USB3320C-EZK芯片，ZYNQ的USB总线接口和USB3320C-EZK收发器相连接，实现高速的USB2.0 Host模式的数据通信。USB3320C的USB的数据和控制信号连接到ZYNQ芯片PS端的BANK501的IO口上。24MHz的晶振为USB3320C芯片提供系统时钟。

USB接口为扁型USB接口(USB Type A)，方便用户同时连接不同的USB Slave外设(比如USB鼠标和USB键盘)。另外底板为USB接口提供了+5V的电源。

ZYNQ处理器和USB3320C-EZK芯片连接的示意图如3-5-1所示：

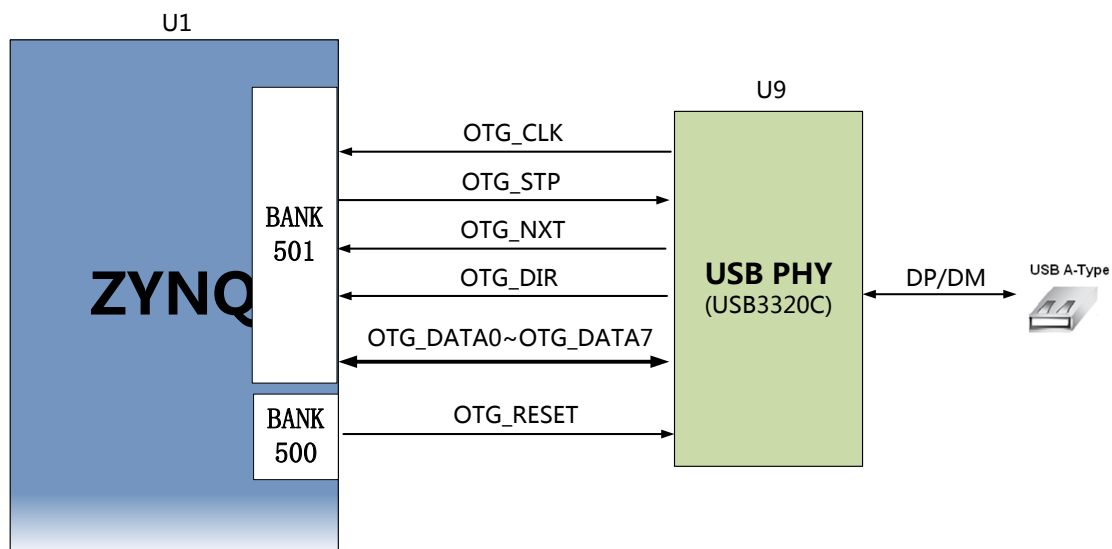


图 3-5-1 Zynq7000 和 USB 芯片间连接示意图

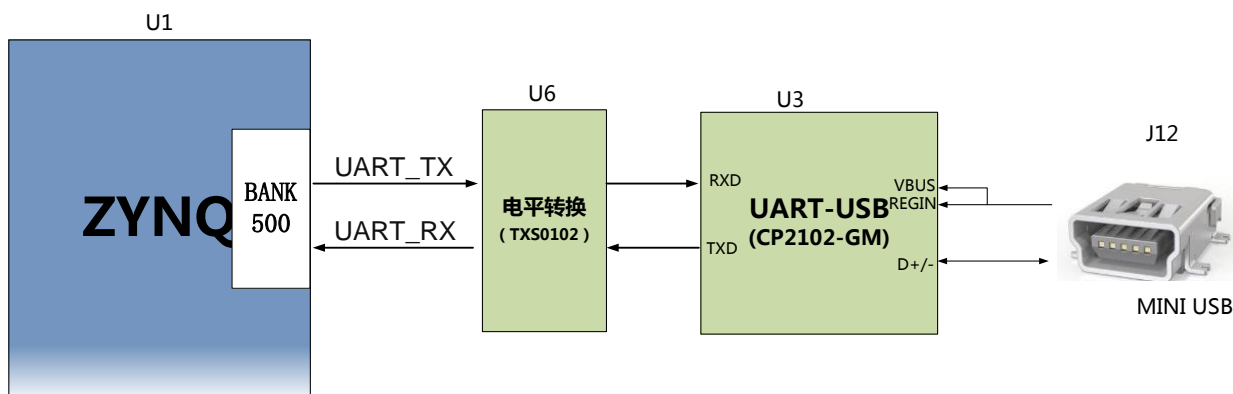
USB2.0 引脚分配：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|------------|----------|----------|-------------|
| OTG_DATA4 | PS_MIO28 | C16 | USB 数据 Bit4 |
| OTG_DIR | PS_MIO29 | C13 | USB 数据方向信号 |
| OTG_STP | PS_MIO30 | C15 | USB 停止信号 |
| OTG_NXT | PS_MIO31 | E16 | USB 下一数据信号 |
| OTG_DATA0 | PS_MIO32 | A14 | USB 数据 Bit0 |
| OTG_DATA1 | PS_MIO33 | D15 | USB 数据 Bit1 |
| OTG_DATA2 | PS_MIO34 | A12 | USB 数据 Bit2 |
| OTG_DATA3 | PS_MIO35 | F12 | USB 数据 Bit3 |
| OTG_CLK | PS_MIO36 | A11 | USB 时钟信号 |
| OTG_DATA5 | PS_MIO37 | A10 | USB 数据 Bit5 |
| OTG_DATA6 | PS_MIO38 | E13 | USB 数据 Bit6 |
| OTG_DATA7 | PS_MIO39 | C18 | USB 数据 Bit7 |
| OTG_RESETN | PS_MIO46 | D16 | USB 复位信号 |

(六) USB 转串口

AX7Z020B 底板上配有一个 USB 转 Uart 接口，用于 ZYNQ7000 系统的整体调试，转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。

USB Uart 电路设计的示意图如下图 3-6-1 所示:



3-6-1 USB 转串口示意图

UART 转串口的 ZYNQ 引脚分配：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|---------|----------|----------|----------|
| UART_RX | PS_MIO49 | C12 | Uart数据输入 |
| UART_TX | PS_MIO48 | B12 | Uart数据输出 |

(七) AD 输入接口

AX7Z020B 底板上配有 4 路 AD 输入接口，其中 2 路用于采集外部模拟信号进行 AD 转换，另外 2 路用于测量开发板的电源电压和电流。用于采集外部模拟信号进行 AD 转换的 2 路模拟信号选用 SMA 接头作为输入，将输入的信号转换为差分信号后输入 ZYNQ。电源电流测量连接到 ZYNQ 的专用 AD 输入管脚 VP 和 VN。

AD 采集电路设计的示意图如下图 3-7-1 所示:

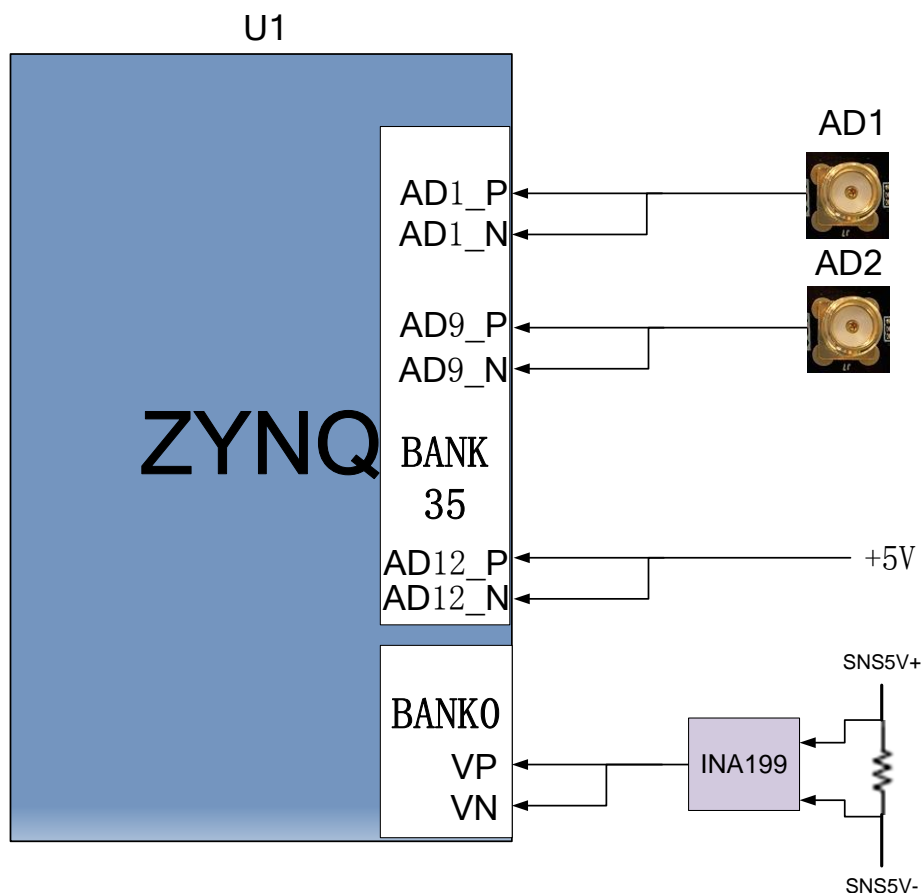


图 3-7-1 AD 采集电路设计的示意图

AD 采集电路的 ZYNQ 引脚分配：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|------------|-----------|----------|---------|
| XADC_AD1P | IO35_L3P | E17 | AD_IN_P |
| XADC_AD1N | IO35_L3N | D18 | AD_IN_N |
| XADC_AD9P | IO35_L5P | E18 | AD_IN_P |
| XADC_AD9N | IO35_L5N | E19 | AD_IN_N |
| XADC_AD12P | IO35_L15P | F19 | AD_IN_P |
| XADC_AD12N | IO35_L15N | F20 | AD_IN_N |
| VP | VP | K9 | AD_IN_P |
| VN | VN | L10 | AD_IN_N |

(八) HDMI 输出接口

HDMI，全称为高清晰度多媒体视频输出接口。AX7Z020B 开发板上通过 ZYNQ 的差分 IO 直接连接到 HDMI 接口的差分信号和时钟，在 ZYNQ 内部实现 HDMI 信号的差分转并行

再进行编解码，实现 DMI 数字视频输入和输出的传输解决方案，最高支持 1080P@60Hz 的输入和输出的功能。

HDMI 的信号连接到 ZYNQ 的 PL 部分的 BANK34 上,设计原理图如下图 3-8-1 所示：

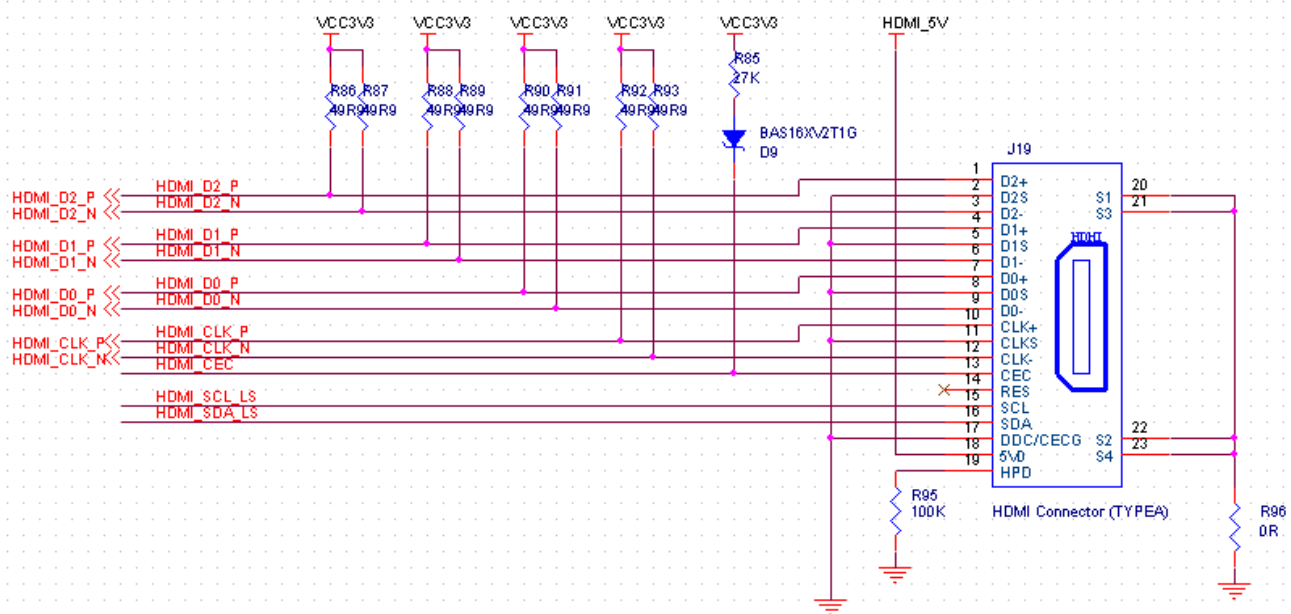


图 3-8-1 HDMI 接口设计原理图

图 3-8-2 为 HDMI 接口的实物图，

ZYNQ 的引脚分配：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|------------|-----------|----------|------------|
| HDMI_CLK_P | IO34_L3P | U13 | HDMI时钟信号正 |
| HDMI_CLK_N | IO34_L3N | V13 | HDMI时钟信号负 |
| HDMI_D0_P | IO34_L8P | W14 | HDMI数据0正 |
| HDMI_D0_N | IO34_L8N | Y14 | HDMI数据0负 |
| HDMI_D1_P | IO34_L17P | Y18 | HDMI数据1正 |
| HDMI_D1_N | IO34_L17N | Y19 | HDMI数据1负 |
| HDMI_D2_P | IO34_L7P | Y16 | HDMI数据2正 |
| HDMI_D2_N | IO34_L7N | Y17 | HDMI数据2负 |
| HDMI_SCL | IO34_L21N | V18 | HDMI IIC时钟 |
| HDMI_SDA | IO34_L21P | V17 | HDMI IIC数据 |

(九) MIPI 摄像头接口(仅 AX7Z020 使用)

AX7Z020B 底板上包含了一个 MIPI 摄像头接口，可以用来接我们的 MIPI OV5640 摄像头模块。MIPI 接口部分的电路原理图如下图 3-9-1 所示：

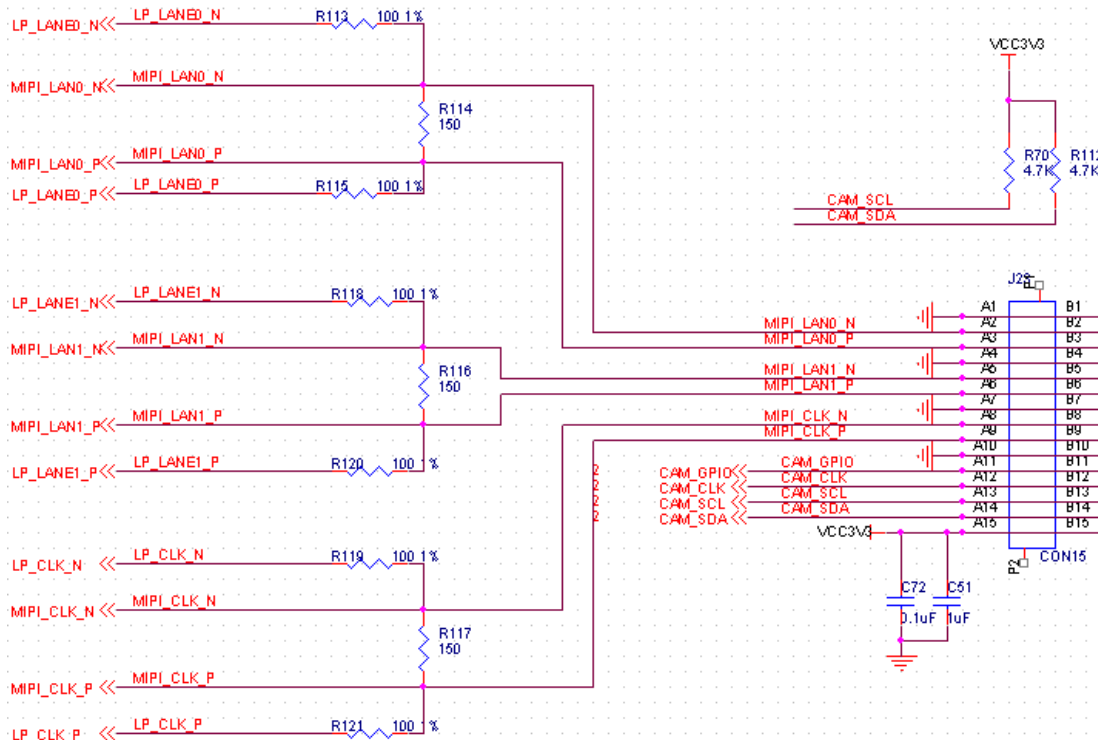


图 3-9-1 HDMI 接口设计原理图

MIPI 接口引脚分配

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|--------------|-----------|----------|---------------------|
| LP_CLK_P | IO13_L15P | V8 | Low Power模式的时钟正 |
| LP_CLK_N | IO13_L15N | W8 | Low Power模式的时钟负 |
| LP_LANE0_P | IO13_L12P | T9 | Low Power模式的LANE0正 |
| LP_LANE0_N | IO13_L12N | U10 | Low Power模式的LANE0负 |
| LP_LANE1_P | IO13_L20P | Y12 | Low Power模式的LANE1正 |
| LP_LANE1_N | IO13_L20N | Y13 | Low Power模式的LANE1负 |
| MIPI_CLK_P | IO13_L13P | Y7 | High Speed模式的时钟正 |
| MIPI_CLK_N | IO13_L13N | Y6 | High Speed模式的时钟负 |
| MIPI_LANE0_P | IO13_L18P | W11 | High Speed模式的LANE0正 |
| MIPI_LANE0_N | IO13_L18N | Y11 | High Speed模式的LANE0负 |
| MIPI_LANE1_P | IO13_L17P | U9 | High Speed模式的LANE1正 |

| | | | |
|-------------|-----------|----|---------------------|
| MIPI_LAN1_N | IO13_L17N | U8 | High Speed模式的LANE1负 |
| CAM_GPIO | IO13_L11P | U7 | 摄像头的GPIO控制 |
| CAM_CLK | IO13_L11N | V7 | 摄像头的时钟输入 |
| CAM_SCL | IO13_L19P | T5 | 摄像头的I2C时钟 |
| CAM_SDA | IO13_L19N | U5 | 摄像头的I2C数据 |

(十) SD 卡槽

AX7Z020B底板包含了一个Micro型的SD卡接口，以提供用户访问SD卡存储器，用于存储ZYNQ芯片的BOOT程序，Linux操作系统内核，文件系统以及其它的用户数据文件。

SDIO信号与ZYNQ的PS BANK501的IO信号相连，因为该BANK的VCCMIO设置为1.8V，但SD卡的数据电平为3.3V，我们这里通过TXS02612电平转换器来连接。Zynq7000 PS和SD卡连接器的原理图如图3-6-1所示。

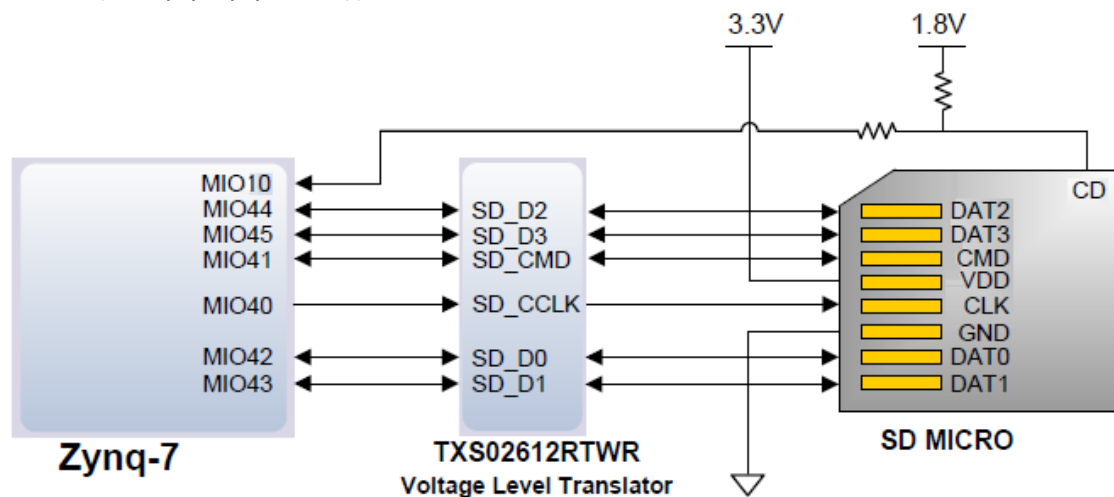


图 3-10-1 SD 卡连接示意图

SD 卡槽引脚分配

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|--------|----------|----------|-----------|
| SD_CLK | PS_MIO40 | D14 | SD时钟信号 |
| SD_CMD | PS_MIO41 | C17 | SD命令信号 |
| SD_D0 | PS_MIO42 | E12 | SD数据Data0 |
| SD_D1 | PS_MIO43 | A9 | SD数据Data1 |
| SD_D2 | PS_MIO44 | F13 | SD数据Data2 |
| SD_D3 | PS_MIO45 | B15 | SD数据Data3 |

| | | | |
|-------|----------|-----|---------|
| SD_CD | PS_MIO47 | B14 | SD卡插入信号 |
|-------|----------|-----|---------|

(十一) EEPROM

AX7Z020B 开发板板载了一片 EEPROM。EEPROM 的型号为 24LC04,容量为 : 4Kbit (2*256*8bit), 由 2 个 256byte 的 block 组成,通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 的 I2C 信号连接的 ZYNQ PS 端的 I2C 接口上。图 3-11-1 为 EEPROM 的连接示意图

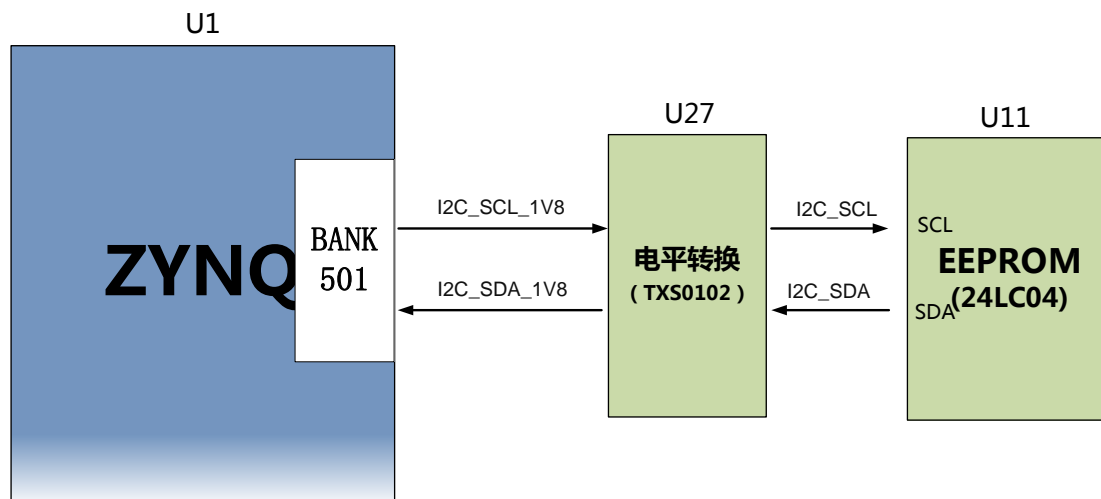


图 7-5 EEPROM 连接示意图

EEPROM 引脚分配 :

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|-------------|----------|----------|---------|
| I2C_SCL_1V8 | MIO50 | B13 | IIC时钟信号 |
| I2C_SDA_1V8 | MIO51 | B9 | IIC数据信号 |

(十二) 实时时钟

开发板板载了一片实时时钟 RTC 芯片 ,型号 DS1338 ,他的功能是提供到 2099 年内的日历功能 ,年月日时分秒还有星期。如果系统中需要时间的话 ,那么 RTC 就需要涉及到产品中。他外部需要接一个 32.768KHz 的无源时钟 ,提供精确的时钟源给时钟芯片 ,这样才能让 RTC 可以准确的提供时钟信息给产品。同时为了产品掉电以后 ,实时时钟还可以正常运行 ,一般需要另外配一个电池给时钟芯片供电 ,图 3-12-2 中为 BT1 为电池座 ,我们将纽扣电池 (型号 CR1220 ,电压为 3V) 放入以后 ,当系统掉电 ,纽扣电池还可以给 DS1338 供电 ,这样 ,不管产品是否供电 ,DS1302 都会正常运行 ,不会间断 ,可以提供持续不断的时间信息。RTC 的接口信号跟 EEPROM 是共用 I2C 总线。图 3-12-1 为 DS1338 连接示意图

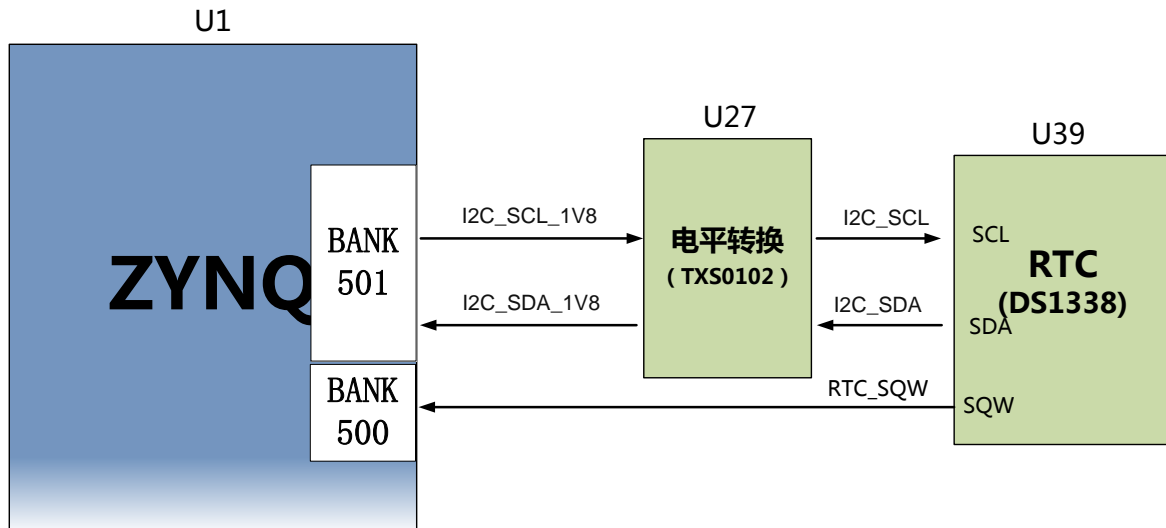


图 3-12-1 DS1338 原理图

DS1338 接口引脚分配：

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|-------------|----------|----------|----------|
| I2C_SCL_1V8 | MIO50 | B13 | RTC的时钟信号 |
| I2C_SDA_1V8 | MIO51 | B9 | RTC的复位信号 |
| RTC_SQW | MIO7 | D8 | 方波输出信号 |

(十三) 温度传感器

AX7Z020B 开发板上安装了一个高精度、低功耗、数字温度传感器芯片，型号为 ON Semiconductor 公司的 LM75。LM75 芯片的温度精度为 0.5 度,传感器和 FPGA 直接为 I2C 数字接口，ZYNQ7020 通过 I2C 接口来读取当前开发板附近的温度。LM75 传感器的接口信号跟 EEPROM 是共用 I2C 总线，下图 3-13-1 为 LM75 传感器连接示意图

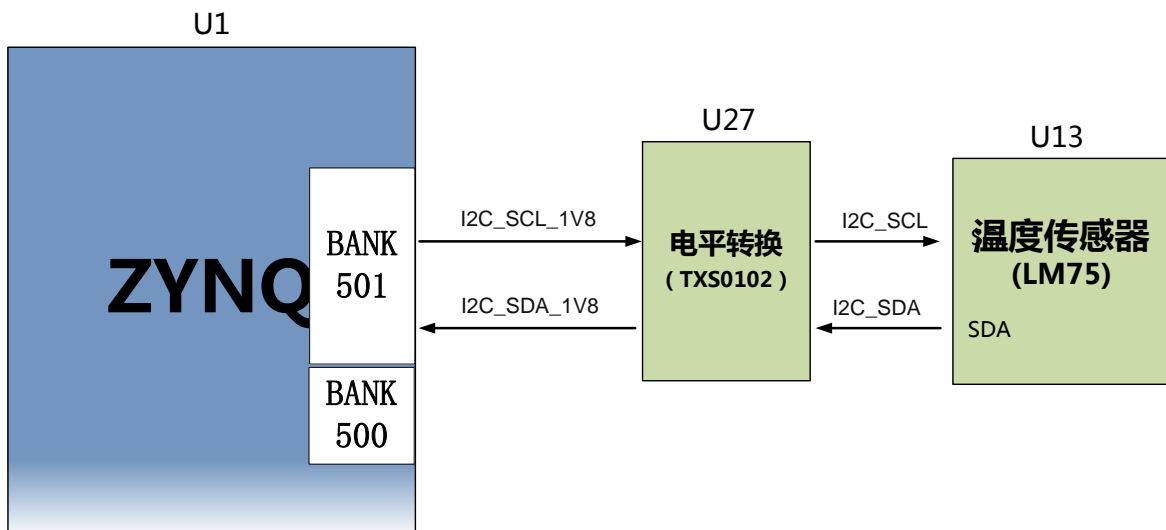


图 3-13-1 LM75 传感器连接示意图

(十四) JTAG 接口

在 AX7Z020B 底板上预留了 JTAG 的下载调试电路，将 ZYNQ 的 JTAG 调试信号 TCK,TDO,TMS,TDI 引出。图 3-14-1 为开发板上 JTAG 口的原理图部分：

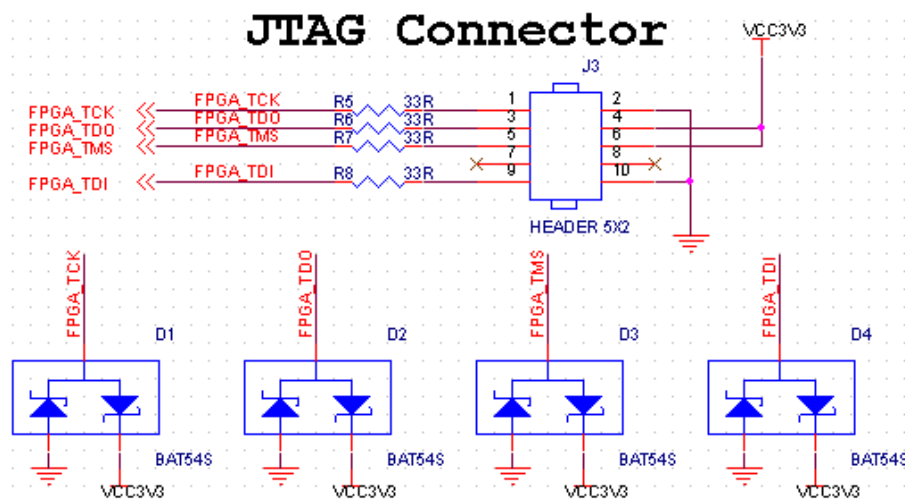


图3-14-1 原理图中JTAG接口部分

(十五) 用户 LED 灯

AX7Z020B 底板上 有 4 个用户 LED 灯 (LED1~LED4)。4 个用户 LED 灯均连接到 PL 端 BANK35 的 IO 上，用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯熄灭，当连接 IO 电压为低时，用户 LED 会被点亮。LED 灯硬件连接的示意图如图 3-15-1 所示：

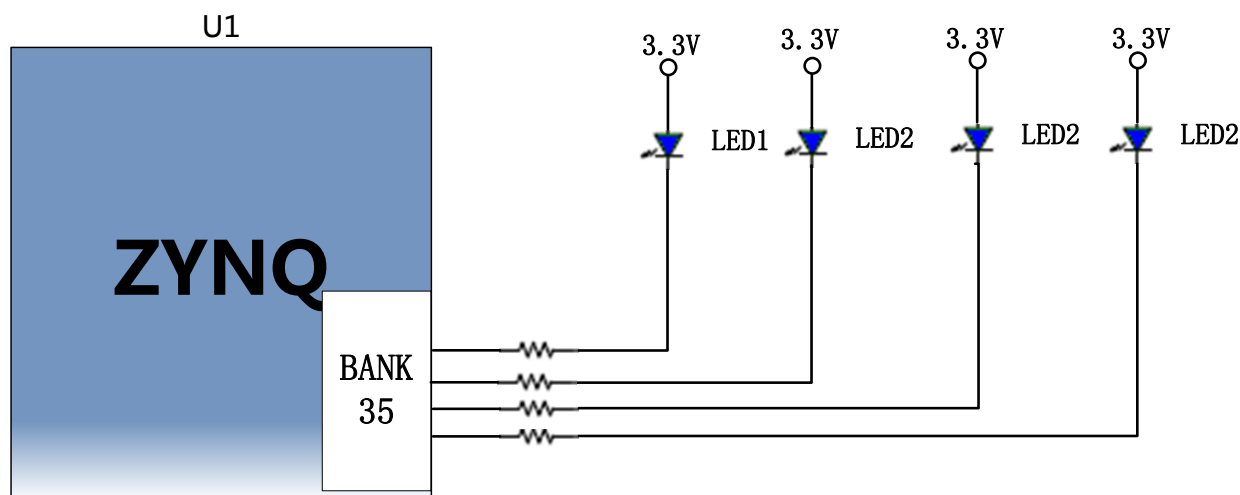


图 3-15-1 底板 LED 灯硬件连接示意图

底板用户 LED 灯的引脚分配

| 信号名称 | ZYNQ 引脚名 | ZYNQ 管脚号 | 备注 |
|------|-----------|----------|---------|
| LED1 | IO35_L20N | J14 | 用户LED1灯 |
| LED2 | IO35_L20P | K14 | 用户LED2灯 |
| LED3 | IO35_L14P | J18 | 用户LED3灯 |
| LED4 | IO35_L14N | H18 | 用户LED4灯 |

(十六) 用户按键

AX7Z020B 底板上有 4 个用户按键 KEY1~KEY4 ,4 个用户 KEY 均连接到 PL 端 BANK35 的 IO 上。按键按下，信号为低，ZYNQ 芯片就是检测到低电平来判断按键是否按下。用户按键连接的示意图如图 3-16-1 所示：

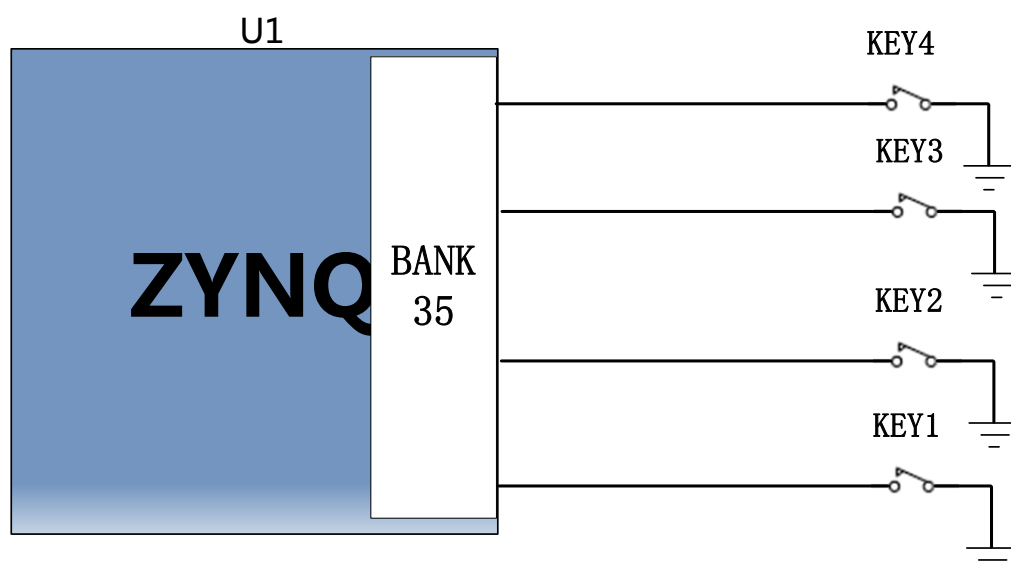


图 3-16-1 用户按键连接示意图

用户按键的 ZYNQ 管脚分配

| 信号名称 | ZYNQ 引脚名 | ZYNQ 引脚号 | 备注 |
|------|-----------|----------|----------|
| KEY1 | IO35_L23N | M15 | 用户按键KEY1 |
| KEY2 | IO35_L23P | M14 | 用户按键KEY2 |
| KEY3 | IO35_L11N | L17 | 用户按键KEY3 |
| KEY4 | IO35_L11P | L16 | 用户按键KEY4 |

(十七) 扩展口

AX7Z020B 底板预留了 2 个 2.54mm 标准间距的 40 针的扩展口 J20 和 J21，用于连接黑金的各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 ZYNQ7000 芯片。如果要接 5V 设备，需要接电平转换芯片。**

扩展口(J20)的电路如下图 3-17-1 所示

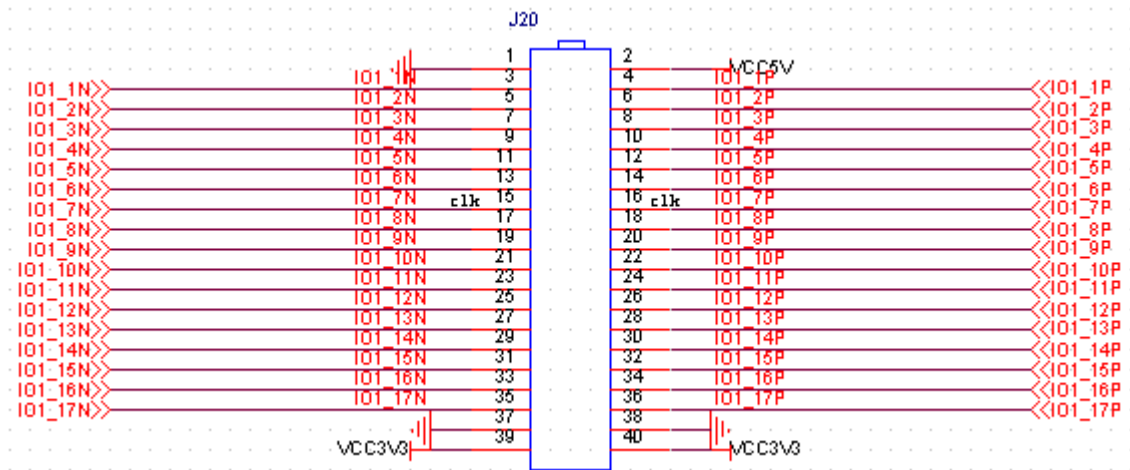


图 3-17-1 扩展口 J20 原理图

J20 扩展口 ZYNQ 的引脚分配

| 引脚编号 | ZYNQ 引脚 | 引脚编号 | ZYNQ 引脚 |
|------|---------|------|---------|
| 1 | GND | 2 | +5V |
| 3 | R14 | 4 | P14 |
| 5 | U12 | 6 | T12 |
| 7 | T15 | 8 | T14 |
| 9 | T11 | 10 | T10 |
| 11 | U15 | 12 | U14 |
| 13 | P19 | 14 | N18 |
| 15 | R17 | 16 | R16 |
| 17 | P15 | 18 | P16 |
| 19 | N17 | 20 | P18 |
| 21 | V16 | 22 | W16 |
| 23 | R18 | 24 | T17 |
| 25 | W19 | 26 | W18 |

| | | | |
|----|-------|----|-------|
| 27 | W20 | 28 | V20 |
| 29 | P20 | 30 | N20 |
| 31 | U17 | 32 | T16 |
| 33 | U20 | 34 | T20 |
| 35 | V15 | 36 | W15 |
| 37 | GND | 38 | GND |
| 39 | +3.3V | 40 | +3.3V |

扩展口(J21)的电路如下图 3-17-3 所示

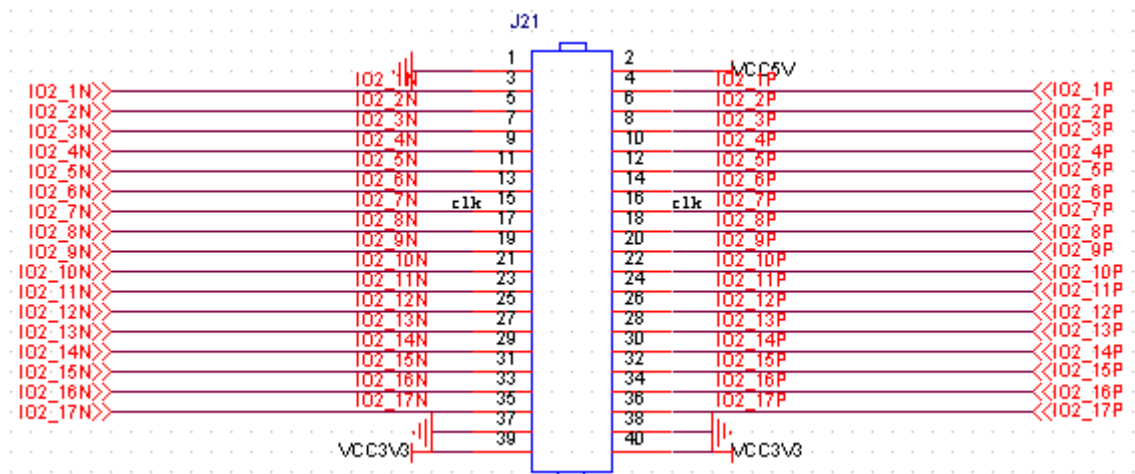


图 3-17-3 扩展口 J21 原理图

J21 扩展口 ZYNQ 的引脚分配

| 引脚编号 | ZYNQ 引脚 | 引脚编号 | ZYNQ 引脚 |
|------|---------|------|---------|
| 1 | GND | 2 | +5V |
| 3 | M18 | 4 | M17 |
| 5 | K19 | 6 | J19 |
| 7 | B19 | 8 | A20 |
| 9 | B20 | 10 | C20 |
| 11 | G19 | 12 | G20 |
| 13 | M19 | 14 | M20 |
| 15 | D20 | 16 | D19 |
| 17 | L20 | 18 | L19 |
| 19 | F16 | 20 | F17 |
| 21 | H20 | 22 | J20 |

| | | | |
|----|-------|----|-------|
| 23 | G18 | 24 | G17 |
| 25 | H17 | 26 | H16 |
| 27 | G15 | 28 | H15 |
| 29 | K18 | 30 | K17 |
| 31 | J16 | 32 | K16 |
| 33 | N16 | 34 | N15 |
| 35 | L15 | 36 | L14 |
| 37 | GND | 38 | GND |
| 39 | +3.3V | 40 | +3.3V |

(十八) 供电电源

开发板的电源输入电压为 DC5V，请使用开发板自带的电源,不要用其他规格电源，以免损坏开发板。底板上通过 2 路 DC/DC 电源芯片 ETA1471 和 1 路 LDO 电源芯片 SPX3819M5-ADJ 转换成 1.8V，+3.3V 和 VCCIO35 三路电源。

ZYNQ7020 的 BANK35 的 IO 的电平可以由底板的跳线帽来调整电压，默认如果 J28，J29 没有安装跳线帽，BANK35 的 IO 电平是 3.3V 的。如果 J29 安装了跳线帽，BANK35 的 IO 电平是 1.8V。如果 J28 安装了跳线帽，BANK35 的 IO 电平是 2.5V。

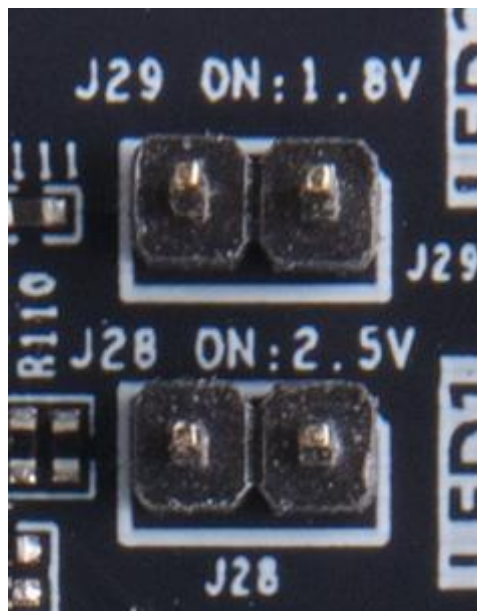
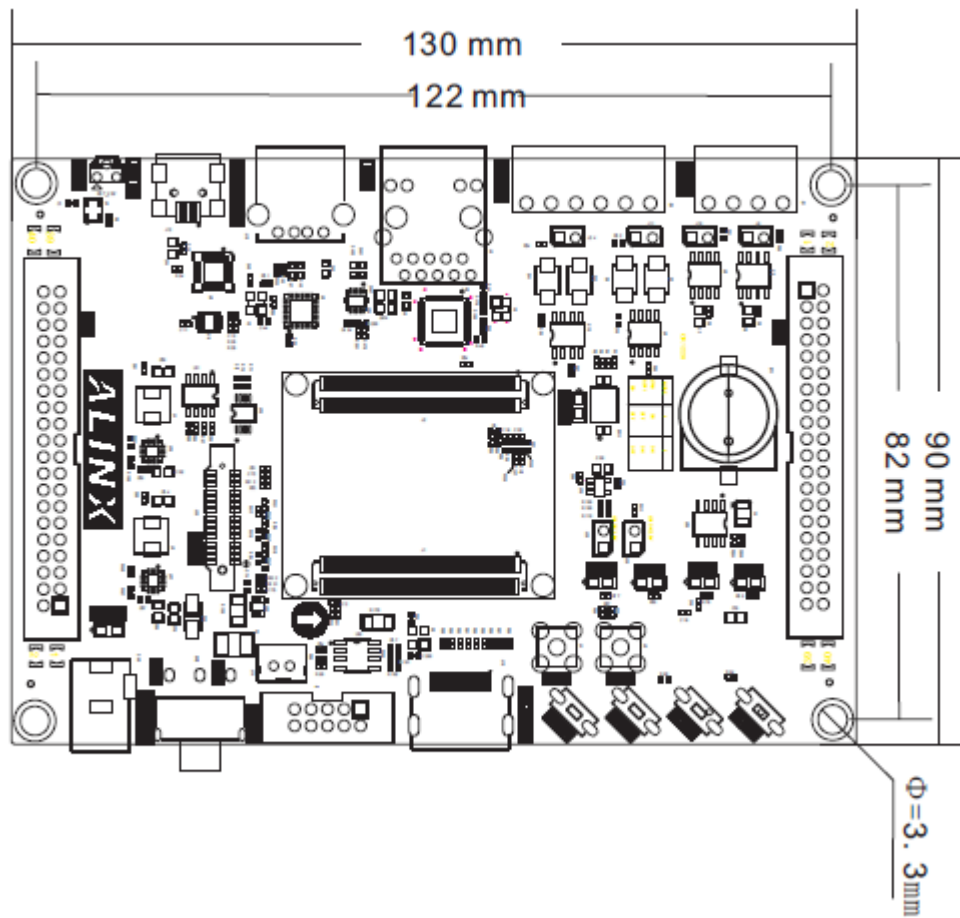


图 3-18-2 VCCIO35 的电压调整

(十九) 底板结构图



正面图 (Top View)