



AX7Z045 开发板用户手册

芯驿电子科技（上海）有限公司

www.alinx.com



目录

一、开发板简介	3
二、AC7Z045 核心板	6
1. 简介	6
2. ZYNQ 芯片	7
3. DDR3 DRAM	10
4. QSPI Flash	19
5. eMMC Flash	20
6. 时钟配置	22
7. LED 灯	25
8. 复位电路	25
9. 电源	26
10. 结构图	28
11. 连接器管脚定义	29
三、扩展板	41
1. 简介	41
2. USB 转串口	42
3. 千兆以太网接口	43
4. USB2.0 Host 接口	47
5. HDMI 输出接口	48
6. HDMI 输入接口	51
7. 光纤接口	53
8. PCIe 插槽	55
9. SD 卡槽	58
10. 40 针扩展口	59
11. LED 灯	61
12. 复位按键和用户按键	62
13. JTAG 调试口	63
14. 拨码开关	64
15. 电源	65
16. 风扇	65
17. 结构尺寸图	66

芯驿电子科技（上海）有限公司 基于 AMD ZYNQ7000 开发平台的开发板（型号：AX7Z045）2025 款正式发布了正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 ZYNQ7000 FPGA 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。核心板使用 AMD 的 Zynq7000 SoC 芯片 XC7Z045 的解决方案，它采用 ARM+FPGA SOC 技术将双核 ARM Cortex-A9 和 FPGA 可编程逻辑集成在一颗芯片上。另外核心板上含有 4 片共 2GB 高速 DDR3 SDRAM 芯片，1 片 8GB 的 eMMC 存储芯片和 2 片 256Mb 的 QSPI FLASH 芯片。

在底板设计上我们为用户扩展了丰富的外围接口，比如 1 个 PCIe8 接口、4 路光纤接口、2 路千兆以太网接口、4 路 USB2.0 HOST 接口、1 路 HDMI 输出接口、1 路 HDMI 输入接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 40 针扩展接口等等。满足用户各种高速数据交换，数据存储，视频传输处理以及工业控制的要求，是一款“专业级”的 ZYNQ 开发

平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 ZYNQ 开发的学生、工程师等群体。

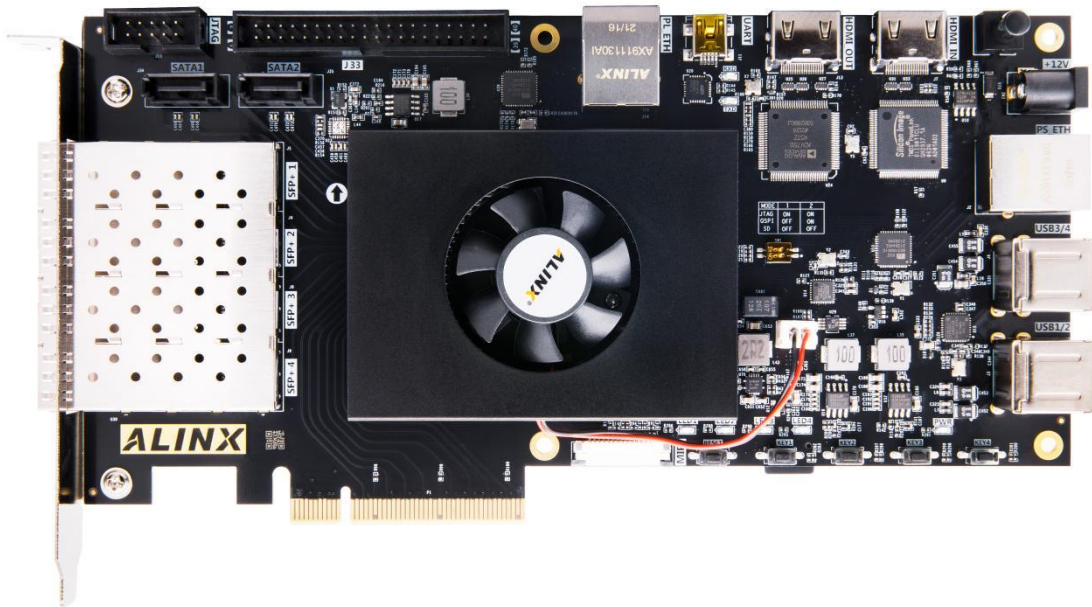


图 0-1-1 AX7Z045 开发板

一、开发板简介

在这里，对这款 AX7Z045 ZYNQ 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 ZYNQ7100 + 4 个 DDR3 + eMMC + QSPI FLASH 的最小系统构成。AX7Z045 采用 AMD 公司的 Zynq7000 系列的芯片，型号为 XC7Z045-2FFG900。ZYNQ7100 芯片可分成处理器系统部分 Processor System (PS) 和可编程逻辑部分 Programmable Logic (PL)。在 XC7Z045 芯片的 PS 端和 PL 端分别挂了 2 片 DDR3，每片 DDR3 容量高达 512M 字节，使得 ARM 系统和 FPGA 系统能独立处理和存储的数据的功能。PS 端的 8GB eMMC FLASH 存储芯片和 512Mb 的 QSPI FLASH 用来静态存储 ZYNQ 的操作系统、文件系统及用户数据。

底板为核心板扩展了丰富的外围接口，其中包含 1 个 PCIe8 接口、4 路光纤接口、2 路千兆以太网接口 (PS 和 PL 各一路)、4 路 USB2.0 HOST 接口、1 路 HDMI 输出接口、1 路 HDMI 输出接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 40 针扩展接口和一些按键 LED。

下图为整个开发系统的结构示意图：

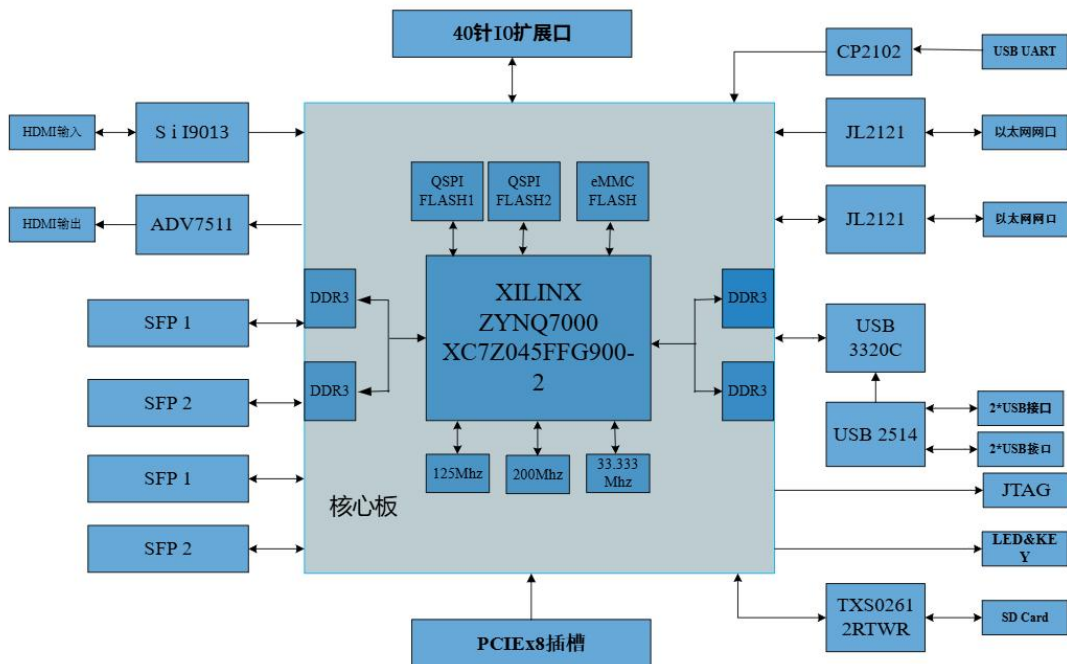


图 1-1-1 AX7Z045 开发板结构示意图

通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- AC7Z045 核心板

由 XC7Z045+2GB DDR3+8GB eMMC FLASH + 512Mb QSPI FLASH 组成，另外有三个晶振提供时钟，一个单端 33.333MHz 晶振提供给 PS 系统，一个差分 200MHz 晶振提供给 PL

逻辑 DDR 参考时钟，另外一个差分 125MHz 晶振提供给 GTX 收发器参考时钟。

- PCIe x8 接口

支持 PCI Express 2.0 标准，提供标准的 PCIe x8 高速数据传输接口，单通道通信速率可高达 5GBaud。

- 4 路 SFP 光纤接口

ZYNQ 的 GTX 收发器的 4 路高速收发器连接到 4 个光模块的发送和接收，实现 4 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 10Gb/s。

- 千兆以太网接口

2 路 10/100M/1000M 以太网 RJ45 接口，用于和电脑或其它网络设备进行以太网数据交换。网络接口芯片采用景略半导体的 JL2121 工业级 GPHY 芯片，1 路以太网连接到 ZYNQ 芯片的 PS 端，1 路以太网连接到 ZYNQ 芯片的 PL 端。

- HDMI 视频输出

1 路 HDMI 视频输出接口，我们选用了 ANALOG DEVICE 公司的 ADV7511 HDMI 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

- HDMI 视频输入

1 路 HDMI 视频输入接口，我们选用了 Sillion Image 公司的 SIL9011/SIL9013 HDMI 解码芯片，最高支持 1080P@60Hz 输入，支持不同格式的数据输入。

- USB2.0 HOST 接口

通过 USB Hub 芯片扩展 4 路 USB HOST 接口，用于连接外部的 USB 从设备，比如连接鼠标，键盘，U 盘等等。USB 接口采用扁型 USB 接口(USB Type A)。

- USB Uart 接口

1 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- 40 针扩展口

1 个 40 针 2.54mm 间距的扩展口，可以外接黑金的各种模块（双目摄像头，TFT LCD 屏，高速 AD 模块等等）。扩展口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。

- JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试，用户可以通过 AMD 下载器对 ZYNQ 系统进行调试和下载。

- LED 灯

9 个发光二极管 LED，核心板上 2 个，底板上 7 个。核心板上 1 个电源指示灯；1 个 DONE

配置指示灯。底板上有一个电源指示灯，4个用户指示灯和2个串口指示灯。

- 按键

5个按键，1个复位按键，4个PL用户按键。

二、AC7Z045 核心板

1. 简介

AC7Z045(核心板型号，下同)核心板，ZYNQ 芯片是基于 AMD 公司的 ZYNQ7000 系列的 XC7Z045-2FFG900。ZYNQ 芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器，AMBA®互连，内部存储器，外部存储器接口和外设。ZYNQ 芯片的 FPGA 内部含有丰富的可编程逻辑单元，DSP 和内部 RAM。

这款核心板使用了 4 片 Micron 的 512MB 的 DDR3 芯片 MT41J256M16HA-125,总的容量达 2GB。其中 PS 和 PL 端各挂载两片，分别组成 32bit 的总线宽度。PS 端的 DDR3 SDRAM 的最高运行速度可达 533MHz(数据速率 1066Mbps)，PL 端的 DDR3 SDRAM 的最高运行速度可达 800MHz(数据速率 1600Mbps)。另外核心板上也集成了 2 片 256MBit 大小的 QSPI FLASH 和 8GB 大小的 eMMC FLASH 芯片，用于启动存储配置和系统文件。

为了和底板连接，这款核心板的 4 个板对板连接器扩展出了 PS 端的 USB 接口，千兆以太网接口，SD 卡接口及其它剩余的 MIO 口；也扩展出了 ZYNQ 的 16 对高速收发器 GTX 接口；以及 PL 端的几乎所有 IO 口（140 个 3.3V IO 和 48 个 1.8V IO），其中 BANK10,BANK11,BANK12 的 IO 的电平可以通过更换核心板上的 LDO 芯片来修改，满足用户不用电平接口的要求。对于需要大量 IO 的用户，此核心板将是不错的选择。而且 IO 连接部分，ZYNQ 芯片到接口之间走线做了等长和差分处理，并且核心板尺寸仅为 80*60 (mm)，对于二次开发来说，非常适合。

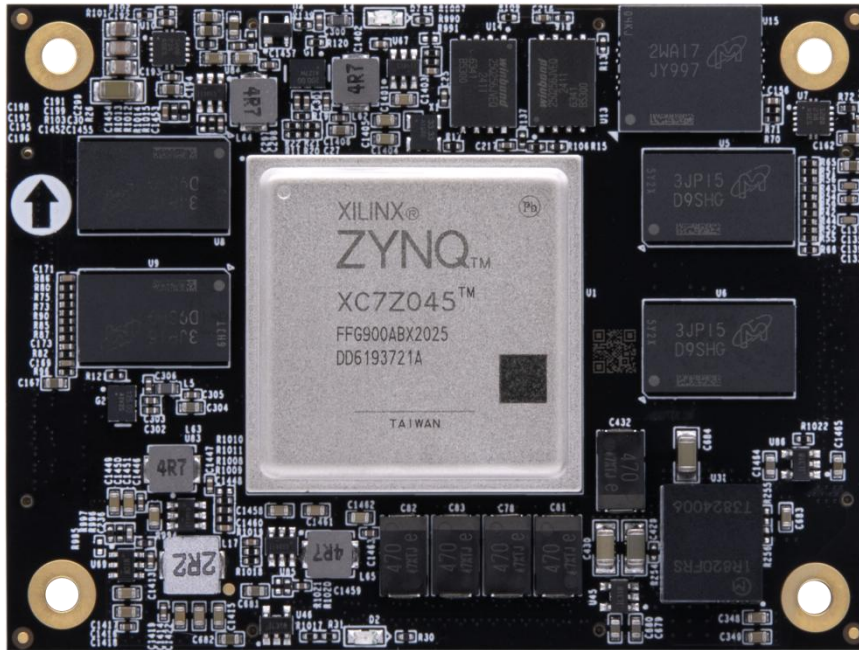


图 2-1-1 AC7Z045 核心板正面图

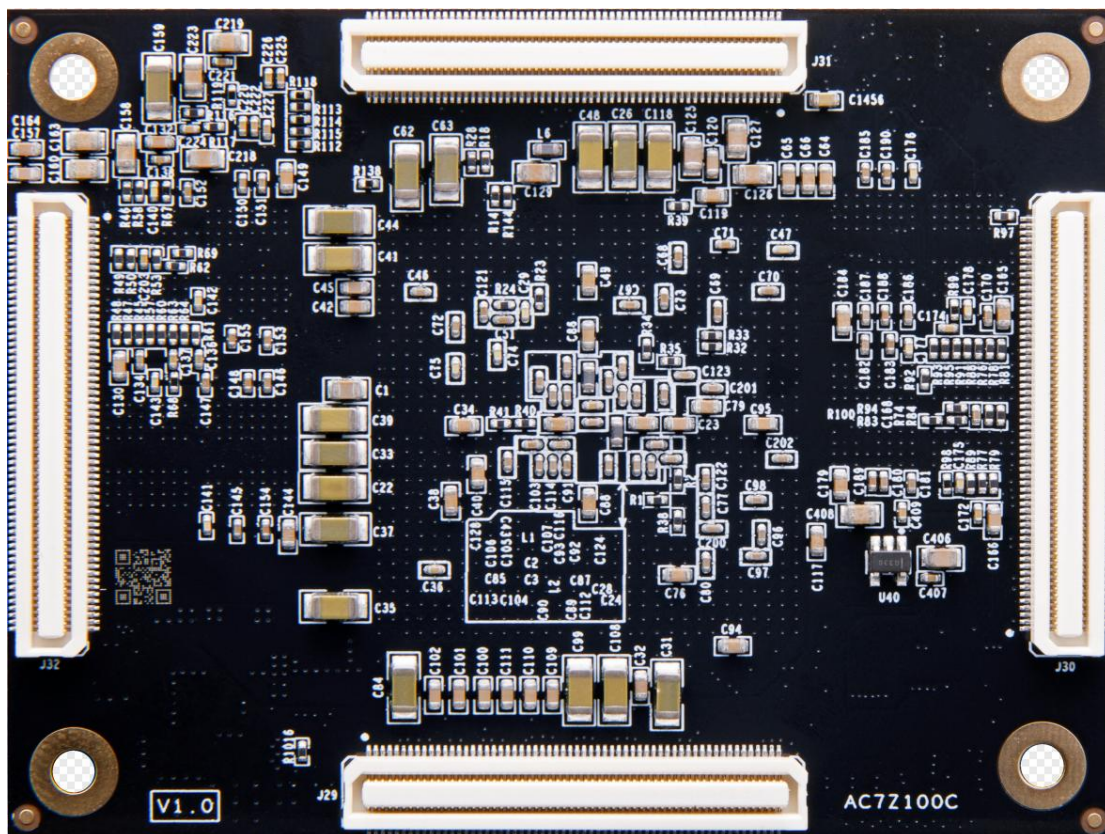


图 2-1-2 AC7Z045 核心板背面图

2. ZYNQ 芯片

核心板使用的是 AMD 公司的 Zynq7000 系列的芯片，型号为 XC7Z045-2FFG900i。芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/SDIO 接口，I2C 总线接口，CAN 总线接口，UART 接口，GPIO 等。PS 可以独立运行并在上电或复位下启动。ZYNQ7000 芯片的总体框图如图 2-2-1 所示

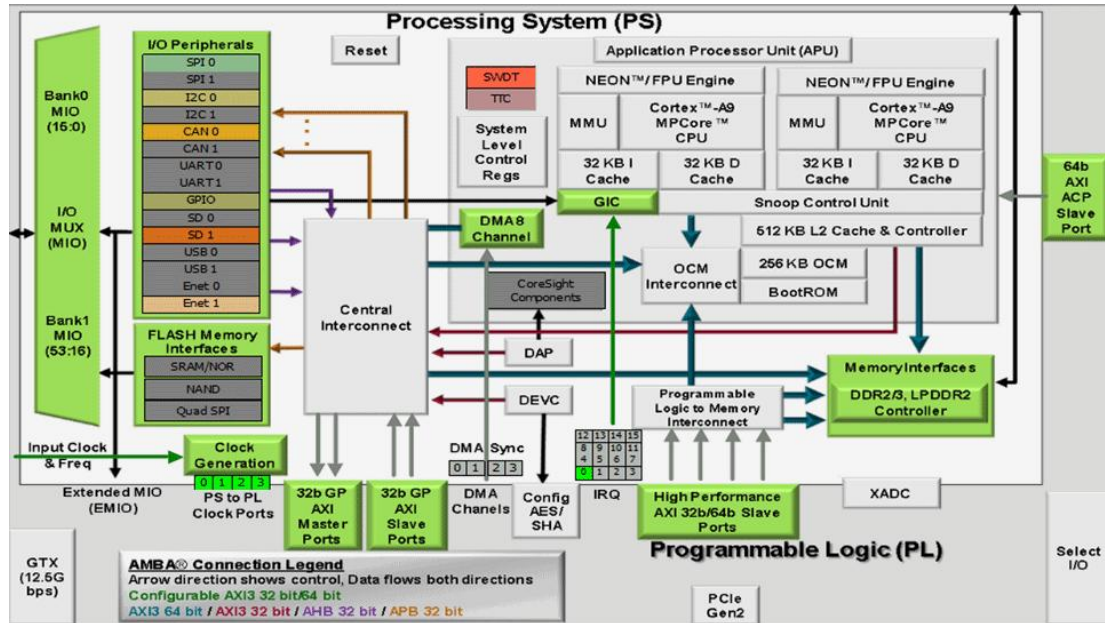


图 2-2-1 ZYNQ7000 芯片的总体框图

其中 PS 系统部分的主要参数如下：

- 基于 ARM 双核 CortexA9 的应用处理器，ARM-v7 架构 高达 800MHz
- 每个 CPU 32KB 1 级指令和数据缓存，512KB 2 级缓存 2 个 CPU 共享
- 片上 boot ROM 和 256KB 片内 RAM
- 外部存储接口，支持 16/32 bit DDR2、DDR3 接口
- 两个千兆网卡支持：发散-聚集 DMA，GMII，RGMII，SGMII 接口
- 两个 USB2.0 OTG 接口，每个最多支持 12 节点
- 两个 CAN2.0B 总线接口
- 两个 SD 卡、SDIO、MMC 兼容控制器
- 2 个 SPI，2 个 UARTs，2 个 I2C 接口
- 54 个多功能配置的 IO，可以软件配置成普通 IO 或者外设控制接口
- PS 内和 PS 到 PL 的高带宽连接

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元 Logic Cells: 350K;
- 查找表 LUTs: 218600
- 触发器(flip-flops):437200
- 乘法器 18x25MACCs: 900;
- Block RAM: 19.2Mb;
- 16 路高速 GTX 收发器, 支持 PCIE Gen2x8;
- 2 个 AD 转换器,可以测量片上电压、温度感应和高达 17 外部差分输入通道, 1MBPS

XC7Z045-2FFG900I 芯片的速度等级为-2, 工业级, 封装为 FGG900, 引脚间距为 1.0mm, ZYNQ7000 系列的具体的芯片型号定义如下图 2-2 所示。

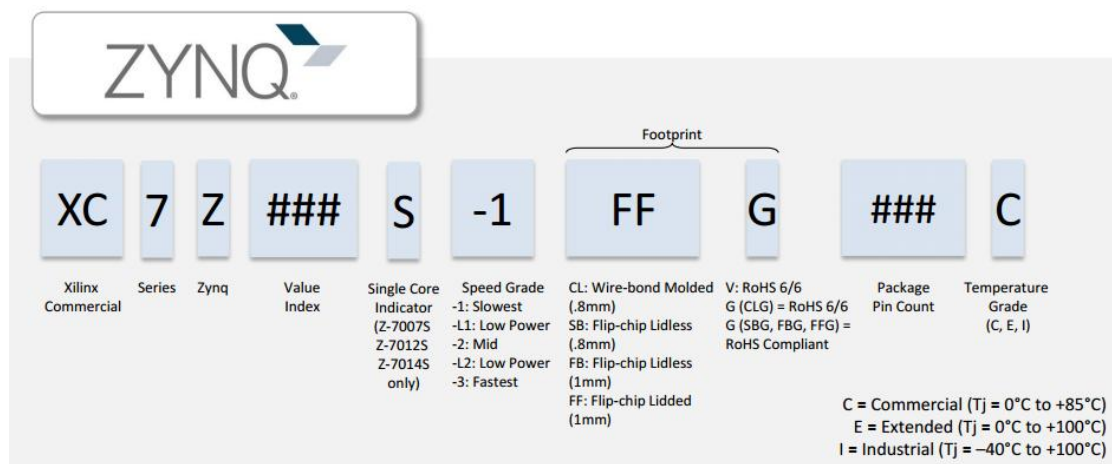


图 2-2-2 ZYNQ 型号命名规则定义

图 2-2-3 为核心板所用的 XC7Z045 芯片实物图。



图 2-2-3 XC7Z045 芯片实物

3. DDR3 DRAM

AC7Z045 核心板上配有四片 Micron(美光)的 512MB 的 DDR3 芯片,型号为 MT41J256M16HA-125(兼容 MT41K256M16HA-125), 其中 PS 和 PL 端各挂载两片。两片 DDR3 SDRAM 组成 32bit 的总线宽度。PS 端的 DDR3 SDRAM 的最高运行速度可达 533MHz(数据速率 1066Mbps), 两片 DDR3 存储系统直接连接到了 ZYNQ 处理系统 (PS) 的 BANK 502 的存储器接口上。PL 端的 DDR3 SDRAM 的最高运行速度可达 800MHz(数据速率 1600Mbps), 两片 DDR3 存储系统连接到了 FPGA 的 BANK33, BANK34 的接口上。DDR3 SDRAM 的具体配置如下表 2-3-1 所示。

位号	芯片型号	容量	厂家
U4,U5,U7,U8	MT41J256M16HA-125	256M x 16bit	Micron

表 2-3-1 DDR3 SDRAM 配置

DDR3 的硬件设计需要严格考虑信号完整性,我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制, 保证 DDR3 的高速稳定的工作。

PS 端的 DDR3 DRAM 的硬件连接方式如图 2-3-1 所示:

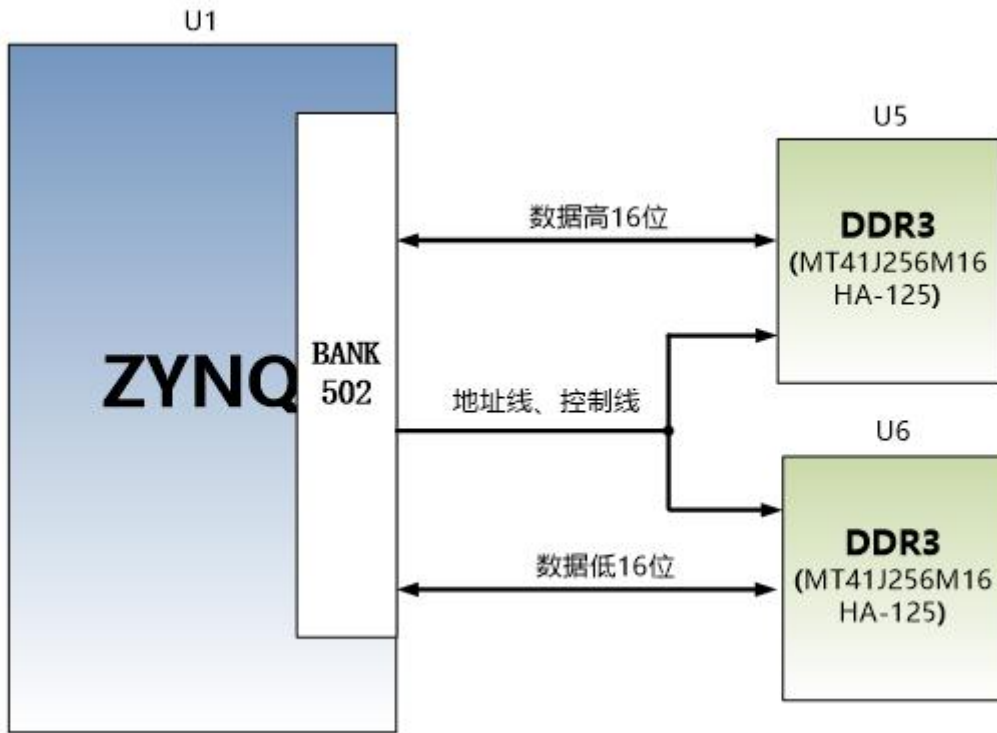


图 2-3-1 PS 端 DDR3 DRAM 原理图部分

PL 端的 DDR3 DRAM 的硬件连接方式如图 2-3-2 所示:

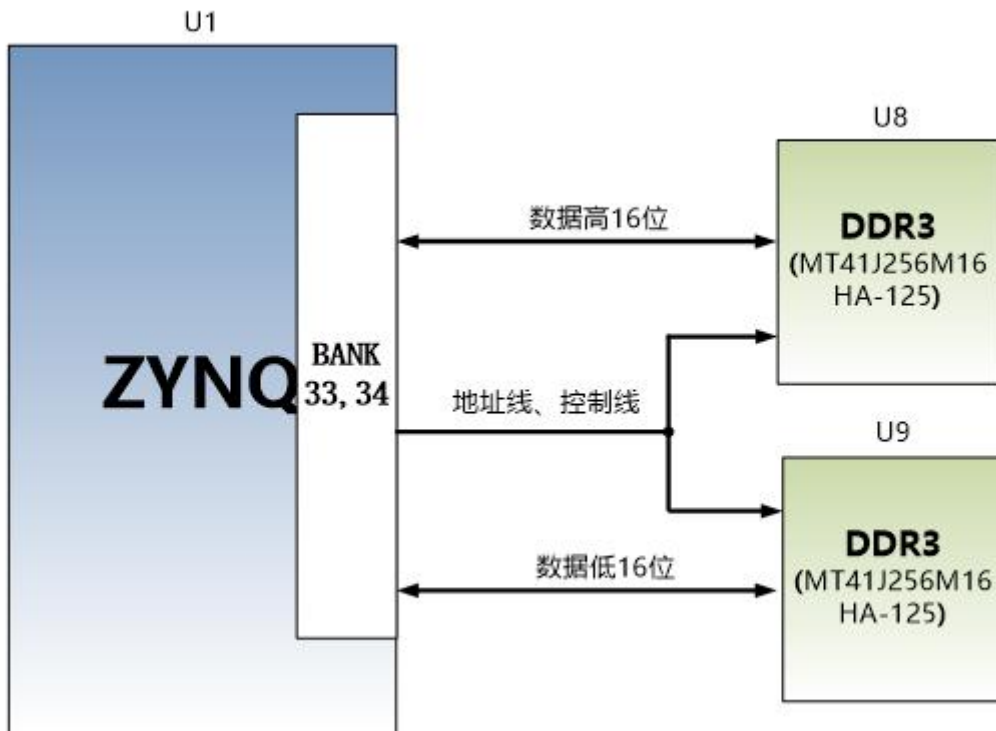


图 2-3-2 PL 端 DDR3 DRAM 原理图部分

PS 端 DDR3 DRAM 引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
PS_DDR3_DQS0_P	PS_DDR_DQS_P0_502	C26
PS_DDR3_DQS0_N	PS_DDR_DQS_N0_502	B26
PS_DDR3_DQS1_P	PS_DDR_DQS_P1_502	C29
PS_DDR3_DQS1_N	PS_DDR_DQS_N1_502	B29
PS_DDR3_DQS2_P	PS_DDR_DQS_P2_502	G29
PS_DDR3_DQS2_N	PS_DDR_DQS_N2_502	F29
PS_DDR3_DQS3_P	PS_DDR_DQS_P3_502	L28
PS_DDR3_DQS4_N	PS_DDR_DQS_N3_502	L29
PS_DDR3_D0	PS_DDR_DQ0_502	A25
PS_DDR3_D1	PS_DDR_DQ1_502	E25
PS_DDR3_D2	PS_DDR_DQ2_502	B27
PS_DDR3_D3	PS_DDR_DQ3_502	D25
PS_DDR3_D4	PS_DDR_DQ4_502	B25
PS_DDR3_D5	PS_DDR_DQ5_502	E26
PS_DDR3_D6	PS_DDR_DQ6_502	D26
PS_DDR3_D7	PS_DDR_DQ7_502	E27
PS_DDR3_D8	PS_DDR_DQ8_502	A29
PS_DDR3_D9	PS_DDR_DQ9_502	A27

PS_DDR3_D10	PS_DDR_DQ10_502	A30
PS_DDR3_D11	PS_DDR_DQ11_502	A28
PS_DDR3_D12	PS_DDR_DQ12_502	C28
PS_DDR3_D13	PS_DDR_DQ13_502	D30
PS_DDR3_D14	PS_DDR_DQ14_502	D28
PS_DDR3_D15	PS_DDR_DQ15_502	D29
PS_DDR3_D16	PS_DDR_DQ16_502	H27
PS_DDR3_D17	PS_DDR_DQ17_502	G27
PS_DDR3_D18	PS_DDR_DQ18_502	H28
PS_DDR3_D19	PS_DDR_DQ19_502	E28
PS_DDR3_D20	PS_DDR_DQ20_502	E30
PS_DDR3_D21	PS_DDR_DQ21_502	F28
PS_DDR3_D22	PS_DDR_DQ22_502	G30
PS_DDR3_D23	PS_DDR_DQ23_502	F30
PS_DDR3_D24	PS_DDR_DQ24_502	J29
PS_DDR3_D25	PS_DDR_DQ25_502	K27
PS_DDR3_D26	PS_DDR_DQ26_502	J30
PS_DDR3_D27	PS_DDR_DQ27_502	J28
PS_DDR3_D28	PS_DDR_DQ28_502	K30
PS_DDR3_D29	PS_DDR_DQ29_502	M29
PS_DDR3_D30	PS_DDR_DQ30_502	L30

PS_DDR3_D31	PS_DDR_DQ31_502	M30
PS_DDR3_DM0	PS_DDR_DM0_502	C27
PS_DDR3_DM1	PS_DDR_DM1_502	B30
PS_DDR3_DM2	PS_DDR_DM2_502	H29
PS_DDR3_DM3	PS_DDR_DM3_502	K28
PS_DDR3_A0	PS_DDR_A0_502	L25
PS_DDR3_A1	PS_DDR_A1_502	K26
PS_DDR3_A2	PS_DDR_A2_502	L27
PS_DDR3_A3	PS_DDR_A3_502	G25
PS_DDR3_A4	PS_DDR_A4_502	J26
PS_DDR3_A5	PS_DDR_A5_502	G24
PS_DDR3_A6	PS_DDR_A6_502	H26
PS_DDR3_A7	PS_DDR_A7_502	K22
PS_DDR3_A8	PS_DDR_A8_502	F27
PS_DDR3_A9	PS_DDR_A9_502	J23
PS_DDR3_A10	PS_DDR_A10_502	G26
PS_DDR3_A11	PS_DDR_A11_502	H24
PS_DDR3_A12	PS_DDR_A12_502	K23
PS_DDR3_A13	PS_DDR_A13_502	H23
PS_DDR3_A14	PS_DDR_A14_502	J24
PS_DDR3_BA0	PS_DDR_BA0_502	M27

PS_DDR3_BA1	PS_DDR_BA1_502	M26
PS_DDR3_BA2	PS_DDR_BA2_502	M25
PS_DDR3_S0	PS_DDR_CS_B_502	N22
PS_DDR3_RAS	PS_DDR_RAS_B_502	N24
PS_DDR3_CAS	PS_DDR_CAS_B_502	M24
PS_DDR3_WE	PS_DDR_WE_B_502	N23
PS_DDR3_ODT	PS_DDR_ODT_502	L23
PS_DDR3_RESET	PS_DDR_DRST_B_502	F25
PS_DDR3_CLK0_P	PS_DDR_CKP_502	K25
PS_DDR3_CLK0_N	PS_DDR_CKN_502	J25
PS_DDR3_CKE	PS_DDR_CKE_502	M22

表 2-3-2 PS DDR4 SDRAM 配置

PL 端 DDR3 DRAM 引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
PL_DDR3_DQS0_P	IO_L3P_T0_DQS_33	K3
PL_DDR3_DQS0_N	IO_L3N_T0_DQS_33	K2
PL_DDR3_DQS1_P	IO_L9P_T1_DQS_33	J1
PL_DDR3_DQS1_N	IO_L9N_T1_DQS_33	H1
PL_DDR3_DQS2_P	IO_L15P_T2_DQS_33	E6
PL_DDR3_DQS2_N	IO_L15N_T2_DQS_33	D5
PL_DDR3_DQS3_P	IO_L21P_T3_DQS_33	A5

PL_DDR3_DQS4_N	IO_L21N_T3_DQS_33	A4
PL_DDR3_D0	IO_L1N_T0_33	J3
PL_DDR3_D1	IO_L4N_T0_33	L2
PL_DDR3_D2	IO_L1P_T0_33	J4
PL_DDR3_D3	IO_L4P_T0_33	L3
PL_DDR3_D4	IO_L2N_T0_33	K1
PL_DDR3_D5	IO_L6P_T0_33	K6
PL_DDR3_D6	IO_L5N_T0_33	J5
PL_DDR3_D7	IO_L5P_T0_33	K5
PL_DDR3_D8	IO_L11P_T1_SRCC_33	H4
PL_DDR3_D9	IO_L10N_T1_33	G1
PL_DDR3_D10	IO_L8P_T1_33	H6
PL_DDR3_D11	IO_L7N_T1_33	F2
PL_DDR3_D12	IO_L10P_T1_33	H2
PL_DDR3_D13	IO_L12N_T1_MRCC_33	G4
PL_DDR3_D14	IO_L8N_T1_33	G6
PL_DDR3_D15	IO_L11N_T1_SRCC_33	H3
PL_DDR3_D16	IO_L18P_T2_33	E1
PL_DDR3_D17	IO_L17P_T2_33	E3
PL_DDR3_D18	IO_L16N_T2_33	D3
PL_DDR3_D19	IO_L14P_T2_SRCC_33	F4

PL_DDR3_D20	IO_L18N_T2_33	D1
PL_DDR3_D21	IO_L13N_T2_MRCC_33	E5
PL_DDR3_D22	IO_L16P_T2_33	D4
PL_DDR3_D23	IO_L17N_T2_33	E2
PL_DDR3_D24	IO_L22P_T3_33	C2
PL_DDR3_D25	IO_L24N_T3_33	A2
PL_DDR3_D26	IO_L20N_T3_33	B4
PL_DDR3_D27	IO_L20P_T3_33	B5
PL_DDR3_D28	IO_L22N_T3_33	C1
PL_DDR3_D29	IO_L24P_T3_33	A3
PL_DDR3_D30	IO_L19P_T3_33	C4
PL_DDR3_D31	IO_L23P_T3_33	B2
PL_DDR3_DM0	IO_L2P_T0_33	L1
PL_DDR3_DM1	IO_L12P_T1_MRCC_33	G5
PL_DDR3_DM2	IO_L14N_T2_SRCC_33	F3
PL_DDR3_DM3	IO_L23N_T3_33	B1
PL_DDR3_A0	IO_L18P_T2_34	H7
PL_DDR3_A1	IO_L21P_T3_DQS_34	L8
PL_DDR3_A2	IO_L7N_T1_34	H11
PL_DDR3_A3	IO_L10N_T1_34	D10
PL_DDR3_A4	IO_L15N_T2_DQS_34	H8

PL_DDR3_A5	IO_L8N_T1_34	D11
PL_DDR3_A6	IO_L19P_T3_34	L7
PL_DDR3_A7	IO_L10P_T1_34	E10
PL_DDR3_A8	IO_L23P_T3_34	L10
PL_DDR3_A9	IO_L9P_T1_DQS_34	H12
PL_DDR3_A10	IO_L18N_T2_34	G7
PL_DDR3_A11	IO_L20N_T3_34	J9
PL_DDR3_A12	IO_L13P_T2_MRCC_34	H9
PL_DDR3_A13	IO_L7P_T1_34	J11
PL_DDR3_A14	IO_L22N_T3_34	K10
PL_DDR3_BA0	IO_L22P_T3_34	K11
PL_DDR3_BA1	IO_L21N_T3_DQS_34	K8
PL_DDR3_BA2	IO_L9N_T1_DQS_34	G11
PL_DDR3_S0	IO_L16P_T2_34	F8
PL_DDR3_RAS	IO_L13N_T2_MRCC_34	G9
PL_DDR3_CAS	IO_L17P_T2_34	E7
PL_DDR3_WE	IO_L16N_T2_34	F7
PL_DDR3_ODT	IO_L20P_T3_34	J10
PL_DDR3_RESET	IO_L8P_T1_34	E11
PL_DDR3_CLK0_P	IO_L12P_T1_MRCC_34	D9
PL_DDR3_CLK0_N	IO_L12N_T1_MRCC_34	D8

PL_DDR3_CKE	IO_L17N_T2_34	D6
-------------	---------------	----

表 2-3-3 PL DDR4 SDRAM 配置

4. QSPI Flash

核心板配有 2 片 256MBit 大小的 Quad-SPI FLASH 芯片组成 8 位带宽数据总线，FLASH 型号为 W25Q256FVEI，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U13,U14	W25Q256JEVQ	256M bit	Winbond

表 2-4-1 QSPI Flash 的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 4-1 为 QSPI Flash 在原理图中的部分。

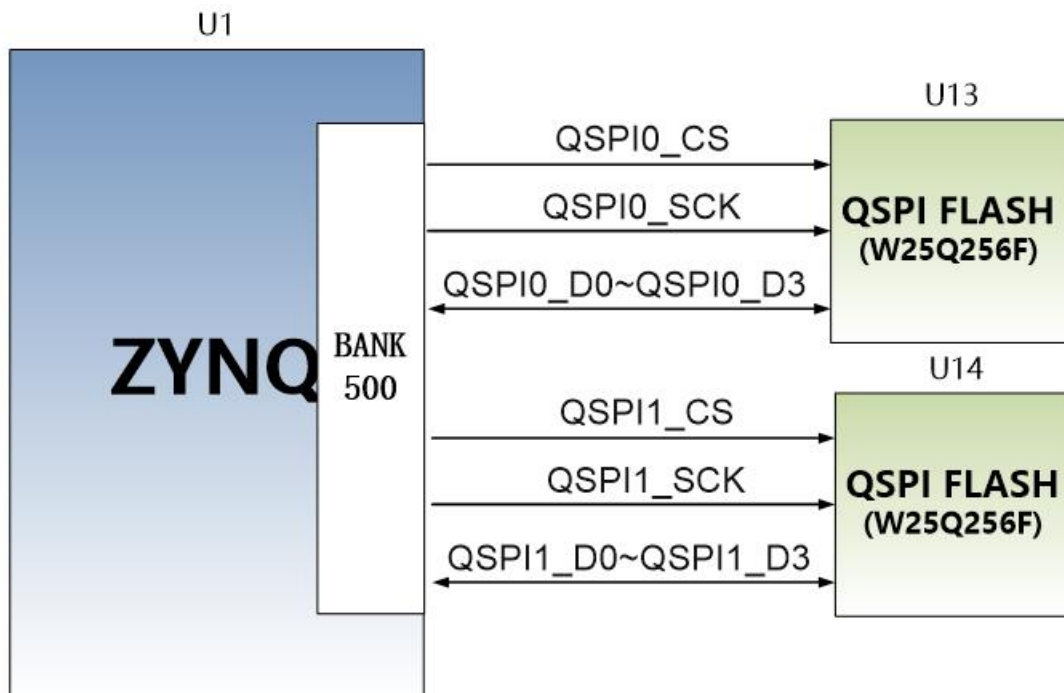


图 2-4-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
QSPIO_SCK	PS_MIO6_500	D24
QSPIO_CS	PS_MIO1_500	D23
QSPIO_D0	PS_MIO2_500	F23
QSPIO_D1	PS_MIO3_500	C23
QSPIO_D2	PS_MIO4_500	E23
QSPIO_D3	PS_MIO5_500	C24
QSPI1_SCK	PS_MIO9_500	A24
QSPI1_CS	PS_MIO0_500	F24
QSPI1_D0	PS_MIO10_500	E22
QSPI1_D1	PS_MIO11_500	A23
QSPI1_D2	PS_MIO12_500	E21
QSPI1_D3	PS_MIO13_500	F22

表 2-4-2 QSPI Flash 引脚分配

5. eMMC Flash

核心板配有一片大容量的 8GB 大小的 eMMC FLASH 芯片，型号为 THGBMFG6C1LBAIL。同时也兼容美光。它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V 或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 4bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-5-1。

位号	芯片类型	容量	厂家
U15	THGBMFG6C1LB AIL	8G Byte	TOSHIBA

表 2-5-1 eMMC Flash 的型号和参数

eMMC FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK501 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 SD 接口。为图 2-5-1 为 eMMC Flash 在原理图中的部分。

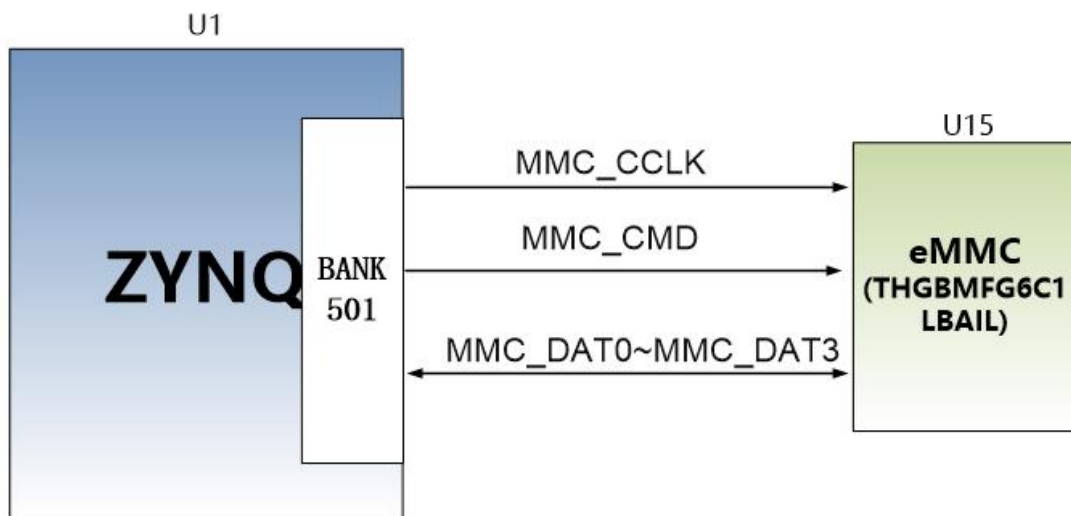


图 2-5-1 eMMC Flash 连接示意图

配置芯片引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
MMC_CCLK	PS_MIO48_501	C19
MMC_CMD	PS_MIO47_501	A18
MMC_D0	PS_MIO46_501	F20
MMC_D1	PS_MIO49_501	D18
MMC_D2	PS_MIO50_501	A19

MMC_D3	PS_MIO51_501	F19
--------	--------------	-----

表 2-5-2 eMMC Flash 引脚分配

6. 时钟配置

核心板上分别为 PS 系统, PL 逻辑部分和 GTX 收发器提供了参考时钟, 使 PS 系统和 PL 逻辑可以单独工作。时钟电路设计的示意图如下图 2-6-1 所示:

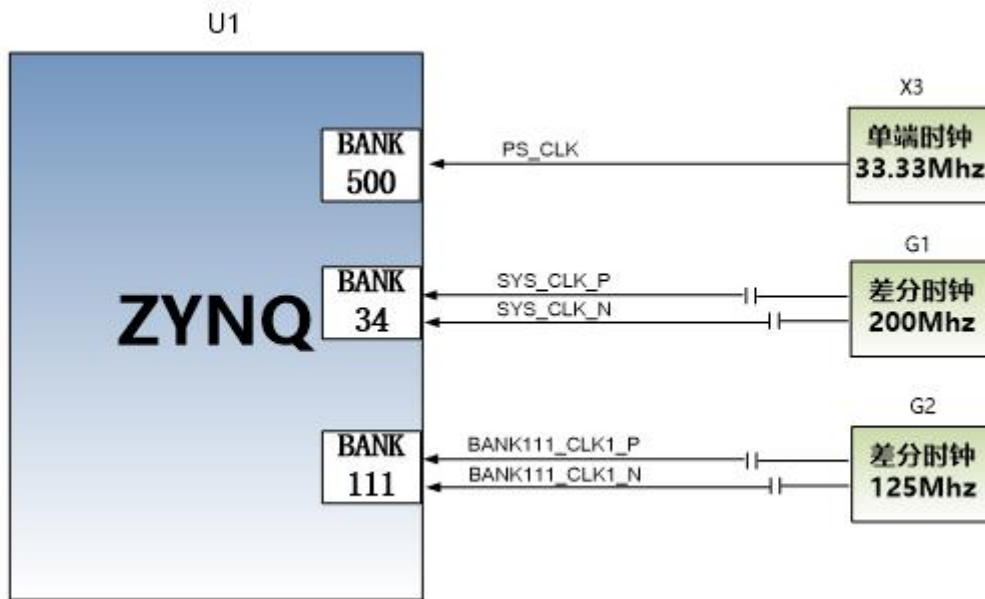


图 2-6-1 核心板时钟源

PS 系统时钟源

ZYNQ 芯片通过核心板上的 X4 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK500 的 PS_CLK_500 的管脚上。其原理图如图 2-6-2 所示:

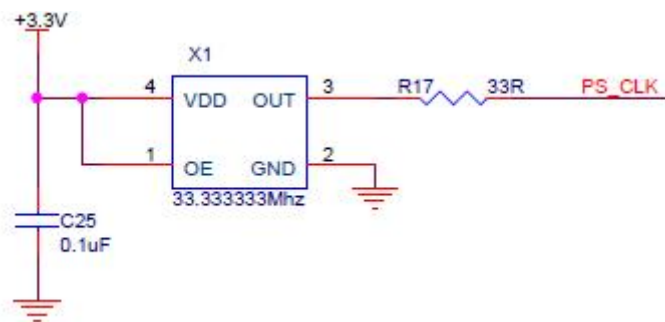


图 2-6-2 PS 部分的有源晶振

时钟引脚分配：

信号名称	ZYNQ 引脚
PS_CLK	A22

表 2-6-1 PS 时钟引脚分配

PL 系统时钟源

板上提供了一个差分 200MHz 的 PL 系统时钟源, 用于 DDR3 控制器的参考时钟。晶振输出连接到 FPGA BANK34 的全局时钟(MRCC), 这个全局时钟可以用来驱动 FPGA 内的 DDR3 控制器和用户逻辑电路。该时钟源的原理图如图 2-6-4 所示

SYSTEM CLOCK

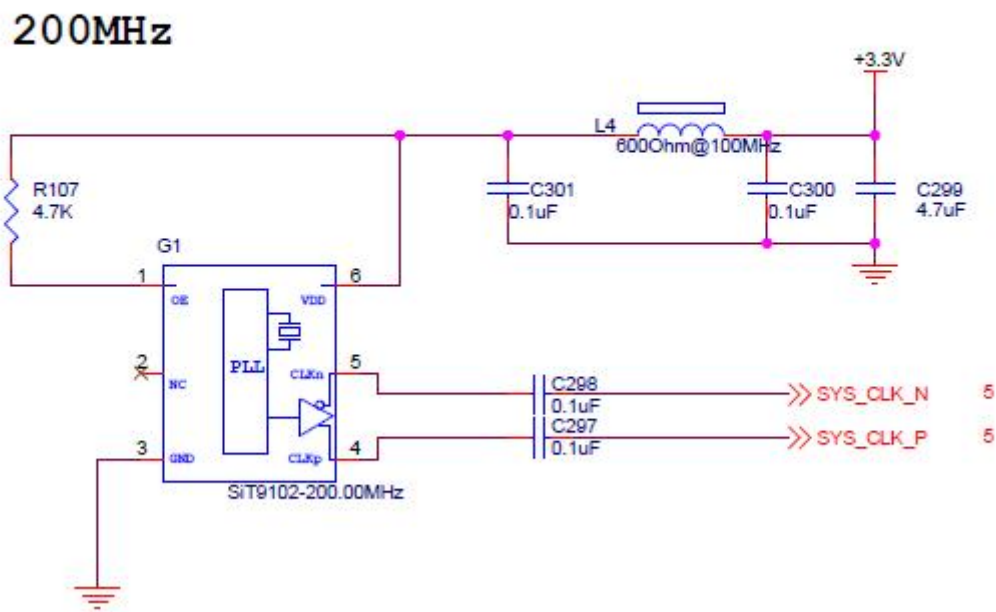


图 2-6-4 PL 系统时钟源

PL 时钟引脚分配：

信号名称	ZYNQ 引脚
SYS_CLK_P	F9
SYS_CLK_N	E8

表 2-6-2 PL 时钟引脚分配

GTX 参考时钟

核心板上为 GTX 收发器提供了 125MHz 的参考时钟。参考时钟连接到 BANK110 的参考时钟输入 REFCLK1P/REFCLK1N。该时钟源的原理图如图 2-6-6 所示

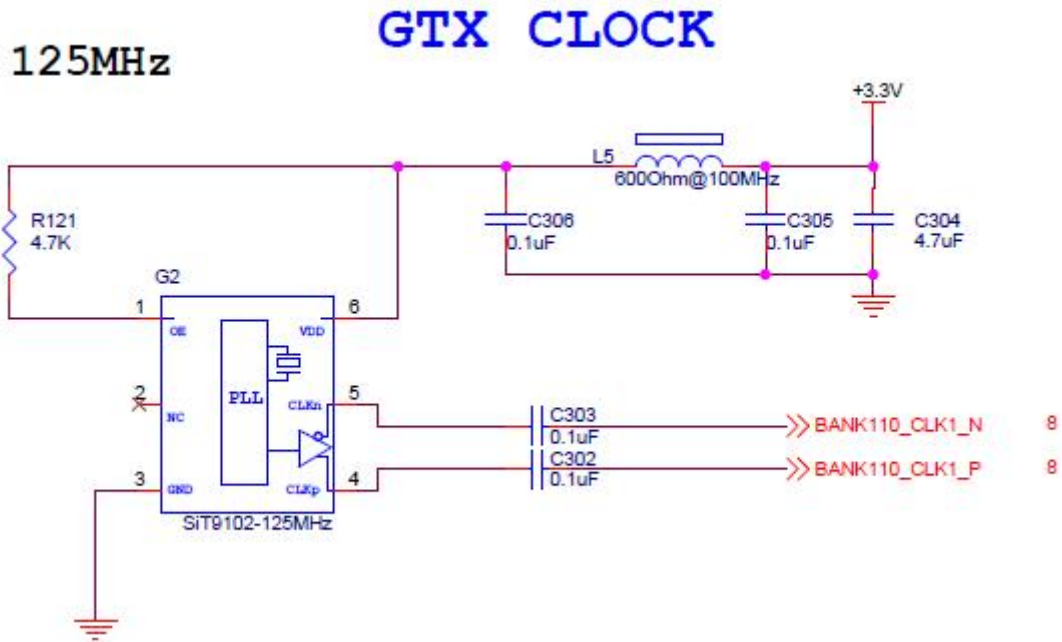


图 2-6-6 GTX 时钟源

图 6-7 为可 GTX 时钟源的实物图

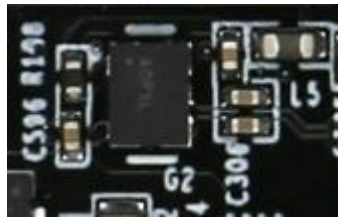


图 2-6-7 GTX 时钟源实物图

GTX 时钟源 ZYNQ 引脚分配:

信号名称	ZYNQ 引脚
BANK110_CLK1_P	AC8
BANK110_CLK1_N	AC7

表 2-6-3 GTX 时钟引脚分配

7. LED 灯

AC7Z100C 核心板上有 2 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯(DONE)。电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。LED 灯硬件连接的示意图如图 2-7-1 所示：

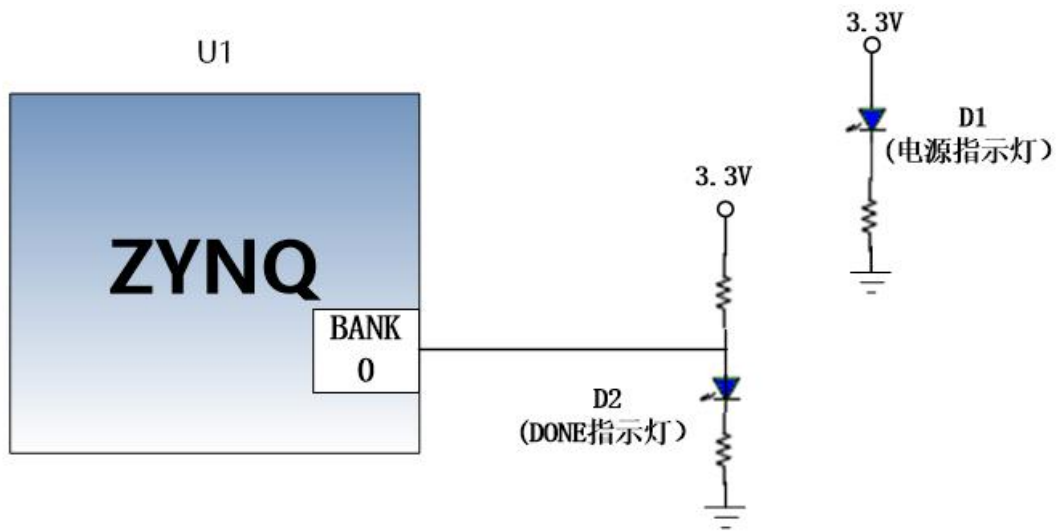


图 2-7-1 核心板 LED 灯硬件连接示意图

8. 复位电路

AC7Z045 核心板上有一个复位电路，复位输入信号连接到底板的复位按键，复位输出连接到 ZYNQ 芯片 PS 复位管脚上，用户可以使用这个底板按键来复位 ZYNQ 系统。复位连接的示意图如图 2-8-1 所示：

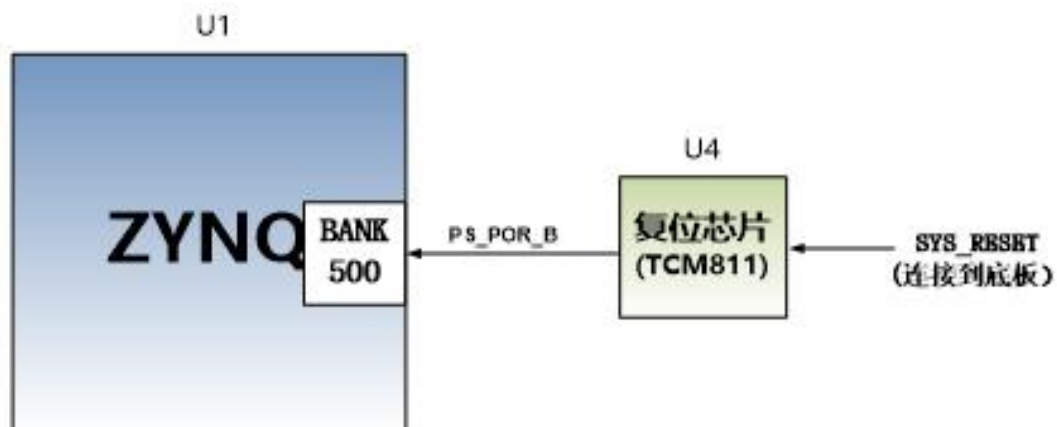


图 2-8-1 复位连接示意图

复位按键的 ZYNQ 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PS_POR_B	PS_POR_B_500	D21	ZYNQ 系统复位信号

表 2-8-1 复位按键引脚分配

9. 电源

AC7Z045 核心板供电电压为 DC5V，通过连接底板供电。板上的电源设计示意图如下图 2-9-1 所示：

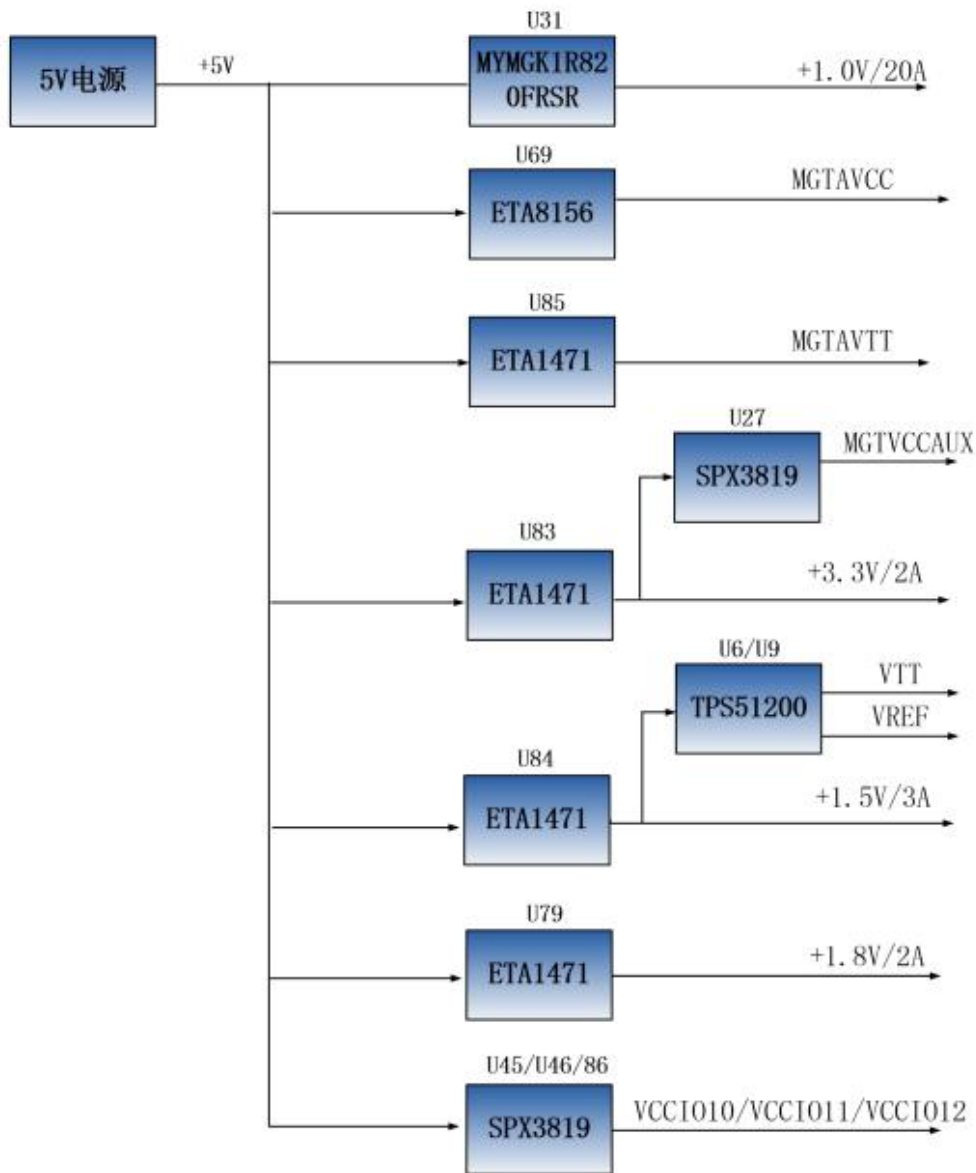


图 2-9-1 原理图中电源接口部分

+5V 通过 DCDC 电源芯片 MYMGK1R820FRSR 产生+1.0V 的 ZYNQ 核心电源，+1.0V 电源输出电流高达 20A，远远满足 ZYNQ 的核心电压的电流需求。+5V 电源再通过 DCDC 芯片 ETA1471 来产生 MGTAVTT, +1.5V, +3.3V, +1.5V 四路电源。通过 DCDC 芯片 ETA8156 产生 MGTAVTT 的电源, +3.3V 通过一个 LDO 芯片 SPX3819-1-8 产生 GTX 的辅助电源+1.8V。PS 部分和 PL 部分的 DDR3 的 VTT 和 VREF 电压由 TPS51200 来产生。另外通过 3 路 SPX3819M5-3-3 产生 BANK10, BANK11 和 BANK12 的 IO 电源，用户可以通过更换 LDO 芯片，使得这两个 BANK 的 IO 输入输出为其它的电压标准。

各个电源分配的功能如下表所示：

电源	功能
----	----

+1.0V	ZYNQ PS 和 PL 部分的内核电压
+1.8V	ZYNQ PS 和 PL 部分辅助电压, BANK501, BANK35, eMMC
+3.3V	ZYNQ Bank0,Bank500, QSIP FLASH, Clock 晶振
+1.5V	DDR3, ZYNQ Bank502, Bank33,Bank34
VCCIO10	ZYNQ Bank10
VCCIO11	ZYNQ Bank11
VCCIO12	ZYNQ Bank12
VREF, VTT (+0.75V)	PS DDR3, PL DDR3
MGTAVCC(+1.0V)	ZYNQ Bank111, Bank112
MGTAVTT(+1.2V)	ZYNQ Bank111, Bank112
MGTVCCAUX (+1.8V)	ZYNQ Bank111, Bank112

表 2-9-1 电源接口功能

因为 ZYNQ FPGA 的电源有上电顺序的要求, 在电路设计中, 我们已经按照 芯片的电源要求设计, 上电依次为+1.0V->+1.8V-> (+1.5 V、+3.3V、VCCIO) 的电路设计, 保证芯片的正常工作。

10. 结构图

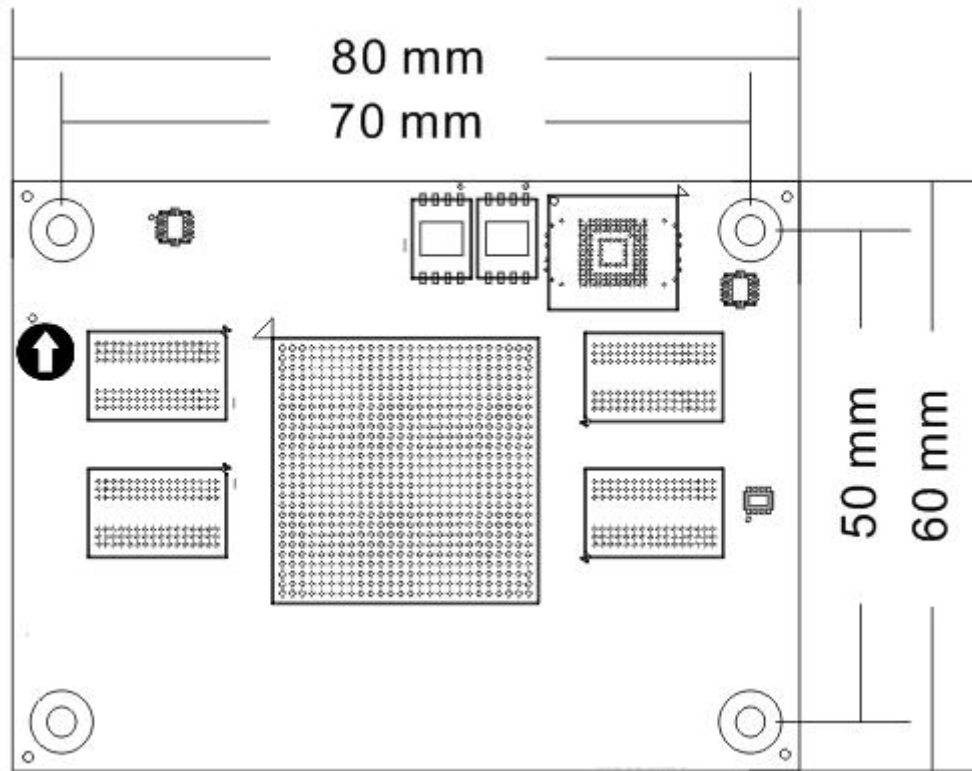


图 2-10-1 正面图 (Top View)

11. 连接器管脚定义

核心板一共扩展出 4 个高速扩展口，使用 4 个 120Pin 的板间连接器 (J29~J32) 和底板连接，连接器使用松下的 AXK5A2137YG，对应底板的连接器型号为 AXK6A2337YG。其中 J29 连接 BANK10,BANK11 的 IO，J30 连接 GTX 的收发器信号，J31 连接 JTAG 和 BANK35 的 IO (1.8V 电平标准)，J32 连接 PS 的 MIO，BANK11 和 BANK12 的 IO 和+5V 电源。

J29 连接器的引脚分配

J29 管脚	信号名称	ZYNQ 引脚号	J29 管脚	信号名称	ZYNQ 引脚号
1	B11_L4_N	AJ24	2	B11_L1_N	AK25
3	B11_L4_P	AJ23	4	B11_L1_P	AJ25
5	GND	-	6	GND	-
7	B11_L3_P	AJ21	8	B11_L8_N	AG25
9	B11_L3_N	AK21	10	B11_L8_P	AG24

11	GND	-	12	GND	-
13	B11_L2_N	AK23	14	B11_L12_N	AF22
15	B11_L2_P	AK22	16	B11_L12_P	AE22
17	GND	-	18	GND	-
19	B11_L5_N	AH24	20	B11_L16_N	AK18
21	B11_L5_P	AH23	22	B11_L16_P	AK17
23	GND	-	24	GND	-
25	B11_L15_P	AJ20	26	B11_L6_N	AH22
27	B11_L15_N	AK20	28	B11_L6_P	AG22
29	GND	-	30	GND	-
31	B11_L13_N	AH21	32	B11_L17_N	AJ19
33	B11_L13_P	AG21	34	B11_L17_P	AH19
35	GND	-	36	GND	-
37	B11_L14_N	AG20	38	B11_L18_N	AG19
39	B11_L14_P	AF20	40	B11_L18_P	AF19
41	GND	-	42	GND	-
43	B11_L19_P	AB21	44	B11_L20_N	Y21
45	B11_L19_N	AB22	46	B11_L20_P	W21
47	GND	-	48	GND	-
49	B10_L13_P	AG17	50	B10_L17_P	AE18
51	B10_L13_N	AG16	52	B10_L17_N	AE17

53	GND	-	54	GND	-
55	B10_L2_P	AH18	56	B10_L15_P	AF18
57	B10_L2_N	AJ18	58	B10_L15_N	AF17
59	GND	-	60	GND	-
61	B10_L4_P	AJ16	62	B10_L6_P	AH17
63	B10_L4_N	AK16	64	B10_L6_N	AH16
65	GND	-	66	GND	-
67	B10_L16_P	AE16	68	B10_L24_N	AB16
69	B10_L16_N	AE15	70	B10_L24_P	AB17
71	GND	-	72	GND	-
73	B10_L20_P	AA15	74	B10_L5_N	AK15
75	B10_L20_N	AA14	76	B10_L5_P	AJ15
77	GND	-	78	GND	-
79	B10_L18_P	AD16	80	B10_L23_P	AC17
81	B10_L18_N	AD15	82	B10_L23_N	AC16
83	GND	-	84	GND	-
85	B10_L14_N	AG15	86	B10_L12_P	AF14
87	B10_L14_P	AF15	88	B10_L12_N	AG14
89	GND	-	90	GND	-
91	B10_L1_P	AK13	92	B10_L22_P	AB15
93	B10_L1_N	AK12	94	B10_L22_N	AB14

95	GND	-	96	GND	-
97	B10_L8_P	AH14	98	B10_L3_P	AJ14
99	B10_L8_N	AH13	100	B10_L3_N	AJ13
101	GND	-	102	GND	-
103	B10_L10_N	AH12	104	B10_L11_N	AF13
105	B10_L10_P	AG12	106	B10_L11_P	AE13
107	GND	-	108	GND	-
109	B10_L7_N	AF12	110	B10_L9_P	AD14
111	B10_L7_P	AE12	112	B10_L9_N	AD13
113	GND	-	114	GND	-
115	B10_L19_P	AC14	116	B10_L21_N	AC12
117	B10_L19_N	AC13	118	B10_L21_P	AB12
119	GND	-	120	GND	-

表 2-11-1 J29 连接器的引脚分配

J30 连接器的引脚分配

J30 管脚	信号名称	ZYNQ 引脚号	J30 管脚	信号名称	ZYNQ 引脚号
1	BANK111_TX0_N	AB1	2	BANK111_RX0_N	AC3
3	BANK111_TX0_P	AB2	4	BANK111_RX0_P	AC4
5	GND	-	6	GND	-
7	BANK111_TX1_N	Y1	8	BANK111_RX1_N	AB5
9	BANK111_TX1_P	Y2	10	BANK111_RX1_P	AB6

11	GND	-	12	GND	-
13	BANK111_TX2_N	W3	14	BANK111_RX2_N	Y5
15	BANK111_TX2_P	W4	16	BANK111_RX2_P	Y6
17	GND	-	18	GND	-
19	BANK111_TX3_N	V1	20	BANK111_RX3_N	AA3
21	BANK111_TX3_P	V2	22	BANK111_RX3_P	AA4
23	GND	-	24	GND	-
25	BANK111_CLK0_N	U7	26	BANK111_CLK1_N	W7
27	BANK111_CLK0_P	U8	28	BANK111_CLK1_P	W8
29	GND	-	30	GND	-
31	BANK112_TX0_N	T1	32	BANK112_RX0_N	V5
33	BANK112_TX0_P	T2	34	BANK112_RX0_P	V6
35	GND	-	36	GND	-
37	BANK112_TX1_N	R3	38	BANK112_RX1_N	U3
39	BANK112_TX1_P	R4	40	BANK112_RX1_P	U4
41	GND	-	42	GND	-
43	BANK112_TX2_N	P1	44	BANK112_RX2_N	T5
45	BANK112_TX2_P	P2	46	BANK112_RX2_P	T6
47	GND	-	48	GND	-
49	BANK112_TX3_N	N3	50	BANK112_RX3_N	P5
51	BANK112_TX3_P	N4	52	BANK112_RX3_P	P6

53	GND	-	54	GND	-
55	BANK112_CLK0_N	N7	56	BANK112_CLK1_N	R7
57	BANK112_CLK0_P	N8	58	BANK112_CLK1_P	R8
59	GND	-	60	GND	-
61	BANK109_RX2_N	AG7	62	BANK110_RX0_N	AH5
63	BANK109_RX2_P	AG8	64	BANK110_RX0_P	AH6
65	GND	-	66	GND	-
67	BANK109_RX3_N	AE7	68	BANK110_TX0_N	AH1
69	BANK109_RX3_P	AE8	70	BANK110_TX0_P	AH2
71	GND	-	72	GND	-
73	BANK109_RX1_P	AJ8	74	BANK110_RX1_N	AG3
75	BANK109_RX1_N	AJ7	76	BANK110_RX1_P	AG4
77	GND	-	78	GND	-
79	BANK109_TX1_P	AK6	80	BANK110_TX1_N	AF1
81	BANK109_TX1_N	AK5	82	BANK110_TX1_P	AF2
83	GND	-	84	GND	-
85	BANK109_TX2_P	AJ4	86	BANK110_RX2_N	AF5
87	BANK109_TX2_N	AJ3	88	BANK110_RX2_P	AF6
89	GND	-	90	GND	-
91	BANK109_TX3_P	AK2	92	BANK110_TX2_N	AE3
93	BANK109_TX3_N	AK1	94	BANK110_TX2_P	AE4

95	GND	AA12	96	GND	-
97	BANK109_TX0_N	AK9	98	BANK110_RX3_N	AD5
99	BANK109_TX0_P	AK10	100	BANK110_RX3_P	AD6
101	GND	-	102	GND	-
103	BANK109_RX0_N	AH9	104	BANK110_TX3_N	AD1
105	BANK109_RX0_P	AH10	106	BANK110_TX3_P	AD2
107	GND	-	108	GND	-
109	BANK109_CLK0_N	AD9	110	BANK110_CLK0_N	AA7
111	BANK109_CLK0_P	AD10	112	BANK110_CLK0_P	AA8
113	GND	-	114	GND	-
115			116		
117			118		
119	GND	AA12	120	GND	AA12

表 2-11-2 J30 连接器的引脚分配

J31 连接器的引脚分配

J31 管脚	信号名称	ZYNQ 引脚号	J31 管脚	信号名称	ZYNQ 引脚号
1	FPGA_TCK	Y12	2	FPGA_TDI	P10
3	FPGA_TMS	V10	4	FPGA_TDO	Y10
5	GND	-	6	GND	-
7	B35_L2_P	J13	8	B35_L8_N	G14

9	B35_L2_N	H13	10	B35_L8_P	G15
11	GND	-	12	GND	-
13	B35_L9_P	G12	14	B35_L3_N	K13
15	B35_L9_N	F12	16	B35_L3_P	L13
17	GND	-	18	GND	-
19	B35_L22_N	B11	20	B35_L5_P	K15
21	B35_L22_P	C11	22	B35_L5_N	J15
23	GND	-	24	GND	-
25	B35_L20_N	B12	26	B35_L10_P	F13
27	B35_L20_P	C12	28	B35_L10_N	E12
29	GND	-	30	GND	AA12
31	B35_L19_N	C13	32	B35_L12_N	F14
33	B35_L19_P	C14	34	B35_L12_P	F15
35	GND	-	36	GND	-
37	B35_L24_N	A12	38	B35_L11_N	D13
39	B35_L24_P	A13	40	B35_L11_P	E13
41	GND	-	42	GND	-
43	B35_L4_N	H14	44	B35_L23_P	B14
45	B35_L4_P	J14	46	B35_L23_N	A14
47	GND	-	48	GND	-
49	B35_L1_N	L14	50	B35_L21_P	B15

51	B35_L1_P	L15	52	B35_L21_N	A15
53	GND	-	54	GND	-
55	B35_L16_N	C16	56	B35_L14_P	D15
57	B35_L16_P	D16	58	B35_L14_N	D14
59	GND	-	60	GND	-
61	B35_L18_N	A17	62	B35_L13_N	E15
63	B35_L18_P	B17	64	B35_L13_P	E16
65	GND	-	66	GND	-
67	B35_L15_N	E17	68	B35_L17_N	B16
69	B35_L15_P	F17	70	B35_L17_P	C17
71	GND	-	72	GND	-
73	B35_L7_N	G16	74	B12_L17_N	AG27
75	B35_L7_P	G17	76	B12_L17_P	AG26
77	GND	-	78	GND	-
79	B35_L6_N	H16	80	B12_L18_N	AF25
81	B35_L6_P	J16	82	B12_L18_P	AE25
83	GND	-	84	GND	-
85	B12_L6_N	AB26	86	B12_L10_N	AE26
87	B12_L6_P	AB25	88	B12_L10_P	AD25
89	GND	-	90	GND	-
91	B12_L11_N	AC27	92	B12_L13_N	AF28

93	B12_L11_P	AB27	94	B12_L13_P	AE28
95	GND	-	96	GND	-
97	B12_L12_N	AD28	98	B12_L16_N	AG30
99	B12_L12_P	AC28	100	B12_L16_P	AF30
101	GND	-	102	GND	-
103	B12_L9_N	AD29	104	B12_L22_N	AK28
105	B12_L9_P	AC29	106	B12_L22_P	AK27
107	GND	-	108	GND	-
109	B12_L14_N	AF27	110	B12_L20_N	AK30
111	B12_L14_P	AE27	112	B12_L20_P	AJ30
113	GND	-	114	GND	-
115	PS_POR_B		116	B12_L23_N	AH27
117	SYS_RESET	-	118	B12_L23_P	AH26
119	GND	-	120	GND	-

表 2-11-3 J31 连接器的引脚分配

J32 连接器的引脚分配

J32 管脚	信号名称	ZYNQ 引脚号	J32 管脚	信号名称	ZYNQ 引脚号
1	PS_MIO5	C24	2	PS_MIO17	K21
3	PS_MIO4	E23	4	PS_MIO18	K20
5	GND	-	6	GND	-
7	PS_MIO14	B22	8	PS_MIO19	J20

9	PS_MIO15	C22	10	PS_MIO20	M20
11	GND	-	12	GND	-
13	PS_MIO52	D19	14	PS_MIO16	L19
15	PS_MIO53	C18	16	PS_MIO21	J19
17	GND	-	18	GND	-
19	PS_MIO7	B24	20	PS_MIO26	M17
21			22	PS_MIO25	G19
23	GND	-	24	GND	-
25	PS_MIO40	B20	26	PS_MIO24	M19
27	PS_MIO41	J18	28	PS_MIO23	J21
29	GND	-	30	GND	-
31	PS_MIO42	D20	32	PS_MIO27	G20
33	PS_MIO43	E18	34	PS_MIO22	L20
35	GND	-	36	GND	-
37	PS_MIO44	E20	38	PS_MIO30	L18
39	PS_MIO45	H18	40	PS_MIO29	H22
41	GND	-	42	GND	-
43	B12_L2_N	AB30	44	PS_MIO36	H17
45	B12_L2_P	AB29	46	PS_MIO31	H21
47	GND	-	48	GND	-
49	B12_L4_N	AA29	50	PS_MIO32	K17

51	B12_L4_P	Y28	52	PS_MIO33	G22
53	GND	-	54	GND	-
55	B12_L19_P	AH28	56	PS_MIO34	K18
57	B12_L19_N	AH29	58	PS_MIO35	G21
59	GND	-	60	GND	-
61	B12_L3_P	Y26	62	PS_MIO28	L17
63	B12_L3_N	Y27	64	PS_MIO37	B21
65	GND	-	66	GND	-
67	B12_L5_P	AA27	68	PS_MIO38	A20
69	B12_L5_N	AA28	70	PS_MIO39	F18
71	GND	-	72	GND	-
73	B12_L8_N	AE30	74	B12_L21_P	AJ28
75	B12_L8_P	AD30	76	B12_L21_N	AJ29
77	GND	-	78	GND	-
79	B12_L15_N	AG29	80	B12_L7_N	AD26
81	B12_L15_P	AF29	82	B12_L7_P	AC26
83	GND	-	84	GND	-
85	B11_L23_N	AA23	86	B11_L11_P	AD23
87	B11_L23_P	AA22	88	B11_L11_N	AE23
89	GND	-	90	GND	-
91	B11_L21_N	Y23	92	B11_L9_P	AF23

93	B11_L21_P	Y22	94	B11_L9_N	AF24
95	GND	-	96	GND	-
97	B11_L22_N	AB24	98	B11_L10_N	AE21
99	B11_L22_P	AA24	100	B11_L10_P	AD21
101	GND	-	102	GND	-
103	B11_L7_P	AC24	104	B11_L24_P	AC22
105	B11_L7_N	AD24	106	B11_L24_N	AC23
107	+5V	-	108	+5V	-
109	+5V	-	110	+5V	-
111	+5V	-	112	+5V	-
113	+5V	-	114	+5V	-
115	+5V	-	116	+5V	-
117	+5V	-	118	+5V	-
119	+5V	-	120	+5V	-

表 2-11-4 J32 连接器的引脚分配

三、扩展板

1. 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 1 路 PCIe x8 接口
- 4 路光纤接口

- 2 路 10/100M/1000M 以太网 RJ-45 接口
- 1 路 HDMI 视频输出接口
- 1 路 HDMI 视频输入接口
- 4 路 USB HOST 接口
- 1 路 USB Uart 通信接口
- 1 路 SD 卡接口
- 1 路 40 针扩展口
- JTAG 调试接口
- 4 个独立按键
- 4 个用户 LED 灯

2. USB 转串口

AX7Z045 扩展板上配备了一个 Uart 转 USB 接口，用于系统调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。

USB Uart 电路设计的示意图如下图所示：

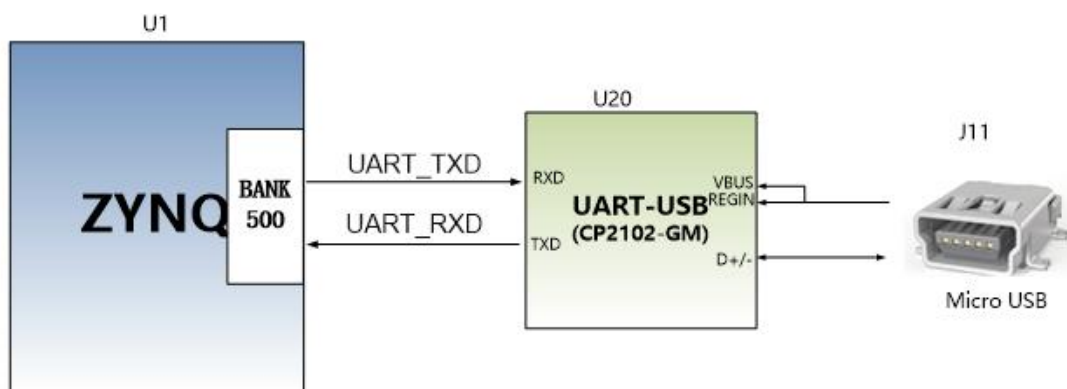
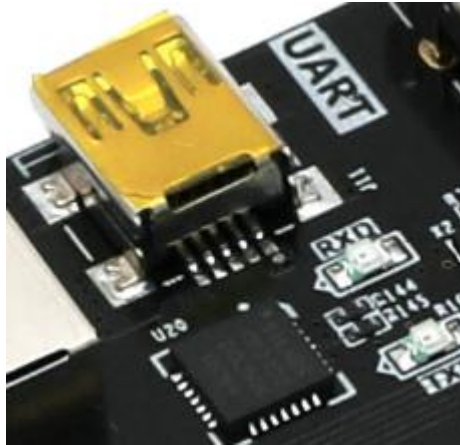


图 3-2-1 USB 转串口示意图

下图为 USB 转串口的实物图



3-2-2 USB 转串口实物图

USB 转串口的 ZYNQ 引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
UART_RXD	PS_MIO14_500	B22	Uart 数据输入
UART_TXD	PS_MIO15_500	C22	Uart 数据输出

表 3-2-1 USB 转串口引脚分配

3. 千兆以太网接口

AX7Z045 扩展板上有 2 路千兆以太网接口，其中 1 路以太网接口是连接的 PS 系统端，另外 1 路以太网接口是连接到 PL 的逻辑 IO 口上。连接到 PL 端的千兆以太网接口需要通过程序调用 IP 挂载到 ZYNQ 的 AXI 总线系统上。

以太网芯片采用景略半导体的工业级以太网 GPHY 芯片（JL2121-N040I）为用户提供网络通信服务。PS 端的以太网 PHY 芯片是连接到 ZYNQ 的 PS 端 BANK501 的 GPIO 接口上。PL 端的以太网 PHY 芯片是连接到 BANK35 的 IO 上。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 Zynq7000 系统的 MAC 层进行数据通信。JL2121D 支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL2121 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 3-3-1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
----------	----	-----

RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

表 3-3-1 PHY 芯片默认配置值

当网络连接到千兆以太网时，ZYNQ 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，ZYNQ 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 3-3-1 为 ZYNQ PS 端 1 路以太网 PHY 芯片连接示意图：

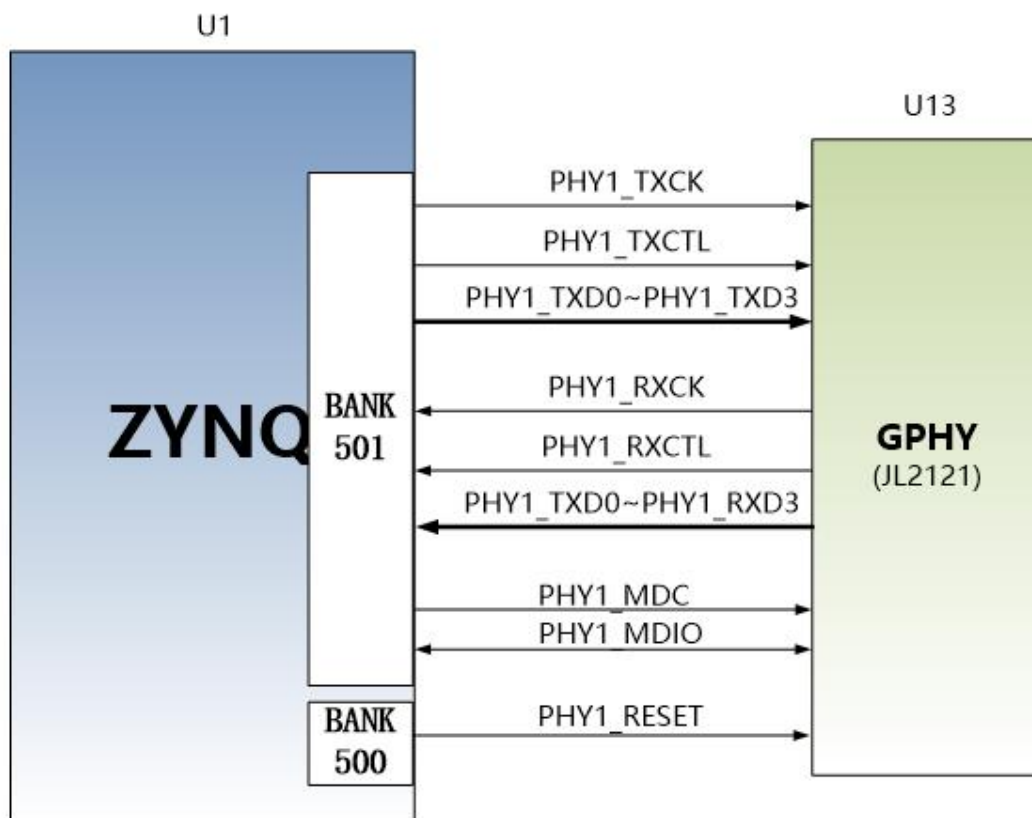


图 3-3-1 ZYNQ PS 系统与 GPHY 连接示意图

图 3-3-2 为 ZYNQ PL 端 1 路以太网 PHY 芯片连接示意图：

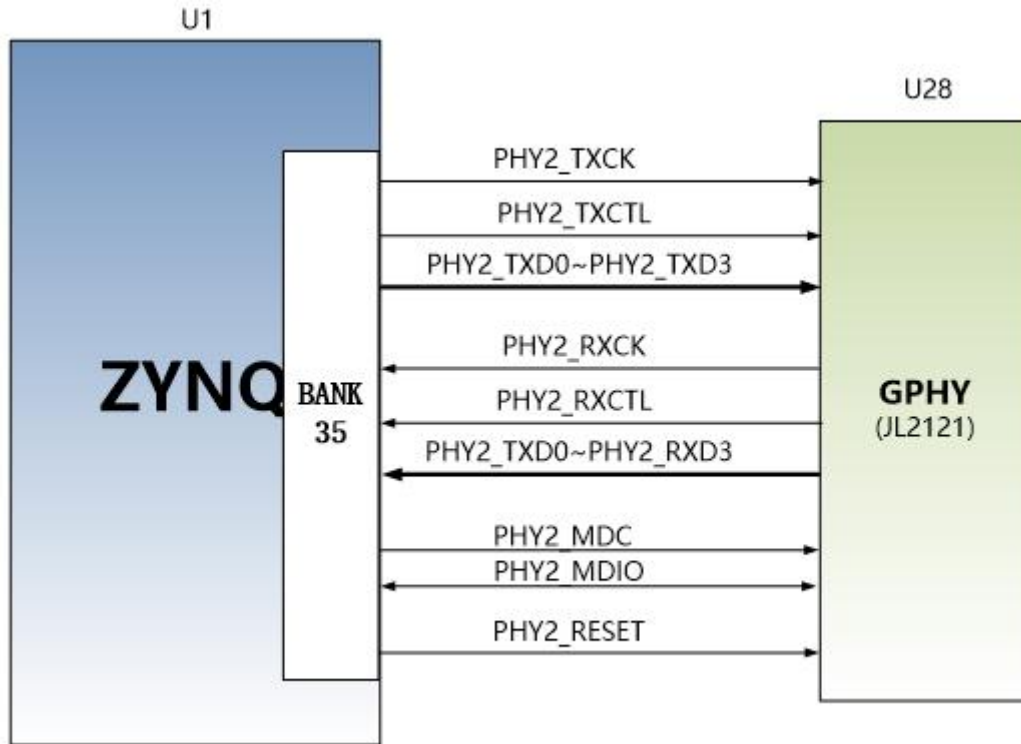


图 3-3-2 ZYNQ PL 端与 GPHY 连接示意图

PS 端千兆以太网引脚分配如下：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PHY1_TXCK	PS_MIO16_501	L19	RGMII 发送时钟
PHY1_TXD0	PS_MIO17_501	K21	发送数据 bit 0
PHY1_TXD1	PS_MIO18_501	K20	发送数据 bit1
PHY1_TXD2	PS_MIO19_501	J20	发送数据 bit2
PHY1_TXD3	PS_MIO20_501	M20	发送数据 bit3
PHY1_TXCTL	PS_MIO21_501	J19	发送使能信号
PHY1_RXCK	PS_MIO22_501	L20	RGMII 接收时钟
PHY1_RXD0	PS_MIO23_501	J21	接收数据 Bit0

PHY1_RXD1	PS_MIO24_501	M19	接收数据 Bit1
PHY1_RXD2	PS_MIO25_501	G19	接收数据 Bit2
PHY1_RXD3	PS_MIO26_501	M17	接收数据 Bit3
PHY1_RXCTL	PS_MIO27_501	G20	接收数据有效信号
PHY1_MDC	PS_MIO52_501	D19	MDIO 管理时钟
PHY1_MDIO	PS_MIO53_501	C18	MDIO 管理数据
PHY1_RESET	PS_MIO7_500	B24	复位信号

表 3-2-2 PS 以太网引脚分配

PL 端千兆以太网引脚分配如下：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PHY2_TXCK	B35_L5_P	K15	RGMIID 发送时钟
PHY2_TXD0	B35_L8_N	G14	发送数据 bit 0
PHY2_TXD1	B35_L8_P	G15	发送数据 bit1
PHY2_TXD2	B35_L3_N	K13	发送数据 bit2
PHY2_TXD3	B35_L3_P	L13	发送数据 bit3
PHY2_TXCTL	B35_L5_N	J15	发送使能信号
PHY2_RXCK	B35_L11_P	E13	RGMIID 接收时钟
PHY2_RXD0	B35_L12_P	F15	接收数据 Bit0
PHY2_RXD1	B35_L12_N	F14	接收数据 Bit1
PHY2_RXD2	B35_L10_N	E12	接收数据 Bit2

PHY2_RXD3	B35_L10_P	F13	接收数据 Bit3
PHY2_RXCTL	B35_L11_N	D13	接收数据有效信号
PHY2_MDC	B35_L23_P	B14	MDIO 管理时钟
PHY2_MDIO	B35_L23_N	A14	MDIO 管理数据
PHY2_RESET	B35_L21_P	B15	复位信号

表 3-2-3 PL 以太网引脚分配

4. USB2.0 Host 接口

AX7Z045 扩展板上有 4 个 USB2.0 HOST 接口，USB2.0 收发器采用的是一个 1.8V 的，高速的支持 ULPI 标准接口的 USB3320C-EZK 芯片，再通过一个 USB HUB 芯片 USB2514 扩展出 4 路 USB HOST 接口。ZYNQ 的 USB 总线接口和 USB3320C-EZK 收发器相连接，实现高速的 USB2.0 Host 模式的数据通信。USB3320C 的 USB 的数据和控制信号连接到 ZYNQ 芯片 PS 端的 BANK501 的 IO 口上，USB 接口差分信号(DP/DM)连接到 USB2514 芯片扩展出 4 个 USB 接口。2 个 24MHz 的晶振为分别为 USB3320C 和 USB2514 芯片提供时钟。

4 个 USB 接口为扁型 USB 接口(USB Type A)，方便用户同时连接不同的 USB Slave 外设(比如 USB 鼠标和 USB 键盘)，每个 USB 接口提供了+5V 的电源。

ZYNQ 处理器和 USB3320C-EZK 芯片及 USB2514 芯片连接的示意图如 3-4-1 所示：

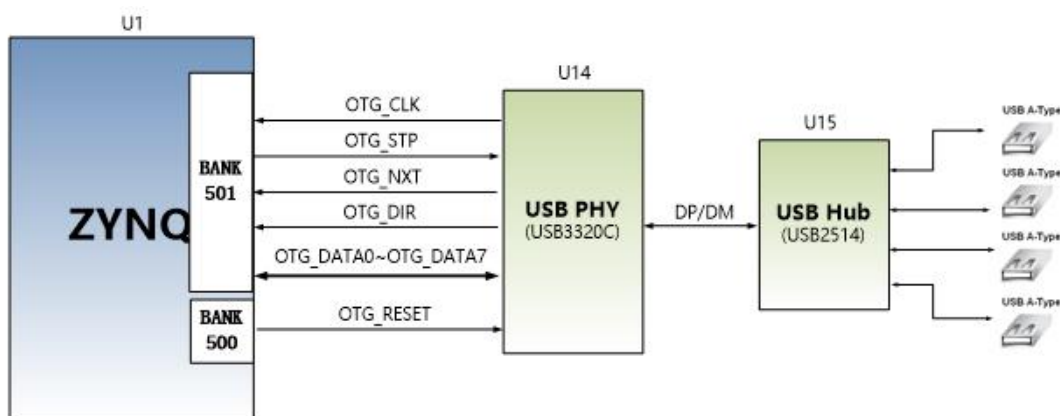


图 3-4-1 Zynq7000 和 USB 芯片间连接示意图

USB2.0 引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
OTG_DATA4	PS_MIO28_501	L17	USB 数据 Bit4
OTG_DIR	PS_MIO29_501	H22	USB 数据方向信号
OTG_STP	PS_MIO30_501	L18	USB 停止信号
OTG_NXT	PS_MIO31_501	H21	USB 下一数据信号
OTG_DATA0	PS_MIO32_501	K17	USB 数据 Bit0
OTG_DATA1	PS_MIO33_501	G22	USB 数据 Bit1
OTG_DATA2	PS_MIO34_501	K18	USB 数据 Bit2
OTG_DATA3	PS_MIO35_501	G21	USB 数据 Bit3
OTG_CLK	PS_MIO36_501	H17	USB 时钟信号
OTG_DATA5	PS_MIO37_501	B21	USB 数据 Bit5
OTG_DATA6	PS_MIO38_501	A20	USB 数据 Bit6
OTG_DATA7	PS_MIO39_501	F18	USB 数据 Bit7
OTG_RESETN	PS_MIO7_500	B24	USB 复位信号

表 3-4-1 USB2.0 引脚分配

5. HDMI 输出接口

HDMI 输出接口的实现，是选用 ANALOG DEVICE 公司的 ADV7511 HDMI (DVI) 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

其中，ADV7511 的视频数字接口，音频数字接口和 I2C 配置接口和 ZYNQ7000 PL 部分的 BANK35 IO 相连，ZYNQ7000 系统通过 I2C 管脚来对 ADV7511 进行初始化和控制操作。ADV7511 芯片和 ZYNQ7000 的硬件连接示意图如下图 3-5-1 所示：

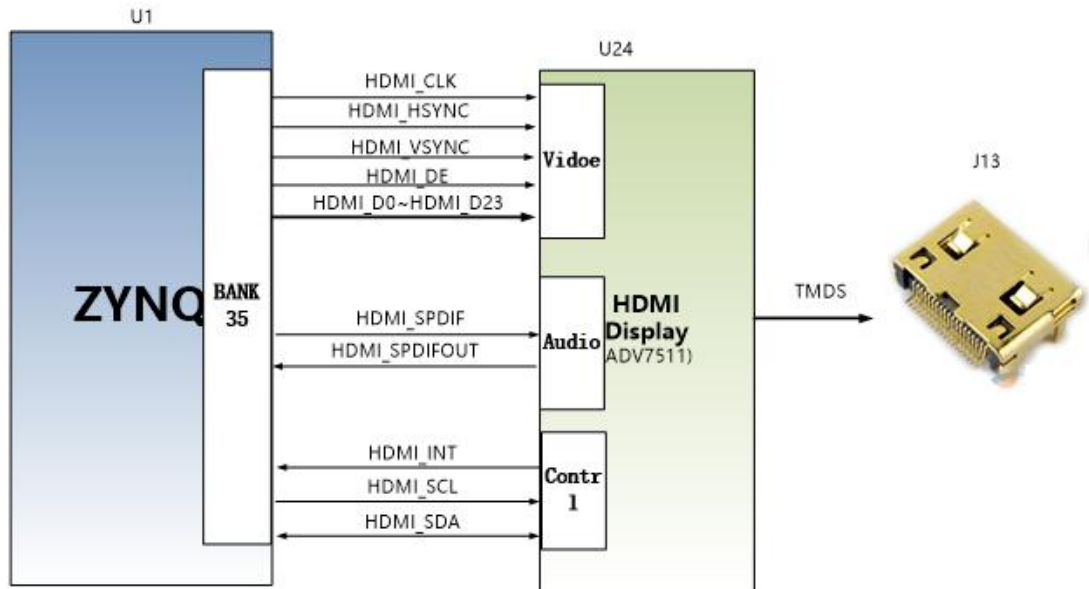


图 3-5-1 HDMI 输出接口设计原理图

ZYNQ 的引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
HDMI_CLK	B35_L4_N	H14	HDMI 视频信号时钟
HDMI_HSYNC	B35_L2_P	J13	HDMI 视频信号行同步
HDMI_VSYNC	B35_L2_N	H13	HDMI 视频信号列同步
HDMI_DE	B35_L9_P	G12	HDMI 视频信号有效
HDMI_D0	B35_L9_N	F12	HDMI 视频信号数据 0
HDMI_D1	B35_L22_N	B11	HDMI 视频信号数据 1
HDMI_D2	B35_L22_P	C11	HDMI 视频信号数据 2
HDMI_D3	B35_L20_N	B12	HDMI 视频信号数据 3
HDMI_D4	B35_L20_P	C12	HDMI 视频信号数据 4

HDMI_D5	B35_L19_N	C13	HDMI 视频信号数据 5
HDMI_D6	B35_L19_P	C14	HDMI 视频信号数据 6
HDMI_D7	B35_L24_N	A12	HDMI 视频信号数据 7
HDMI_D8	B35_L24_P	A13	HDMI 视频信号数据 8
HDMI_D9	B35_L4_P	J14	HDMI 视频信号数据 9
HDMI_D10	B35_L1_N	L14	HDMI 视频信号数据 10
HDMI_D11	B35_L1_P	L15	HDMI 视频信号数据 11
HDMI_D12	B35_L16_N	C16	HDMI 视频信号数据 12
HDMI_D13	B35_L16_P	D16	HDMI 视频信号数据 13
HDMI_D14	B35_L18_N	A17	HDMI 视频信号数据 14
HDMI_D15	B35_L18_P	B17	HDMI 视频信号数据 15
HDMI_D16	B35_L15_N	E17	HDMI 视频信号数据 16
HDMI_D17	B35_L15_P	F17	HDMI 视频信号数据 17
HDMI_D18	B35_L7_N	G16	HDMI 视频信号数据 18
HDMI_D19	B35_L7_P	G17	HDMI 视频信号数据 19
HDMI_D20	B35_L6_N	H16	HDMI 视频信号数据 20
HDMI_D21	B35_L6_P	J16	HDMI 视频信号数据 21
HDMI_D22	B35_L17_P	C17	HDMI 视频信号数据 22
HDMI_D23	B35_L17_N	B16	HDMI 视频信号数据 23

HDMI_INT	B35_L21_N	A15	HDMI 中断信号
HDMI_SCL	B35_L13_N	E15	HDMI IIC 控制时钟
HDMI_SDA	B35_L13_P	E16	HDMI IIC 控制数据

表 3-5-1 HDMI 输出接口引脚分配

6. HDMI 输入接口

HDMI 输入接口我们采用了 Sillion Image 公司的 SIL9011/ SIL9013HDMI 解码芯片，最高支持 1080P@60Hz 输入，支持不同格式的数据输出。；

其中，SIL9011/ SIL9013 的 IIC 配置接口也与 FPGA 的 BANK13 的 IO 相连，ZYNQ 通过 I2C 总线的编程来对 SIL9013 进行初始化和控制操作，HDMI 输入接口的硬件连接如图 3-6-1 所示。

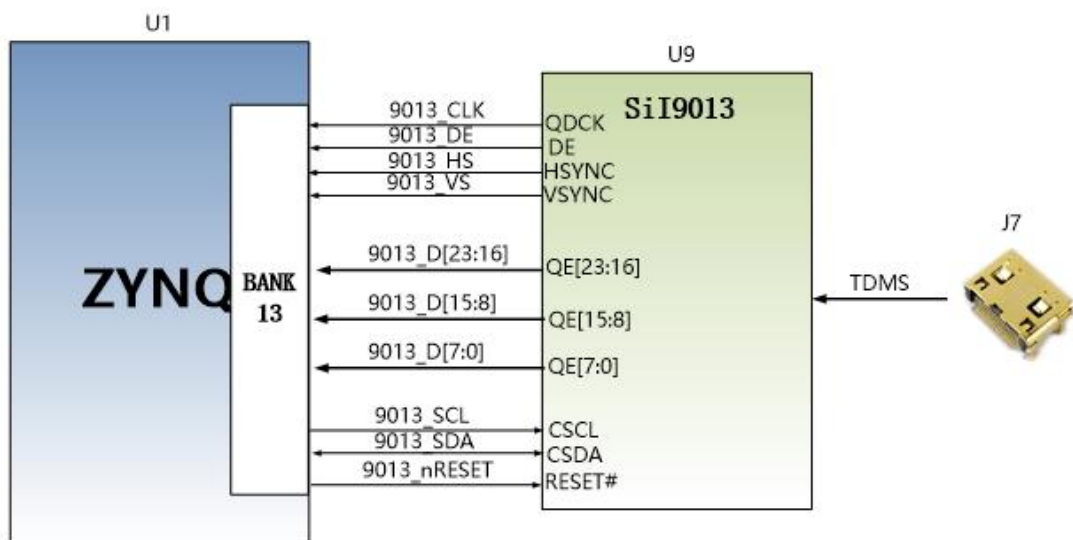


图 3-6-1 HDMI 输入原理图

ZYNQ 的引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
9013_nRESET	B11_L19_P	AB21	9013 复位信号
9013_CLK	B11_L11_P	AD23	9013 视频信号时钟

9013_HS	B11_L10_N	AE21	9013 视频信号行同步
9013_VS	B11_L10_P	AD21	9013 视频信号列同步
9013_DE	B11_L9_N	AF24	9013 视频信号有效
9013_D[0]	B11_L9_P	AF23	9013 视频信号数据 0
9013_D[1]	B11_L11_N	AE23	9013 视频信号数据 1
9013_D[2]	B11_L7_N	AD24	9013 视频信号数据 2
9013_D[3]	B11_L7_P	AC24	9013 视频信号数据 3
9013_D[4]	B11_L22_P	AA24	9013 视频信号数据 4
9013_D[5]	B11_L22_N	AB24	9013 视频信号数据 5
9013_D[6]	B11_L21_P	Y22	9013 视频信号数据 6
9013_D[7]	B11_L21_N	Y23	9013 视频信号数据 7
9013_D[8]	B11_L23_P	AA22	9013 视频信号数据 8
9013_D[9]	B11_L23_N	AA23	9013 视频信号数据 9
9013_D[10]	B11_L4_N	AJ24	9013 视频信号数据 10
9013_D[11]	B11_L4_P	AJ23	9013 视频信号数据 11
9013_D[12]	B11_L3_P	AJ21	9013 视频信号数据 12
9013_D[13]	B11_L3_N	AK21	9013 视频信号数据 13
9013_D[14]	B11_L2_N	AK23	9013 视频信号数据 14
9013_D[15]	B11_L2_P	AK22	9013 视频信号数据 15

9013_D[16]	B11_L5_N	AH24	9013 视频信号数据 16
9013_D[17]	B11_L5_P	AH23	9013 视频信号数据 17
9013_D[18]	B11_L15_P	AJ20	9013 视频信号数据 18
9013_D[19]	B11_L15_N	AK20	9013 视频信号数据 19
9013_D[20]	B11_L13_N	AH21	9013 视频信号数据 20
9013_D[21]	B11_L13_P	AG21	9013 视频信号数据 21
9013_D[22]	B11_L14_N	AG20	9013 视频信号数据 22
9013_D[23]	B11_L14_P	AF20	9013 视频信号数据 23
9013_SCL	B11_L24_N	AC23	9013 IIC 控制时钟
9013_SDA	B11_L24_P	AC22	9013 IIC 控制数据

表 3-6-1 HDMI 输入引脚分配

7. 光纤接口

AX7Z045 扩展板上有 4 路光纤接口，用户可以购买 SFP 光模块(市场上 1.25G, 2.5G, 10G 光模块)插入到这 4 个光纤接口中进行光纤数据通信。4 路光纤接口分别跟 ZYNQ 的 BANK110 的 GTX 收发器的 2 路 RX/TX 相连接，TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 ZYNQ 和光模块，每路 TX 发送和 RX 接收数据速率高达 10Gb/s。BANK110 的 GTX 收发器的参考时钟由核心板的 125M 差分时钟提供。

FPGA 和光纤设计示意图如下图 3-7-1 所示:

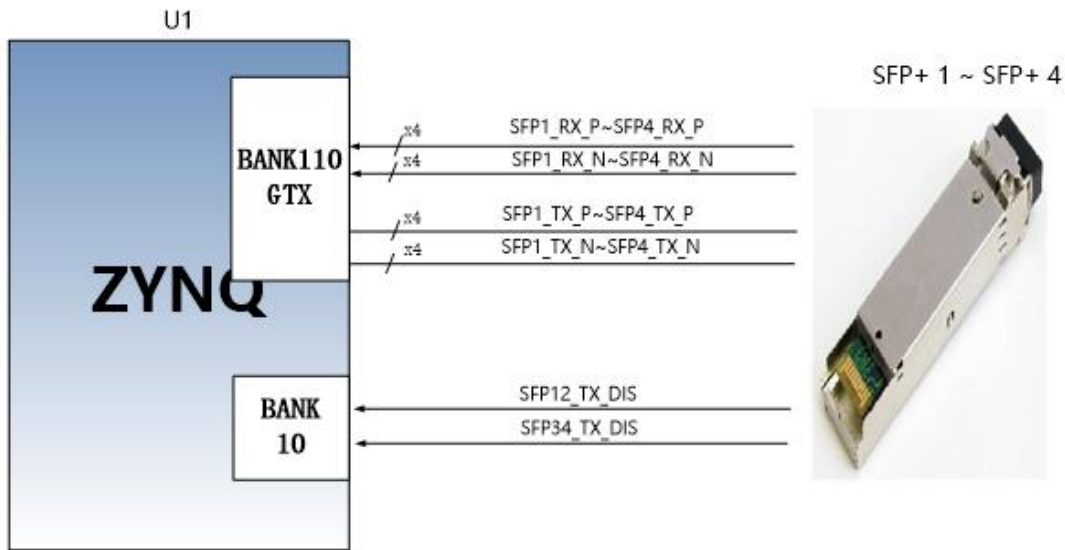


图 3-7-1 光纤设计示意图

4 路光纤接口 ZYNQ 引脚分配如下：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
SFP1_TX_P	BANK110_TX3_P	AD2	光模块 1 数据发送正
SFP1_TX_N	BANK110_TX3_N	AD1	光模块 1 数据发送负
SFP1_RX_P	BANK110_RX3_P	AD6	光模块 1 数据接收正
SFP1_RX_N	BANK110_RX3_N	AD5	光模块 1 数据接收负
SFP2_TX_P	BANK110_TX2_P	AE4	光模块 2 数据发送正
SFP2_TX_N	BANK110_TX2_N	AE3	光模块 2 数据发送负
SFP2_RX_P	BANK110_RX2_P	AF6	光模块 2 数据接收正
SFP2_RX_N	BANK110_RX2_N	AF5	光模块 2 数据接收负
SFP3_TX_P	BANK110_TX1_P	AF2	光模块 3 数据发送正
SFP3_TX_N	BANK110_TX1_N	AF1	光模块 3 数据发送负

SFP3_RX_P	BANK110_RX1_P	AG4	光模块 3 数据接收正
SFP3_RX_N	BANK110_RX1_N	AG3	光模块 3 数据接收负
SFP4_TX_P	BANK110_TX0_P	AH2	光模块 4 数据发送正
SFP4_TX_N	BANK110_TX0_N	AH1	光模块 4 数据发送负
SFP4_RX_P	BANK110_RX0_P	AH6	光模块 4 数据接收正
SFP4_RX_N	BANK110_RX0_N	AH5	光模块 4 数据接收负
SFP12_TX_DIS	B10_L17_P	AE18	光模块 12 光发射禁止, 高有效
SFP34_TX_DIS	B10_L17_N	AE17	光模块 34 光发射禁止, 高有效

表 3-7-1 光纤引脚分配

8. PCIe 插槽

AX7Z045 扩展板上有一个 PCIe x8 的接口, 8 对收发器连接到 PCIe x8 的金手指上, 能实现 PCIe x8, PCIe x4, PCIe x2, PCIe x1 的数据通信。

PCIe 接口的收发信号直接跟 ZYNQ BANK111, BANK112 的 GTX 收发器相连接, 8 路 TX 信号和 RX 信号都是以差分信号方式连接到 ZYNQ 的收发器上, 单通道通信速率可高达 5G bit 带宽。

开发板的 PCIe 接口的设计示意图如下图 3-8-1 所示, 其中 TX 发送信号用 AC 耦合模式连接。

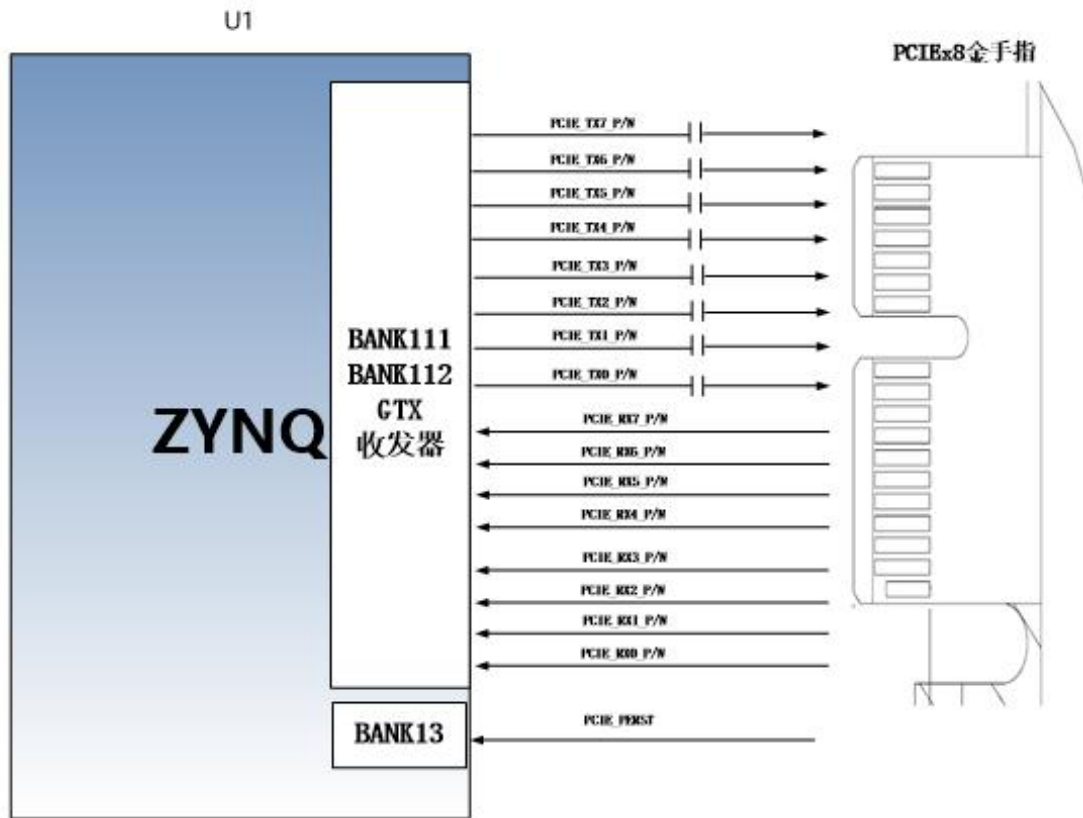


图 3-8-1 PCIe 插槽设计示意图

PCIE x8 接口 ZYNQ 引脚分配如下：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PCIE_RX0_P	BANK112_RX3_P	P6	PCIE 通道 0 数据接收正
PCIE_RX0_N	BANK112_RX3_N	P5	PCIE 通道 0 数据接收负
PCIE_RX1_P	BANK112_RX2_P	T6	PCIE 通道 1 数据接收正
PCIE_RX1_N	BANK112_RX2_N	T5	PCIE 通道 1 数据接收负
PCIE_RX2_P	BANK112_RX1_P	U4	PCIE 通道 2 数据接收正
PCIE_RX2_N	BANK112_RX1_N	U3	PCIE 通道 2 数据接收负
PCIE_RX3_P	BANK112_RX0_P	V6	PCIE 通道 3 数据接收正

PCIE_RX3_N	BANK112_RX0_N	V5	PCIE 通道 3 数据接收负
PCIE_RX4_P	BANK111_RX3_P	AA4	PCIE 通道 4 数据接收正
PCIE_RX4_N	BANK111_RX3_N	AA3	PCIE 通道 4 数据接收负
PCIE_RX5_P	BANK111_RX2_P	Y6	PCIE 通道 5 数据接收正
PCIE_RX5_N	BANK111_RX2_N	Y5	PCIE 通道 5 数据接收负
PCIE_RX6_P	BANK111_RX1_P	AB6	PCIE 通道 6 数据接收正
PCIE_RX6_N	BANK111_RX1_N	AB5	PCIE 通道 6 数据接收负
PCIE_RX7_P	BANK111_RX0_P	AC4	PCIE 通道 7 数据接收正
PCIE_RX7_N	BANK111_RX0_N	AC3	PCIE 通道 7 数据接收负
PCIE_TX0_P	BANK112_TX3_P	N4	PCIE 通道 0 数据发送正
PCIE_TX0_N	BANK112_TX3_N	N3	PCIE 通道 0 数据发送负
PCIE_TX1_P	BANK112_TX2_P	P2	PCIE 通道 1 数据发送正
PCIE_TX1_N	BANK112_TX2_N	P1	PCIE 通道 1 数据发送负
PCIE_TX2_P	BANK112_TX1_P	R4	PCIE 通道 2 数据发送正
PCIE_TX2_N	BANK112_TX1_N	R3	PCIE 通道 2 数据发送负
PCIE_TX3_P	BANK112_TX0_P	T2	PCIE 通道 3 数据发送正
PCIE_TX3_N	BANK112_TX0_N	T1	PCIE 通道 3 数据发送负
PCIE_TX4_P	BANK111_TX3_P	V2	PCIE 通道 4 数据发送正
PCIE_TX4_N	BANK111_TX3_N	V1	PCIE 通道 4 数据发送负

PCIE_TX5_P	BANK111_TX2_P	W4	PCIE 通道 5 数据发送正
PCIE_TX5_N	BANK111_TX2_N	W3	PCIE 通道 5 数据发送负
PCIE_TX6_P	BANK111_TX1_P	Y2	PCIE 通道 6 数据发送正
PCIE_TX6_N	BANK111_TX1_N	Y1	PCIE 通道 6 数据发送负
PCIE_TX7_P	BANK111_TX0_P	AB2	PCIE 通道 7 数据发送正
PCIE_TX7_N	BANK111_TX0_N	AB1	PCIE 通道 7 数据发送负
PCIE_CLK_P	BANK112_CLK0_P	N8	PCIE 通道参考时钟正
PCIE_CLK_N	BANK112_CLK0_N	N7	PCIE 通道参考时钟负
PCIE_PERST	B11_L19_N	AB22	PCIE 板卡的复位信号

表 3-8-1 PCIe 引脚分配

9. SD 卡槽

AX7Z045 底板包含了一个 Micro 型的 SD 卡接口，以提供用户访问 SD 卡存储器，用于存储 ZYNQ 芯片的 BOOT 程序，Linux 操作系统内核，文件系统以及其它的用户数据文件。

SDIO 信号与 ZYNQ 的 PS BANK501 的 IO 信号相连，因为该 BANK 的 VCCIO 设置为 1.8V，但 SD 卡的数据电平为 3.3V，我们这里通过 TXS02612 电平转换器来连接。Zynq7000 PS 和 SD 卡连接器的原理图如图 3-9-1 所示。

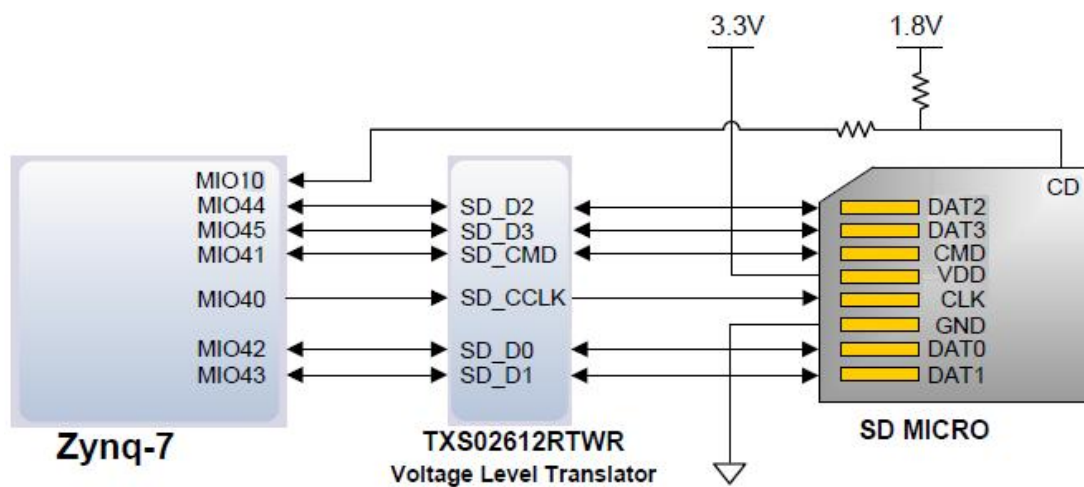


图 3-9-1 SD 卡连接示意图

SD 卡槽引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
SD_CLK	PS_MIO40	B20	SD 时钟信号
SD_CMD	PS_MIO41	J18	SD 命令信号
SD_D0	PS_MIO42	D20	SD 数据 Data0
SD_D1	PS_MIO43	E18	SD 数据 Data1
SD_D2	PS_MIO44	E20	SD 数据 Data2
SD_D3	PS_MIO45	H18	SD 数据 Data3

表 3-9-1 SD 卡引脚分配

10. 40 针扩展口

底板预留了 1 个 2.54mm 标准间距的 40 针的扩展口 J33, 用于连接黑金的各个模块或者用户自己设计的外面电路, 扩展口有 40 个信号, 其中, 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。扩展口的 IO 连接的 ZYNQ 芯片 BANK10 的 IO 上, 默认为 3.3V, 切勿直接跟外面的 5V 设备连接, 以免烧坏 ZYNQ7000 芯片。如果要接 5V 设备, 需要接电平转换芯片。

扩展口(J33)的电路如下图 3-10-1 所示

FPGA 40 PIN External IO

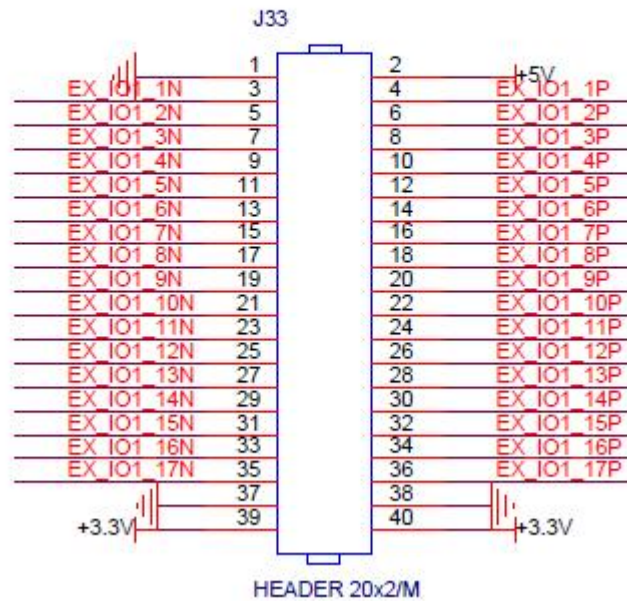


图 3-10-1 扩展口 J33 原理图

J33 扩展口 ZYNQ 的引脚分配如下：

J33 管脚	信号名称	ZYNQ 引脚号	J33 管脚	信号名称	ZYNQ 引脚号
1	GND	-	2	+5V	-
3	IO1_1N	AC13	4	IO1_1P	AC14
5	IO1_2N	AB12	6	IO1_2P	AC12
7	IO1_3N	AE12	8	IO1_3P	AF12
9	IO1_4N	AD13	10	IO1_4P	AD14
11	IO1_5N	AG12	12	IO1_5P	AH12
13	IO1_6N	AE13	14	IO1_6P	AF13

15	IO1_7N	AH13	16	IO1_7P	AH14
17	IO1_8N	AJ13	18	IO1_8P	AJ14
19	IO1_9N	AK12	20	IO1_9P	AK13
21	IO1_10N	AB14	22	IO1_10P	AB15
23	IO1_11N	AF15	24	IO1_11P	AG15
25	IO1_12N	AG14	26	IO1_12P	AF14
27	IO1_13N	AD15	28	IO1_13P	AD16
29	IO1_14N	AC16	30	IO1_14P	AC17
31	IO1_15N	AA14	32	IO1_15P	AA15
33	IO1_16N	AJ15	34	IO1_16P	AK15
35	IO1_17N	AB17	36	IO1_17P	AB16
37	GND	-	38	GND	-
39	+3.3V	-	40	+3.3V	-

表 3-10-1 扩展口 J33 引脚分配

11. LED 灯

AX7Z045 底板上有 7 个发光二极管 LED, 1 个电源指示灯; 2 个串口通信指示灯, 4 个 PL 控制指示灯。当开发板上电后电源指示灯会亮起; 4 个 LED 灯连接到 PL 的 IO 上, 用户可以通过程序来控制亮和灭, 当连接用户 LED 灯的 IO 电压为低时, 用户 LED 灯熄灭, 当连接 IO 电压为高时, 用户 LED 会被点亮。用户 LED 灯硬件连接的示意图如图 3-11-1 所示:

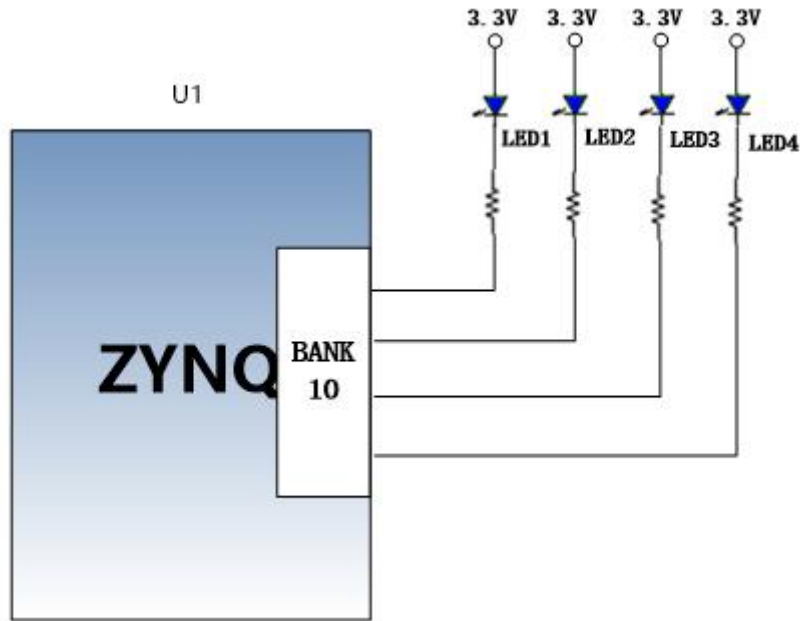


图 3-11-1 用户 LED 灯硬件连接示意图

用户 LED 灯的引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 管脚号	备注
PL_LED1	B10_L4_P	AJ16	用户 PL LED1 灯
PL_LED2	B10_L4_N	AK16	用户 PL LED2 灯
PL_LED3	B10_L16_P	AE16	用户 PL LED3 灯
PL_LED4	B10_L16_N	AE15	用户 PL LED4 灯

表 3-11-1 用户 LED 灯引脚分配

12. 复位按键和用户按键

AX7Z045 底板上有一个复位按键 RESET 和 4 个用户按键。复位信号连接到核心板的复位芯片输入，用户可以使用这个复位按键来复位 ZYNQ 系统，另外 4 个按键是连接到 PL 的 IO 上。复位按键和用户按键都是低电平有效，复位按键和用户按键的连接示意图如图 3-12-1 所示：

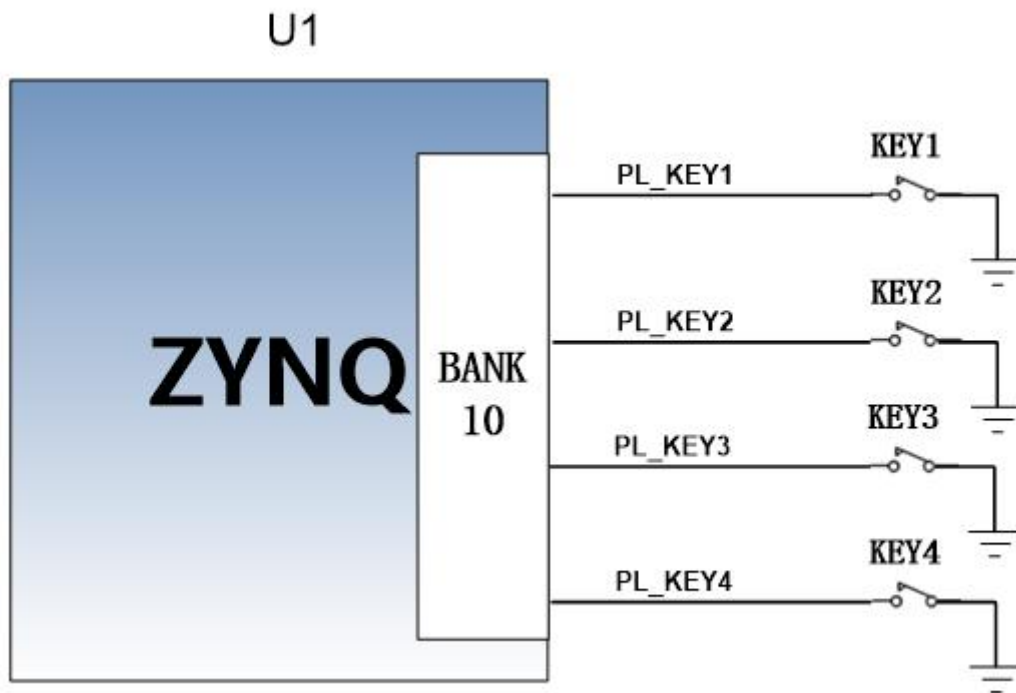


图 3-12-1 复位按键连接示意图

按键的 ZYNQ 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PL_KEY1	B10_L15_P	AF18	PL 按键 1 输入
PL_KEY2	B10_L15_N	AF17	PL 按键 2 输入
PL_KEY3	B10_L6_P	AH17	PL 按键 3 输入
PL_KEY4	B10_L6_N	AH16	PL 按键 4 输入

表 3-12-1 复位按键引脚分配

13. JTAG 调试口

在 AX7Z045 底板上预留了一个 JTAG 接口，用于下载 ZYNQ 程序或者固化程序到 FLASH。为了带电插拔造成对 ZYNQ 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 ZYNQ 芯片的损坏。

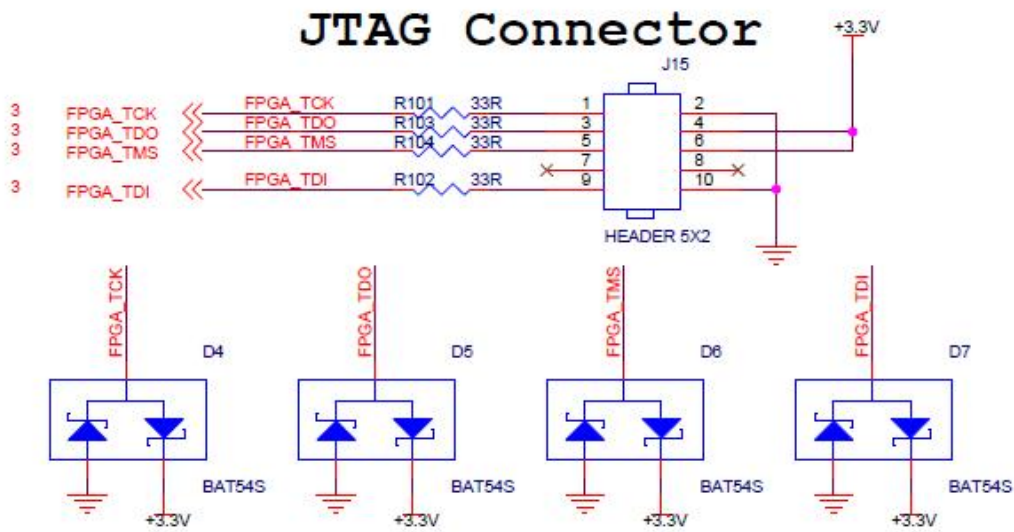


图 3-13-1 原理图中 JTAG 接口部分

下图为扩展板上 JTAG 接口实物图，用户可以通过我们提供的 USB 下载器连接 PC 和 JTAG 接口进行 ZYNQ 的系统调试。JTAG 线插拔的时候注意不要热插拔。

14. 拨码开关

开发板上有一个 2 位的拨码开关 SW1 用来配置 ZYNQ 系统的启动模式。AX7Z045 系统开发平台支持三种启动模式。这三种启动模式分别是 JTAG 调试模式, QSPI FLASH 和 SD 卡启动模式。XC7Z045 芯片上电后会检测响应 MIO 口 (MIO5 和 MIO4) 的电平来决定那种启动模式。用户可以通过核心板上的拨码开关 SW1 来选择不同的启动模式。SW1 启动模式配置如下表 3-14-1 所示。

SW1	拨码位置 (1, 2)	MIO5,MIO4 电平	启动模式
	ON、ON	0、0	JTAG
	OFF、OFF	1、1	SD 卡
	OFF、ON	1、0	QSPI FLASH

表 3-14-1 SW1 启动模式配置

15. 电源

开发板的电源输入电压为 DC12V，可以通过 PCIE 插槽或者外接+12V 电源给板子供电。外接电源供电时请使用开发板自带的电源,不要用其他规格电源，以免损坏开发板。底板上通过 1 路 DC/DC 电源芯片 ETA8156FT2G 和 2 路 DC/DC 电源芯片 ETA1471FT2G 转换成+5V，+3.3V 和 1.8V 三路电源。因为+5V 电源通过板间连接器给核心板供电，所以 DCDC 电源的电流输出为 6A，其它 2 路电源电流输出为 3A。

板上的电源设计示意图如下图 3-15-1 所示：

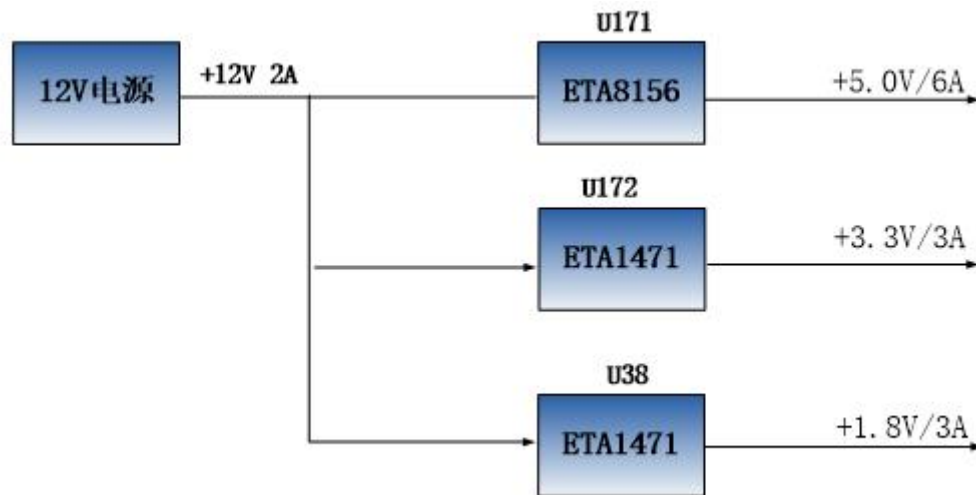


图 3-15-1 原理图中电源接口部分

各个电源分配的功能如下表所示：

电源	功能
+5.0V	核心板供电电源
+1.8V	以太网，HDMI，USB
+3.3V	以太网，HDMI，USB，SD，光纤，PCIE

表 3-15-1 电源接口功能

16. 风扇

因为 ZYNQ7000 正常工作时会产生大量的热量，我们在板上为芯片增加了一个散热片和风扇，防止芯片过热。风扇的控制由 ZYNQ 芯片来控制，控制管脚连接到 BANK10 的 IO 上，如果 IO 电平输出为低，MOSFET 管导通，风扇工作，如果 IO 电平输出为高，风扇停止。板上的风扇设计图如下图 3-16-1 所示：

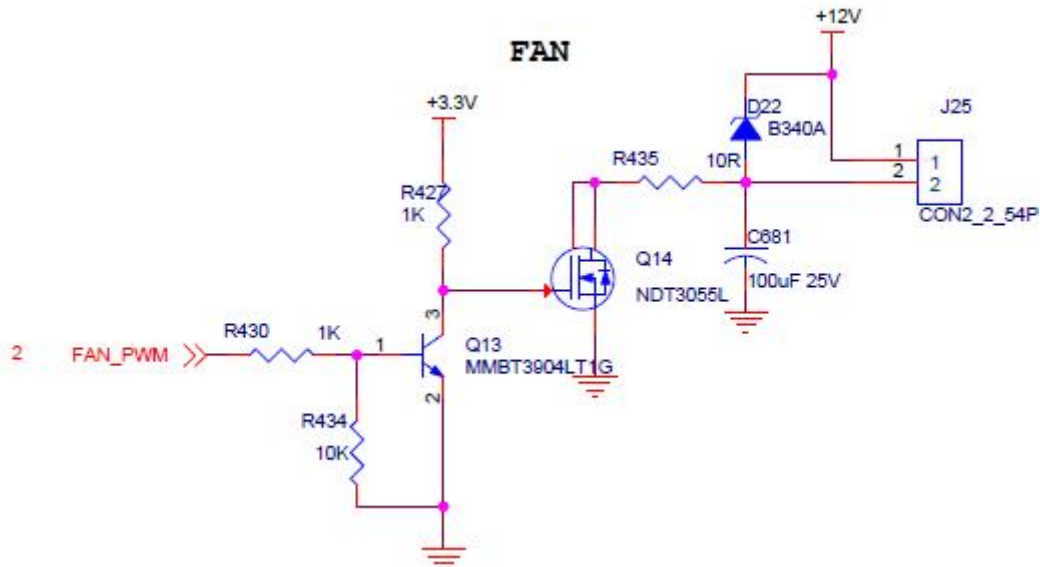


图 3-16-1 开发板原理图中风扇设计

风扇出厂前已经用螺丝固定在开发板上，风扇的电源连接到了 J25 的插座上，红色的为正极，黑色的为负极。

风扇控制的引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 管脚号	备注
FAN_PWM	IO_L13N_T2_MRCC_10	AG16	风扇控制

表 3-16-1 风扇引脚分配

17. 结构尺寸图

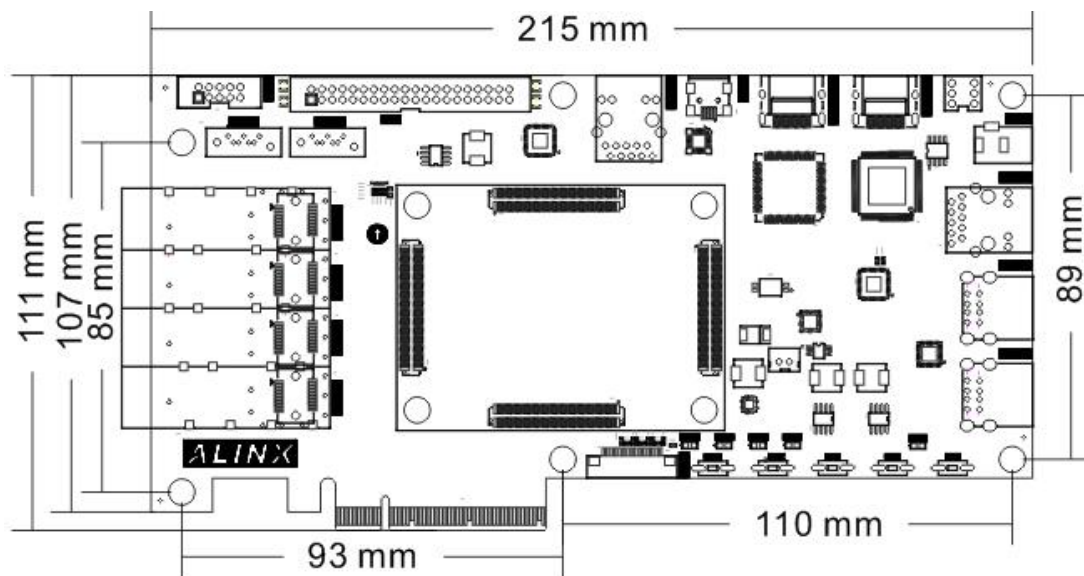


图 3-17-1 正面图 (Top View)

版权声明：本文档由 芯驿电子科技（上海）有限公司 原创，
版权及解释权归 芯驿电子科技（上海）有限公司所有，特此声明；
官 网：www.alinx.com
服务热线：021-67676997
技术支持：support@alinx.com
公司地址：上海市松江区新桥镇漕松路 1 号 1 号楼 3 层