

# **Xilinx FPGA 开发平台 用户手册**

## **AXKU15 开发板**



## 文档版本控制

文档版本	修改内容记录
REV0.1	创建文档
REV1.0	底板删减部分器件
REV1.1	修改 FMC 接口中 GTY 为 GTH 修正 GPHY 的管脚列表
REV1.2	修正 J3 连接器表格中的错误

## 目 录

文档版本控制.....	2
目 录.....	3
一、 开发板简介.....	5
二、 ACKU15 核心板.....	7
(一) 简介.....	7
(二) FPGA 芯片.....	8
(三) DDR4.....	9
(四) QSPI Flash.....	14
(五) 时钟配置.....	15
(六) LED 灯.....	17
(七) 电源.....	18
(八) 结构图.....	20
(九) 连接器管脚定义.....	20
三、 扩展板.....	38
(一) 简介.....	38
(二) PCIe 插槽.....	38
(三) 千兆网接口.....	41
(四) FMCHPC 接口.....	43
(五) MIPI 接口.....	53
(六) USB 转串口.....	55
(七) SD 卡槽.....	55
(八) SATA 接口.....	56
(九) 按键和 LED 灯.....	57
(十) EEPROM.....	58
(十一) 温度传感器.....	59
(十二) 光纤接口.....	60
(十三) JTAG 调试口.....	62
(十四) 电源.....	63
(十五) 结构尺寸图.....	65

芯驿电子科技（上海）有限公司基于 Xilinx FPGA Kintex Ultrascale+开发平台的开发板（型号：AXKU15）正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 Kintex Ultrascale+ FPGA 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。核心板使用 Xilinx 的 Kintex Ultrascale+芯片 XCKU15PFFVE1517 的解决方案，挂载了 5 片 1GB 的高速 DDR4 SDRAM 芯片和 2 片 512Mb 的 QSPI FLASH 芯片。

在底板设计上我们为用户扩展了丰富的外围接口，比如 1 个 PCIe3.0x16 接口、2 路 FMC HPC 接口、1 路千兆以太网接口、2 个 QSFP28 光纤接口、2 路 MIPIx4 输入接口、1 路 UART 串口接口、1 路 SD 卡接口等等。可满足用户各种高速数据交换，视频传输处理以及工业控制的要求，是一款“专业级”的 FPGA 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



## 一、 开发板简介

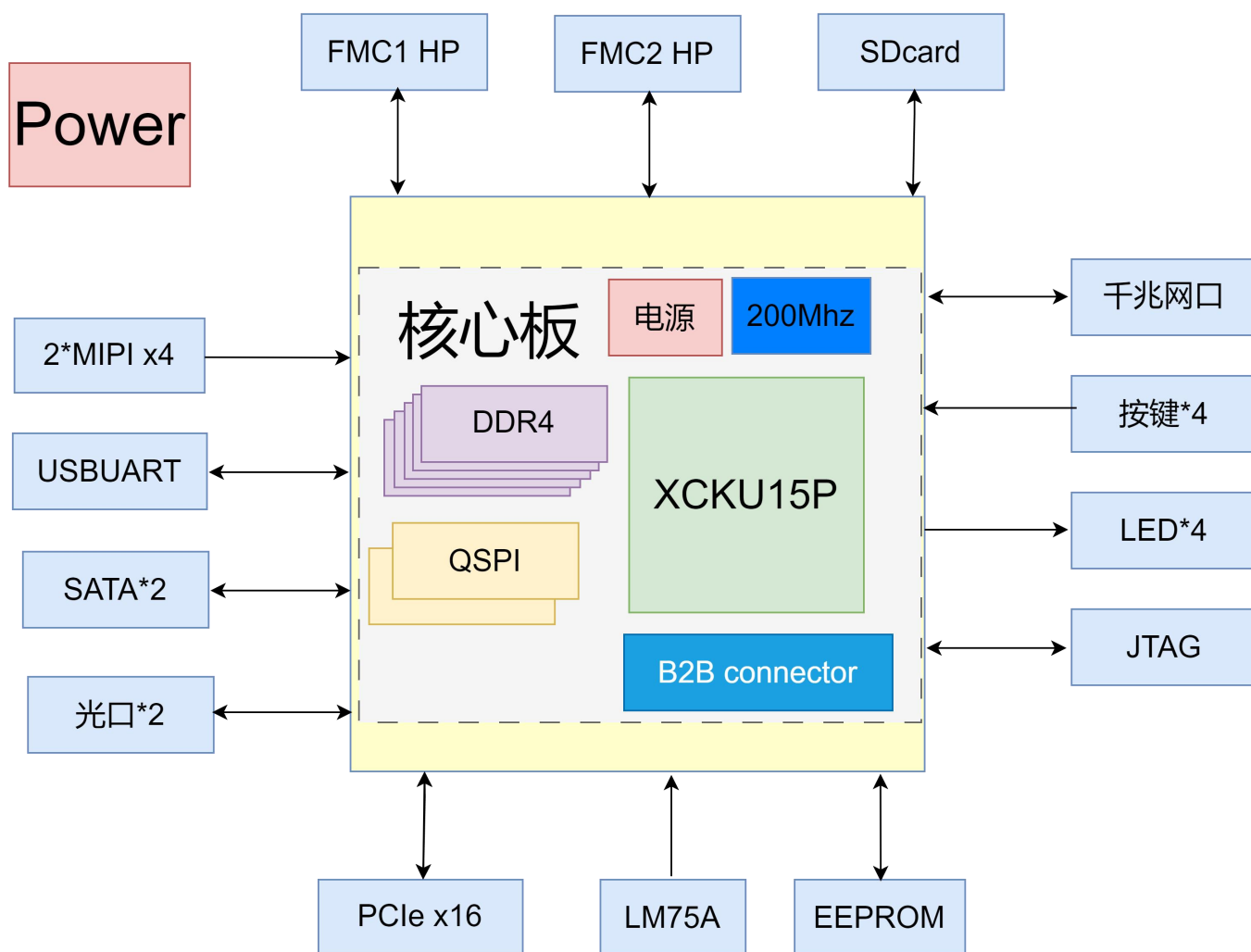
在这里，对这款 Kintex Ultrascale+ AXKU15 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 XCKU15PFFVE1517 + 5 个 DDR4 + QSPI FLASH 的最小系统构成。采用 Xilinx 的 Kintex Ultrascale+ 系列的芯片，型号为 XCKU15PFFVE1517。在 FPGA 芯片的 HP 端口上连接了 5 片 DDR4 存储芯片，每片 DDR4 容量高达 1GB 字节，组成 80 位的数据位宽。2 个 512Mb 的 QSPI FLASH 用来静态存储 FPGA 芯片的配置文件或者其它用户数据。

底板为核心板扩展了丰富的外围接口，其中包含 1 个 PCIe3.0x16 接口、2 路 FMC HPC 接口、1 路千兆网接口、2 路 MIPI 输入接口、1 路 UART 串口接口、1 路 SD 卡接口、一些按键及 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- FPGA 核心板

由 XCKU15P + 5 个 DDR4 + 2 个 QSPI FLASH 的最小系统组成，另外有两个晶振提供时钟，2 个 200MHz 晶振提供为 FPGA 逻辑和 DDR 控制参考时钟。

- PCIe3.0 x16 接口

支持 PCI Express 3.0 标准，提供标准的 PCIe x16 高速数据传输接口，单通道通信速率可高达 8GBaud。

- 2 路 FMC HPC 接口

FPGA 中的 8 路高速收发器连接到 FMC HPC 专用的高速管脚上，其中 1 个 FMC 接口引出 34 对 LA 信号差分对、2 对时钟信号及 24 对 HA 信号；另一 FMC 接口引出 34 对 LA 信号差分对和 2 对时钟信号，可满足高速信号传输要求，符合 FMC 标准，可以各种 FMC 模块（HDMI 输入输出模块，高速 AD 模块等等）。

- 1 路千兆网接口

千兆以太网接口芯片采用 JL2121D 以太网 PHY 芯片为用户提供网络通信服务。芯片支持 10/100/1000 Mbps 网络传输速率；全双工和自适应。

- 2 路 MIPI 输入接口

板载 2 路 MIPI lanex4 输入接口，最高速率支持 2.5Gb/s，用于连接 MIPI 摄像头模块。

- USB Uart 接口

1 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- 2 路 SATA 接口

2 个标准的 SATA 接口，可用连接 SATA 外设，如 SATA 接口的固态硬盘。

- JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试，用户可以通过 XILINX 下载器对 FPGA 系统进行调试和下载。

- LED 灯

7 个发光二极管 LED，核心板上 3 个，底板上 7 个。核心板上 1 个电源指示灯；1 个 DONE 配置指示灯和用户指示灯。底板上 1 个电源指示灯，4 个用户指示灯和 2 个串口指示灯。

- 按键

底板上 4 个用户按键。

## 二、 ACKU15 核心板

### (一) 简介

ACKU15(核心板型号, 下同)核心板, FPGA 芯片是基于 Xilinx FPGA Kintex Ultrascale+ 的主芯片 XCKU15PFFVE1517 设计。核心板在 FPGA 的 HP 端口上连接了 5 片 DDR4 存储芯片组成 80 位的数据带宽, 每片 DDR4 容量高达 1GB。HP 端的内存带宽高达 210Gb/s。另外核心板上也集成了 2 片 512MBit 大小的 QSPI FLASH, 用于启动存储配置和系统文件。

这款核心板的采用个板对板连接器扩展出了 256 个 HPIO 和 88 个 HDIO, 引出的 IO 的电平可以通过更换底板上的 LDO 芯片来修改, 满足用户不用电平接口的要求; 另外核心板也扩展出了 24 对 GTY 和 32 对 GTH 高速收发器接口。对于需要大量 IO 和高速收发器的用户, 此核心板将是不错的选择。而且 IO 连接部分, FPGA 芯片到接口之间走线做了等长和差分处理, 并且核心板尺寸仅为 80\*80 (mm), 对于二次开发来说, 非常适合。



图 2-1-1 ACKU15 核心板正面图



## (二) FPGA 芯片

前面已经介绍过了，我们所使用的 FPGA 型号为 **XCKU15PFFVE1517**，属于 Xilinx 公司 Kintex UltraScale+ 系列的产品，速度等级为 2，温度等级为工业级。此型号为 FFVE1517 封装，1517 个引脚。Xilinx Kintex UltraScale+ FPGA 的芯片命名规则如下：

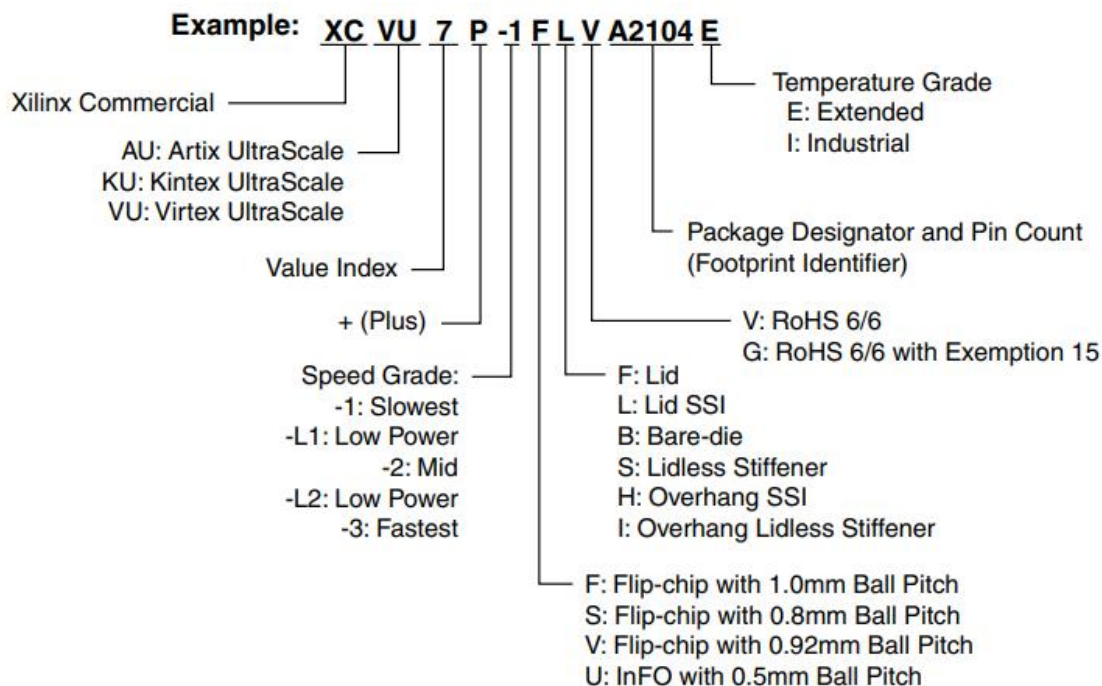


图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片的主要参数如下所示：

名称	具体参数
Logic Cells	1143K
触发器(FF)	1,045,440
LUTs	522,720
Total Block RAM	34.6Mb



DSP Slices	1968
CMTs	11
GTY/Gb/s	24/28.21Gb
GTH/Gb/s	32/16.3Gb
PCIe Gen3 x16	1
速度等级	-2
温度等级	工业级

### (三) DDR4

ACKU15 开发板上配有 5 片 Micron(美光) 的 1GB 的 DDR4 芯片, 型号为 MT40A512M16LY-062E, 连接在FPGA的HP端, 组成80位数据总线和5GB的容量。DDR4 SDRAM的在FPGA端的最高运行数据速率2666Mbps, 5片DDR4存储系统直接连接到了 BANK 66、67、68的存储器接口上。DDR4 SDRAM的具体配置如下表2-3-1所示。

表 2-3-1 DDR4 SDRAM 配置

位号	芯片型号	容量	厂家
U3、U4、U7、U8、U9	MT40A512M16LY-062E	512Mx 16bit	Micron

DDR4 的硬件设计需要严格考虑信号完整性, 我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制, 走线等长控制, 保证 DDR4 的高速稳定的工作。

FPGA 端的 DDR4 的硬件连接方式如图 2-3-1 所示:

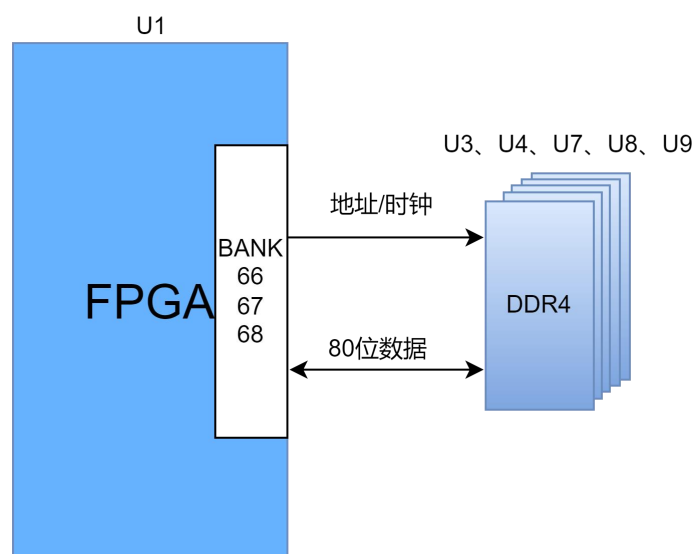


图2-3-1 DDR4 DRAM原理图部分

图 2-3-2 为开发板的 2 片 DDR4 DRAM 实物图

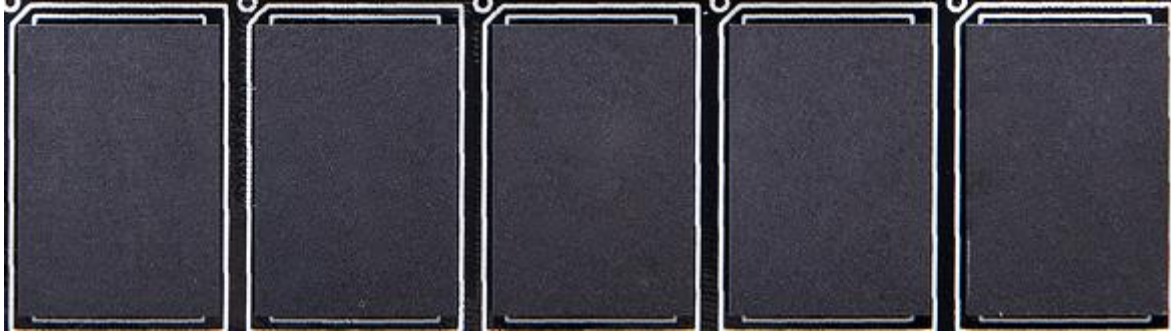


图 2-3-2 4 片 DDR4 DRAM 实物图

**DDR4 SDRAM 引脚分配:**

信号名称	引脚号
DDR4_D0	AJ28
DDR4_D1	AK27
DDR4_D2	AK26
DDR4_D3	AL27
DDR4_D4	AJ26
DDR4_D5	AN26
DDR4_D6	AN27
DDR4_D7	AK28
DDR4_D8	AK22
DDR4_D9	AL24
DDR4_D10	AJ23
DDR4_D11	AM25
DDR4_D12	AH23
DDR4_D13	AK24
DDR4_D14	AK23
DDR4_D15	AJ24
DDR4_D16	AN25
DDR4_D17	AP23
DDR4_D18	AP24
DDR4_D19	AT25
DDR4_D20	AN23
DDR4_D21	AP26

DDR4_D22	AP25
DDR4_D23	AT26
DDR4_D24	AU23
DDR4_D25	AV26
DDR4_D26	AU24
DDR4_D27	AW25
DDR4_D28	AT24
DDR4_D29	AW26
DDR4_D30	AV23
DDR4_D31	AV27
DDR4_D32	AM38
DDR4_D33	AK39
DDR4_D34	AL37
DDR4_D35	AL39
DDR4_D36	AN38
DDR4_D37	AJ39
DDR4_D38	AL36
DDR4_D39	AM39
DDR4_D40	AM35
DDR4_D41	AL35
DDR4_D42	AM34
DDR4_D43	AL34
DDR4_D44	AH33
DDR4_D45	AK35
DDR4_D46	AJ33
DDR4_D47	AJ34
DDR4_D48	AK32
DDR4_D49	AL32
DDR4_D50	AJ30
DDR4_D51	AM33
DDR4_D52	AH31
DDR4_D53	AH32
DDR4_D54	AJ29
DDR4_D55	AM32
DDR4_D56	AL29

DDR4_D57	AM30
DDR4_D58	AM29
DDR4_D59	AN33
DDR4_D60	AP28
DDR4_D61	AL30
DDR4_D62	AP29
DDR4_D63	AN32
DDR4_D64	AU29
DDR4_D65	AW31
DDR4_D66	AW28
DDR4_D67	AV31
DDR4_D68	AT29
DDR4_D69	AU30
DDR4_D70	AW29
DDR4_D71	AT30
DDR4_D72	AT35
DDR4_D73	AW34
DDR4_D74	AU33
DDR4_D75	AU34
DDR4_D76	AU32
DDR4_D77	AT36
DDR4_D78	AU35
DDR4_D79	AW35
DDR4_DM0	AL25
DDR4_DM1	AM23
DDR4_DM2	AR23
DDR4_DM3	AW23
DDR4_DM4	AM37
DDR4_DM5	AK33
DDR4_DM6	AH30
DDR4_DM7	AM28
DDR4_DM8	AU28
DDR4_DM9	AV35
DDR4_DQS0_N	AH27
DDR4_DQS0_P	AH26

DDR4_DQS1_N	AJ25
DDR4_DQS1_P	AH25
DDR4_DQS2_N	AR27
DDR4_DQS2_P	AR26
DDR4_DQS3_N	AV25
DDR4_DQS3_P	AU25
DDR4_DQS4_N	AK38
DDR4_DQS4_P	AK37
DDR4_DQS5_N	AN36
DDR4_DQS5_P	AN35
DDR4_DQS6_N	AL31
DDR4_DQS6_P	AK31
DDR4_DQS7_N	AN31
DDR4_DQS7_P	AN30
DDR4_DQS8_N	AW30
DDR4_DQS8_P	AV30
DDR4_DQS9_N	AV33
DDR4_DQS9_P	AV32
DDR4_OTD	AR33
DDR4_PAR	AV36
DDR4_RAS_B	AP35
DDR4_RST	AH34
DDR4_WE_B	AP31
DDR4_A0	AV38
DDR4_A1	AR38
DDR4_A2	AV37
DDR4_A3	AR36
DDR4_A4	AU39
DDR4_A5	AP38
DDR4_A6	AT31
DDR4_A7	AP39
DDR4_A8	AV28
DDR4_A9	AT39
DDR4_A10	AU38
DDR4_A11	AW36

DDR4_A12	AR37
DDR4_A13	AR39
DDR4_ACT_B	AT37
DDR4_ALERT_B	AK34
DDR4_BA0	AW33
DDR4_BA1	AP36
DDR4_BG0	AR31
DDR4_CAS_B	AP34
DDR4_CKE	AU37
DDR4_CLK_N	AT34
DDR4_CLK_P	AR34
DDR4_CLKREF_N	AT32
DDR4_CLKREF_P	AR32
DDR4_CS_B	AP33

#### (四) QSPI Flash

核心板配有 2 片 512MBit 大小的 Quad-SPI FLASH 芯片，型号为 MT25QU512ABA1EW9，它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以存储 FPGA 的配置 Bin 文件以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

表2-4-1 QSPI Flash的型号和参数

位号	芯片类型	容量	厂家
U10、U11	MT25QU512ABB1EW9	512Mbit	Micron

QSPI FLASH 连接到 FPGA 芯片的的专用管脚上，其中时钟管脚连接到专用 BANK0 的 CCLK0 上，数据管脚分别连接到 BANK0 和 BANK65 上。图 2-4-1 为 QSPI Flash 和 FPGA 芯片的连接示意图。



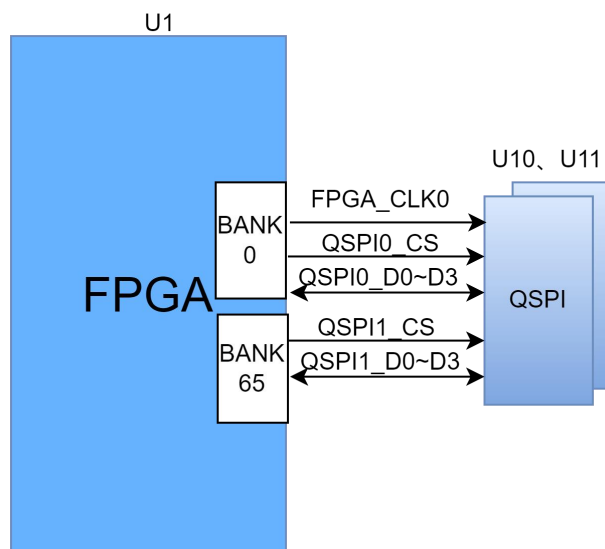


图 4-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	FPGA 引脚号
QSPI_CLK	AD23
QSPI0_CS	AG22
QSPI0_DQ0	AD25
QSPI0_DQ1	AD26
QSPI0_DQ2	AE22
QSPI0_DQ3	AE23
QSPI1_CS	AV11
QSPI1_DQ0	AM12
QSPI1_DQ1	AN12
QSPI1_DQ2	AR13
QSPI1_DQ3	AR12

## (五) 时钟配置

核心板上为 FPGA 系统提供了 200Mhz 的 2 路差分有源时钟。分别为 FPGA 逻辑部分提供差分时钟源。时钟电路设计的示意图如下图 2-5-1 所示:

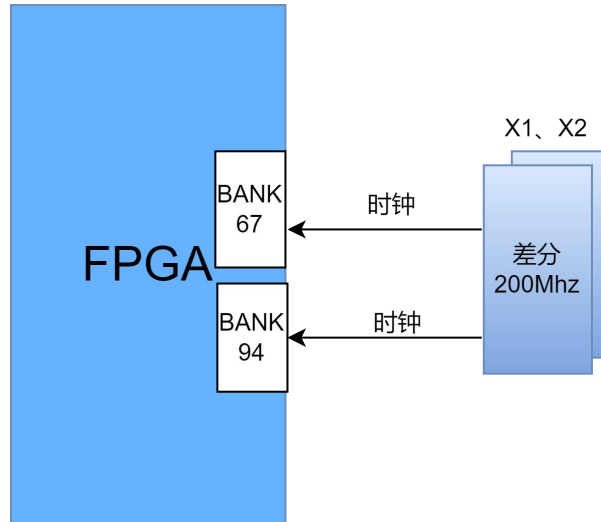
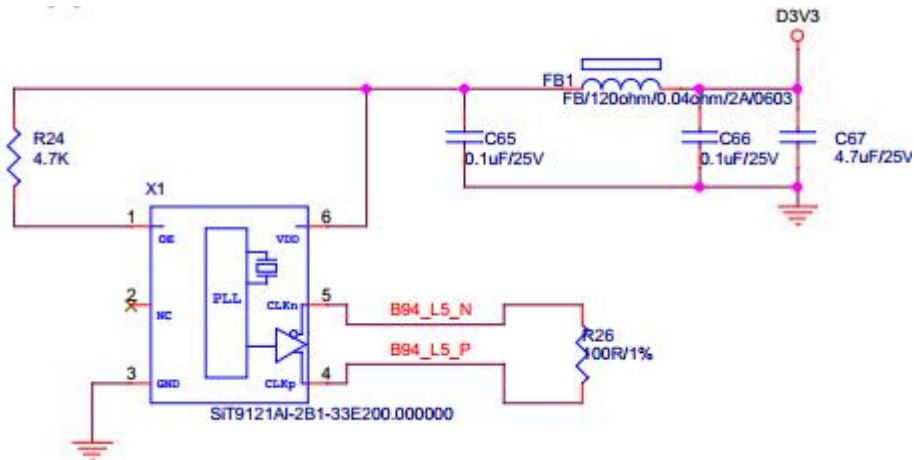


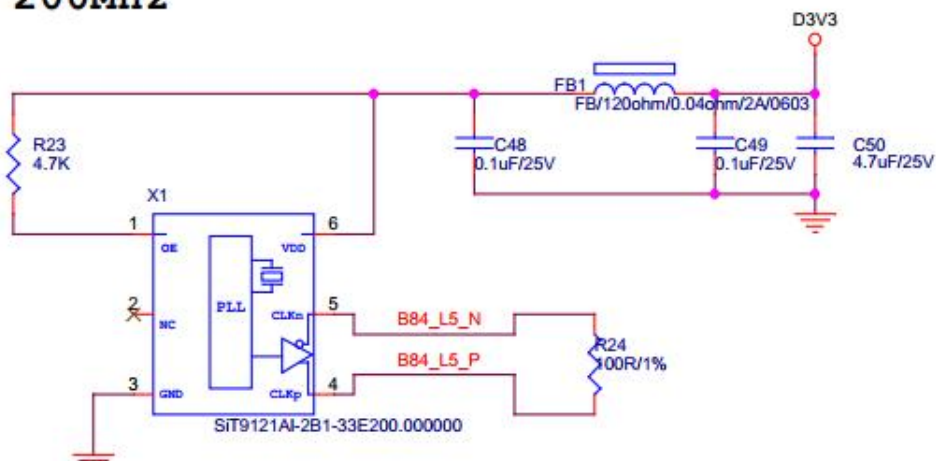
图 2-5-1 核心板时钟源

### FPGA 系统时钟源

板上提供了 2 个 200MHz 差分晶振，可为 DDR4 控制器及 FPGA 逻辑提供参考时钟。晶振输出连接到 FPGA BANK66 和 BANK84 的全局时钟上，这个全局时钟可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。该时钟源的原理图如图 2-5-2 所示



200MHz



200MHz

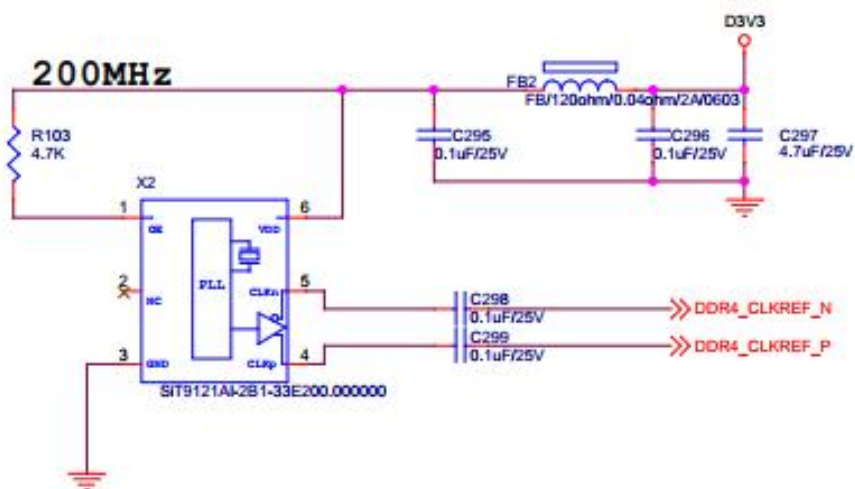


图 2-5-2 系统时钟源

时钟引脚分配:

信号名称	FPGA 引脚
B94_L5_P	G12
B94_L5_N	G11
DDR4_CLKREF_P	AR32
DDR4_CLKREF_N	AT32

## (六) LED 灯

ACKU15 核心板上有 3 个红色 LED 灯, 其中 1 个是电源指示灯(PWR1), 1 个是配置 LED 灯(D1), 还有一个用户指示灯 (LED1)。核心上电时指示灯会亮起; 当 FPGA 配置程序后, 配置 LED 灯会亮起。用户指示灯可用于自定义功能指示。LED 灯硬件连接的示意图如图 2-6-1

所示:

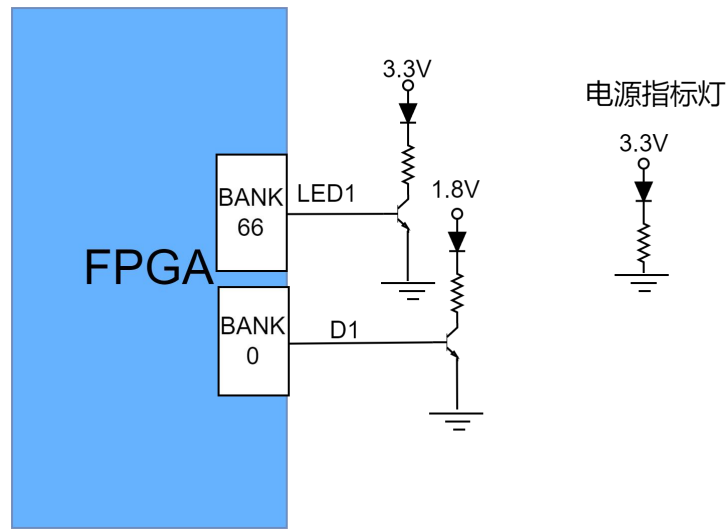


图 2-6-1 核心板 LED 灯硬件连接示意图

## (七) 电源

ACKU15 核心板供电电压为+12V，通过连接底板供电。板上的电源设计示意图如下图 2-7-1 所示:

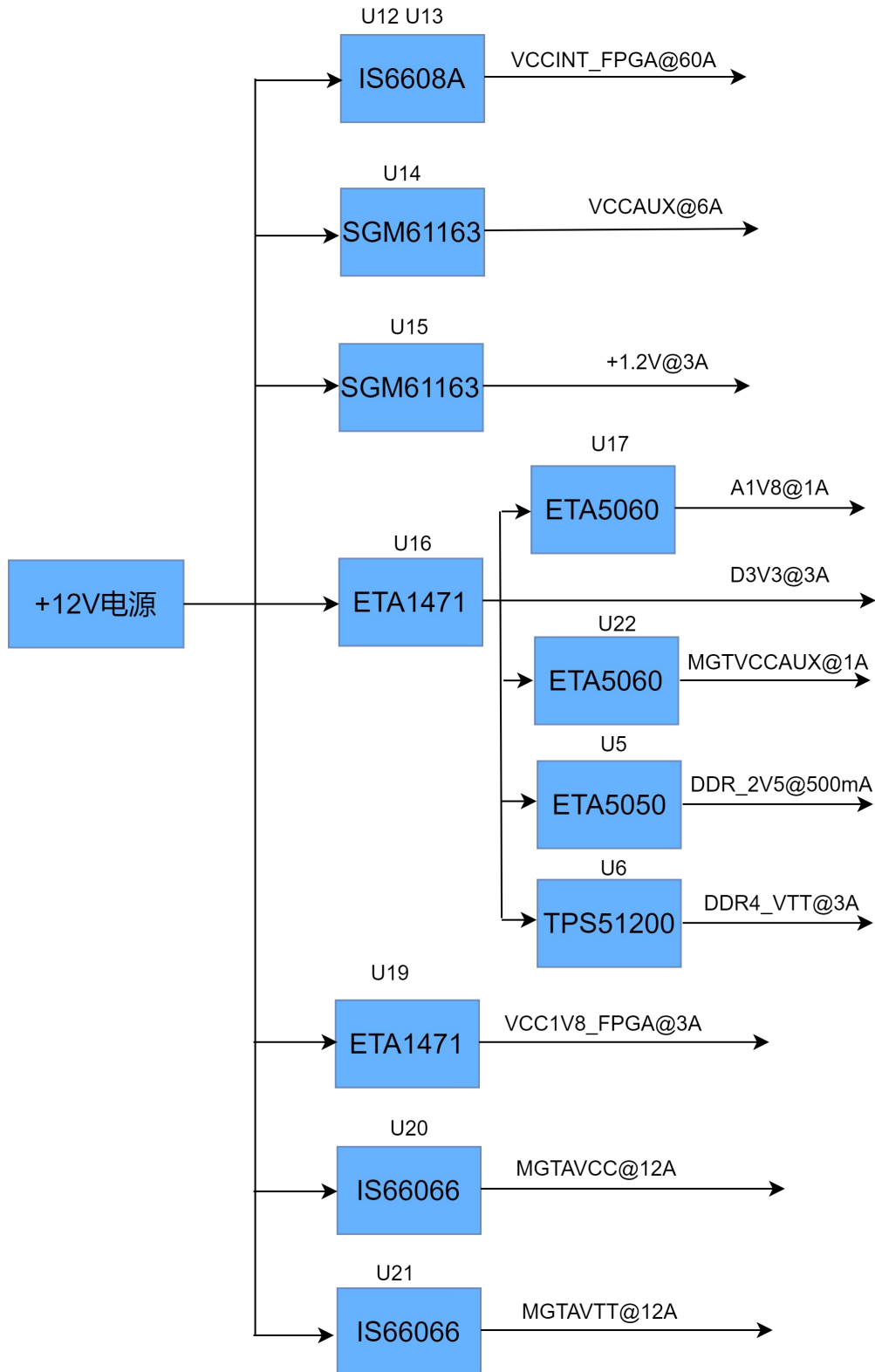


图 2-7-1 原理图中电源接口部分

+12V 通过 DCDC 电源芯片 IS6608 产生 FPGA 核心电源，输出电流高达 60A，可满足核心电压的电流需求。+12V 电源再通过 3 个 DCDC 芯片:SGM61163 产生 VCCAUX,IS66066

产生 MGTAVCC, MGTAVTT 电源, 给 FPGA 辅助电源和高速收发器供电。同时+12V 电源再通过 DCDC 芯片 ETA1471 与 SGM61163 来产生+1.2V, VCC1V8\_FPGA、D3V3 电源给 DDR4、FPGA 的 BANK 及外设供电。另外 D3V3 通过 2 个 LDO 芯片 ETA5060 产生高速收发器的辅助电源和 FPGA 的 ADC 供电电源+1.8V; DDR4 的 VTT 和 DDR2V5 电压由 TPS51200 和 ETA5050 产生。

因为 FPGA 的电源有上电顺序的要求, 在电路设计中, 我们已经按照芯片的电源要求设计, 保证芯片的正常工作。

## (八) 结构图

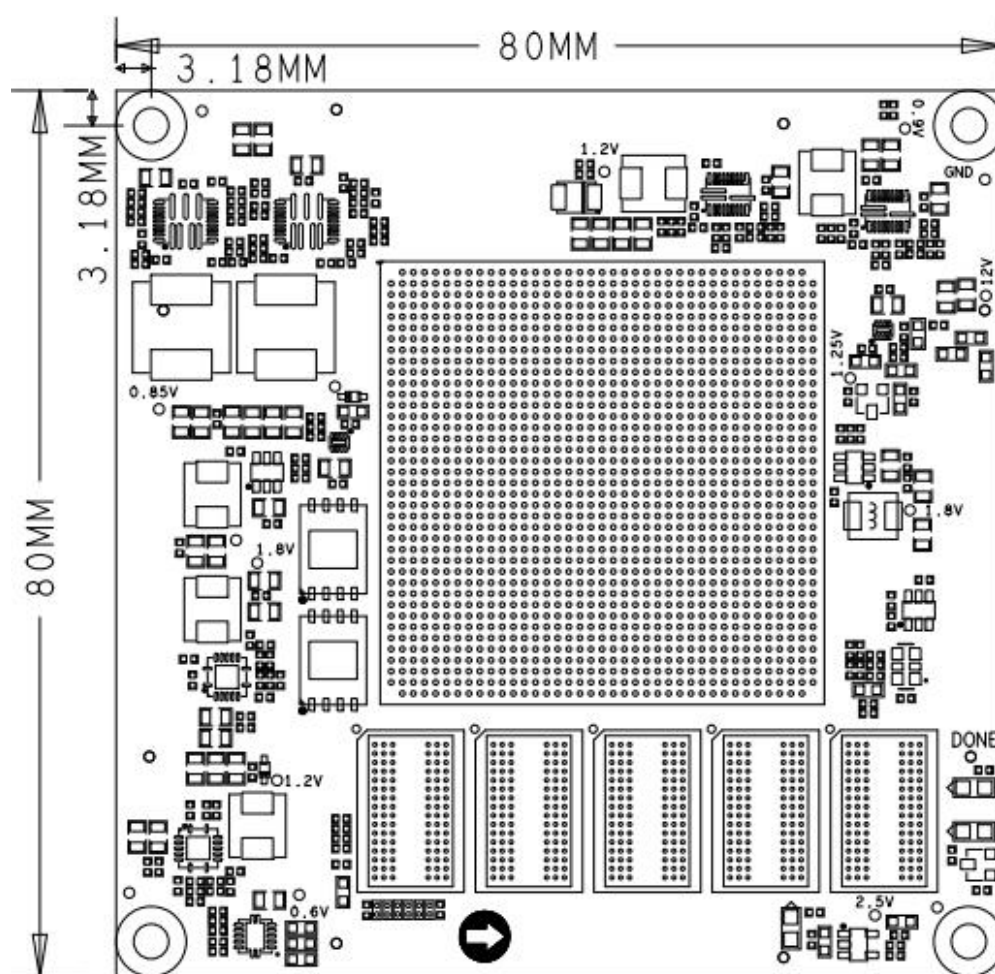


图 2-8-1 正面图 (Top View)

## (九) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口, 使用 4 个 240Pin 的板间连接器 (J1~J4) 和底板连接, 核心板供电由 J3 连接器输入。



## J1 连接器的引脚分配

J1 管脚	信号名称	FPGA 引脚号	J1 管脚	信号名称	FPGA 引脚号
A1	B90_L10_N	B4	B1	B90_L12_N	A6
A2	B90_L10_P	B5	B2	B90_L12_P	B6
A3	B90_L8_N	C4	B3	B90_L11_N	A3
A4	B90_L8_P	C5	B4	B90_L11_P	A4
A5	GND	-	B5	GND	-
A6	B90_L9_N	B2	B6	B90_L7_N	C3
A7	B90_L9_P	C2	B7	B90_L7_P	D3
A8	B90_L4_N	E1	B8	B90_L6_N	D1
A9	B90_L4_P	F1	B9	B90_L6_P	D2
A10	GND	-	B10	GND	-
A11	B90_L5_N	D5	B11	B90_L3_N	F2
A12	B90_L5_P	D6	B12	B90_L3_P	F3
A13	B90_L1_N	E4	B13	B90_L2_N	E3
A14	B90_L1_P	E5	B14	B90_L2_P	F4
A15	GND	-	B15	GND	-
A16	B91_L11_N	A9	B16	B91_L9_N	A7
A17	B91_L11_P	B10	B17	B91_L9_P	B7
A18	B91_L12_N	A11	B18	B91_L10_N	A8
A19	B91_L12_P	B11	B19	B91_L10_P	B9
A20	GND	-	B20	GND	-
A21	B91_L7_N	C7	B21	B91_L5_N	D7
A22	B91_L7_P	C8	B22	B91_L5_P	D8
A23	B91_L3_N	E8	B23	B91_L1_N	E6
A24	B91_L3_P	F9	B24	B91_L1_P	F6
A25	GND	-	B25	GND	-
A26	B91_L8_N	C9	B26	B91_L2_N	F7
A27	B91_L8_P	C10	B27	B91_L2_P	F8
A28	B91_L6_N	D10	B28	B91_L4_N	E9

A29	B91_L6_P	D11	B29	B91_L4_P	E10
A30	GND	-	B30	GND	-
A31	B93_L12_N	K10	B31	B93_L10_N	K13
A32	B93_L12_P	K11	B32	B93_L10_P	L13
A33	B93_L7_N	L14	B33	B93_L11_N	L11
A34	B93_L7_P	M14	B34	B93_L11_P	L12
A35	GND	-	B35	GND	-
A36	B93_L9_N	M10	B36	B93_L8_N	M11
A37	B93_L9_P	N10	B37	B93_L8_P	M12
A38	B93_L3_N	P12	B38	B93_L4_N	P10
A39	B93_L3_P	P13	B39	B93_L4_P	P11
A40	GND	-	B40	GND	-
A41	B93_L6_N	N12	B41	B93_L2_N	R13
A42	B93_L6_P	N13	B42	B93_L2_P	R14
A43	B93_L5_N	N14	B43	B93_L1_N	P15
A44	B93_L5_P	N15	B44	B93_L1_P	R15
A45	GND	-	B45	GND	-
A46	GND	-	B46	GND	-
A47	MGT227_CLK0_P	AE12	B47	MGT227_CLK1_P	AD10
A48	MGT227_CLK0_N	AE11	B48	MGT227_CLK1_N	AD9
A49	GND	-	B49	GND	-
A50	MGT227_RX3_P	AD2	B50	MGT227_TX3_P	AD6
A51	MGT227_RX3_N	AD1	B51	MGT227_TX3_N	AD5
A52	GND	-	B52	GND	-
A53	MGT227_RX2_P	AE4	B53	MGT227_TX2_P	AE8
A54	MGT227_RX2_N	AE3	B54	MGT227_TX2_N	AE7
A55	GND	-	B55	GND	-
A56	MGT227_RX1_P	AF2	B56	MGT227_TX1_P	AF6
A57	MGT227_RX1_N	AF1	B57	MGT227_TX1_N	AF5
A58	GND	-	B58	GND	-
A59	MGT227_RX0_P	AG4	B59	MGT227_TX0_P	AG8
A60	MGT227_RX0_N	AG3	B60	MGT227_TX0_N	AG7

J1 管脚	信号名称	FPGA 引脚号	J1 管脚	信号名称	FPGA 引脚号
C1	MGT231_CLK0_P	U12	D1	MGT231_CLK1_P	T10
C2	MGT231_CLK0_N	U11	D2	MGT231_CLK1_N	T9
C3	GND	-	D3	GND	-
C4	MGT231_RX3_P	H2	D4	MGT231_TX3_P	H6
C5	MGT231_RX3_N	H1	D5	MGT231_TX3_N	H5
C6	GND	-	D6	GND	-
C7	MGT231_RX2_P	J4	D7	MGT231_TX2_P	J8
C8	MGT231_RX2_N	J3	D8	MGT231_TX2_N	J7
C9	GND	-	D9	GND	-
C10	MGT231_RX1_P	K2	D10	MGT231_TX1_P	K6
C11	MGT231_RX1_N	K1	D11	MGT231_TX1_N	K5
C12	GND	-	D12	GND	-
C13	MGT231_RX0_P	L4	D13	MGT231_TX0_P	L8
C14	MGT231_RX0_N	L3	D14	MGT231_TX0_N	L7
C15	GND	-	D15	GND	-
C16	MGT230_RX3_P	M2	D16	MGT230_TX3_P	M6
C17	MGT230_RX3_N	M1	D17	MGT230_TX3_N	M5
C18	GND	-	D18	GND	-
C19	MGT230_RX2_P	N4	D19	MGT230_TX2_P	N8
C20	MGT230_RX2_N	N3	D20	MGT230_TX2_N	N7
C21	GND	-	D21	GND	-
C22	MGT230_RX1_P	P2	D22	MGT230_TX1_P	P6
C23	MGT230_RX1_N	P1	D23	MGT230_TX1_N	P5
C24	GND	-	D24	GND	-
C25	MGT230_RX0_P	R4	D25	MGT230_TX0_P	R8
C26	MGT230_RX0_N	R3	D26	MGT230_TX0_N	R7

C27	GND	-	D27	GND	-
C28	MGT230_CLK1_P	V10	D28	MGT230_CLK0_P	W12
C29	MGT230_CLK1_N	V9	D29	MGT230_CLK0_N	W11
C30	GND	-	D30	GND	-
C31	MGT229_RX3_P	T2	D31	MGT229_TX3_P	T6
C32	MGT229_RX3_N	T1	D32	MGT229_TX3_N	T5
C33	GND	-	D33	GND	-
C34	MGT229_RX2_P	U4	D34	MGT229_TX2_P	U8
C35	MGT229_RX2_N	U3	D35	MGT229_TX2_N	U7
C36	GND	-	D36	GND	-
C37	MGT229_RX1_P	V2	D37	MGT229_TX1_P	V6
C38	MGT229_RX1_N	V1	D38	MGT229_TX1_N	V5
C39	GND	-	D39	GND	-
C40	MGT229_RX0_P	W4	D40	MGT229_TX0_P	W8
C41	MGT229_RX0_N	W3	D41	MGT229_TX0_N	W7
C42	GND	-	D42	GND	-
C43	MGT229_CLK1_P	Y10	D43	MGT229_CLK0_P	AA12
C44	MGT229_CLK1_N	Y9	D44	MGT229_CLK0_N	AA11
C45	GND	-	D45	GND	-
C46	GND	-	D46	GND	-
C47	MGT228_RX3_P	Y2	D47	MGT228_TX3_P	Y6
C48	MGT228_RX3_N	Y1	D48	MGT228_TX3_N	Y5
C49	GND	-	D49	GND	-
C50	MGT228_RX2_P	AA4	D50	MGT228_TX2_P	AA8
C51	MGT228_RX2_N	AA3	D51	MGT228_TX2_N	AA7
C52	GND	-	D52	GND	-
C53	MGT228_RX1_P	AB2	D53	MGT228_TX1_P	AB6
C54	MGT228_RX1_N	AB1	D54	MGT228_TX1_N	AB5
C55	GND	-	D55	GND	-
C56	MGT228_RX0_P	AC4	D56	MGT228_TX0_P	AC8
C57	MGT228_RX0_N	AC3	D57	MGT228_TX0_N	AC7
C58	GND	-	D58	GND	-

C59	MGT228_CLK0_P	AC12	D59	MGT228_CLK1_P	AB10
C60	MGT228_CLK0_N	AC11	D60	MGT228_CLK1_N	AB9

## J2 连接器的引脚分配

J2 管脚	信号名称	FPGA 引脚号	J2 管脚	信号名称	FPGA 引脚号
A1	FPGA_VP_IN	W20	B1	FPGA_TDI	AG24
A2	FPGA_VN_IN	Y19	B2	FPGA_TDO	AG27
A3	GND	-	B3	GND	-
A4	B64_L1_P	AU22	B4	B64_L19_P	AH21
A5	B64_L1_N	AV22	B5	B64_L19_N	AJ21
A6	GND	-	B6	GND	-
A7	B64_L21_P	AJ20	B7	B64_L10_P	AK21
A8	B64_L21_N	AJ19	B8	B64_L10_N	AL21
A9	GND	-	B9	GND	-
A10	B64_L8_P	AL22	B10	B65_L17_P	AJ16
A11	B64_L8_N	AM22	B11	B65_L17_N	AJ15
A12	GND	-	B12	GND	-
A13	B65_L18_P	AK16	B13	B65_L16_P	AK17
A14	B65_L18_N	AL16	B14	B65_L16_N	AL17
A15	GND	-	B15	GND	-
A16	B65_L20_P	AN13	B16	B65_L14_P	AM15
A17	B65_L20_N	AP13	B17	B65_L14_N	AN15
A18	GND	-	B18	GND	-
A19	B65_L11_P	AR14	B19	B65_L10_P	AP16
A20	B65_L11_N	AT14	B20	B65_L10_N	AR16
A21	GND	-	B21	GND	-
A22	B65_L7_P	AV16	B22	B65_L8_P	AT15
A23	B65_L7_N	AW16	B23	B65_L8_N	AU15
A24	GND	-	B24	GND	-
A25	B65_L9_P	AV15	B25	B65_L6_P	AU14
A26	B65_L9_N	AW15	B26	B65_L6_N	AU13

A27	GND	-	B27	GND	-
A28	VCCIO_64	AK20、 AN19、 AT8	B28	B65_T2U	AN16
A29	VCCIO_65	AK15、 AN14、 AT13	B29	B65_T3U	AP10
A30	GND	-	B30	GND	-
A31	B65_L5_P	AV13	B31	B65_L3_P	AW14
A32	B65_L5_N	AV12	B32	B65_L3_N	AW13
A33	GND	-	B33	GND	-
A34	B65_L12_P	AP15	B34	B65_L24_P	AM14
A35	B65_L12_N	AP14	B35	B65_L24_N	AM13
A36	GND	-	B36	GND	-
A37	B65_L13_P	AL15	B37	B65_L15_P	AJ14
A38	B65_L13_N	AL14	B38	B65_L15_N	AK14
A39	GND	-	B39	GND	-
A40	B65_L1_P	AW11	B40	B65_L4_P	AU10
A41	B65_L1_N	AW10	B41	B65_L4_N	AV10
A42	GND	-	B42	GND	-
A43	B65_L19_P	AT12	B43	B65_L23_P	AP11
A44	B65_L19_N	AT11	B44	B65_L23_N	AR11
A45	GND	-	B45	GND	-
A46	GND	-	B46	GND	-
A47	MGT225_RX0_P	AR4	B47	MGT225_TX0_P	AR8
A48	MGT225_RX0_N	AR3	B48	MGT225_TX0_N	AR7
A49	GND	-	B49	GND	-
A50	MGT225_RX1_P	AP2	B50	MGT225_TX1_P	AP6
A51	MGT225_RX1_N	AP1	B51	MGT225_TX1_N	AP5
A52	GND	-	B52	GND	-
A53	MGT225_RX2_P	AN4	B53	MGT225_TX2_P	AN8
A54	MGT225_RX2_N	AN3	B54	MGT225_TX2_N	AN7



A55	GND	-	B55	GND	-
A56	MGT225_RX3_P	AM2	B56	MGT225_TX3_P	AM6
A57	MGT225_RX3_N	AM1	B57	MGT225_TX3_N	AM5
A58	GND	-	B58	GND	-
A59	MGT225_CLK0_P	AJ12	B59	MGT225_CLK1_P	AH10
A60	MGT225_CLK0_N	AJ11	B60	MGT225_CLK1_N	AH9

J2 管脚	信号名称	FPGA 引脚号	J2 管脚	信号名称	FPGA 引脚号
C1	FPGA_TMS	AD22	D1	B64_L9_P	AP21
C2	FPGA_TCK	AG23	D2	B64_L9_N	AP20
C3	GND	-	D3	GND	-
C4	B64_L5_P	AT22	D4	B64_L7_P	AR22
C5	B64_L5_N	AT21	D5	B64_L7_N	AR21
C6	GND	-	D6	GND	-
C7	B64_L3_P	AV21	D7	B64_L15_P	AT20
C8	B64_L3_N	AW21	D8	B64_L15_N	AT19
C9	GND	-	D9	GND	-
C10	B64_L12_P	AL20	D10	B64_L2_P	AU20
C11	B64_L12_N	AM20	D11	B64_L2_N	AV20
C12	GND	-	D12	GND	-
C13	B64_L11_P	AN21	D13	B64_L17_P	AU19
C14	B64_L11_N	AN20	D14	B64_L17_N	AU18
C15	GND	-	D15	GND	-
C16	B64_L20_P	AL19	D16	B64_L4_P	AW20
C17	B64_L20_N	AM19	D17	B64_L4_N	AW19
C18	GND	-	D18	GND	-
C19	B64_L13_P	AP19	D19	B64_L6_P	AV18
C20	B64_L13_N	AR19	D20	B64_L6_N	AW18

C21	GND	-	D21	GND	-
C22	B64_L14_P	AN18	D22	B64_L16_P	AT17
C23	B64_L14_N	AP18	D23	B64_L16_N	AU17
C24	GND	-	D24	GND	-
C25	B64_L24_P	AM18	D25	B64_L18_P	AR18
C26	B64_L24_N	AM17	D26	B64_L18_N	AR17
C27	GND	-	D27	GND	-
C28	B64_L22_P	AK19	D28	B64_L23_P	AH18
C29	B64_L22_N	AK18	D29	B64_L23_N	AJ18
C30	GND	-	D30	GND	-
C31	GND	-	D31	GND	-
C32	MGT224_CLK0_P	AM10	D32	MGT224_CLK1_P	AK10
C33	MGT224_CLK0_N	AM9	D33	MGT224_CLK1_N	AK9
C34	GND	-	D34	GND	-
C35	MGT224_RX3_P	AT2	D35	MGT224_TX3_P	AT6
C36	MGT224_RX3_N	AT1	D36	MGT224_TX3_N	AT5
C37	GND	-	D37	GND	-
C38	MGT224_RX2_P	AU4	D38	MGT224_TX2_P	AU8
C39	MGT224_RX2_N	AU3	D39	MGT224_TX2_N	AU7
C40	GND	-	D40	GND	-
C41	MGT224_RX0_P	AW4	D41	MGT224_TX0_P	AW8
C42	MGT224_RX0_N	AW3	D42	MGT224_TX0_N	AW7
C43	GND	-	D43	GND	-
C44	MGT224_RX1_P	AV2	D44	MGT224_TX1_P	AV6
C45	MGT224_RX1_N	AV1	D45	MGT224_TX1_N	AV5
C46	GND	-	D46	GND	-
C47	MGT226_CLK0_P	AG12	D47	MGT226_CLK1_P	AF10
C48	MGT226_CLK0_N	AG11	D48	MGT226_CLK1_N	AF9
C49	GND	-	D49	GND	-
C50	MGT226_RX0_P	AL4	D50	MGT226_TX0_P	AL8
C51	MGT226_RX0_N	AL3	D51	MGT226_TX0_N	AL7
C52	GND	-	D52	GND	-

C53	MGT226_RX1_P	AK2	D53	MGT226_TX1_P	AK6
C54	MGT226_RX1_N	AK1	D54	MGT226_TX1_N	AK5
C55	GND	-	D55	GND	-
C56	MGT226_RX2_P	AJ4	D56	MGT226_TX2_P	AJ8
C57	MGT226_RX2_N	AJ3	D57	MGT226_TX2_N	AJ7
C58	GND	-	D58	GND	-
C59	MGT226_RX3_P	AH2	D59	MGT226_TX3_P	AH6
C60	MGT226_RX3_N	AH1	D60	MGT226_TX3_N	AH5

### J3 连接器的引脚分配

J3 管脚	信号名称	FPGA 引脚号	J3 管脚	信号名称	FPGA 引脚号
A1	+12V	-	B1	+12V	-
A2	+12V	-	B2	+12V	-
A3	GND	-	B3	GND	-
A4	FMC1_VREF_A_M2C_1	M27	B4	VCCIO_71	B18、 E17、 H16
A5	VCCAUX_PG	-	B5	FMC1_VREF_A_M2C_2	M24
A6	GND	-	B6	GND	-
A7	MGT131_RX3_P	J38	B7	MGT131_TX3_P	E33
A8	MGT131_RX3_N	J39	B8	MGT131_TX3_N	E34
A9	GND	-	B9	GND	-
A10	MGT131_RX2_P	K36	B10	MGT131_TX2_P	F35
A11	MGT131_RX2_N	K37	B11	MGT131_TX2_N	F36
A12	GND	-	B12	GND	-
A13	MGT131_RX1_P	L38	B13	MGT131_TX1_P	G33
A14	MGT131_RX1_N	L39	B14	MGT131_TX1_N	G34
A15	GND	-	B15	GND	-
A16	MGT131_RX0_P	M36	B16	MGT131_TX0_P	J33
A17	MGT131_RX0_N	M37	B17	MGT131_TX0_N	J34

A18	GND	-	B18	GND	-
A19	MGT131_CLK0_P	T27	B19	MGT131_CLK1_P	R29
A20	MGT131_CLK0_N	T28	B20	MGT131_CLK1_N	R30
A21	GND	-	B21	GND	-
A22	MGT129_RX3_P	U38	B22	MGT129_TX3_P	R33
A23	MGT129_RX3_N	U39	B23	MGT129_TX3_N	R34
A24	GND	-	B24	GND	-
A25	MGT129_RX2_P	V36	B25	MGT129_TX2_P	T31
A26	MGT129_RX2_N	V37	B26	MGT129_TX2_N	T32
A27	GND	-	B27	GND	-
A28	MGT129_RX1_P	W38	B28	MGT129_TX1_P	U33
A29	MGT129_RX1_N	W39	B29	MGT129_TX1_N	U34
A30	GND	-	B30	GND	-
A31	MGT129_RX0_P	Y36	B31	MGT129_TX0_P	V31
A32	MGT129_RX0_N	Y37	B32	MGT129_TX0_N	V32
A33	GND	-	B33	GND	-
A34	MGT129_CLK0_P	Y27	B34	MGT129_CLK1_P	W29
A35	MGT129_CLK0_N	Y28	B35	MGT129_CLK1_N	W30
A36	GND	-	B36	GND	-
A37	MGT127_CLK0_P	AE29	B37	MGT127_CLK1_P	AC29
A38	MGT127_CLK0_N	AE30	B38	MGT127_CLK1_N	AC30
A39	GND	-	B39	GND	-
A40	MGT127_RX3_P	AE38	B40	MGT127_TX3_P	AC33
A41	MGT127_RX3_N	AE39	B41	MGT127_TX3_N	AC34
A42	GND	-	B42	GND	-
A43	MGT127_RX2_P	AF36	B43	MGT127_TX2_P	AD31
A44	MGT127_RX2_N	AF37	B44	MGT127_TX2_N	AD32
A45	GND	-	B45	GND	-
A46	MGT127_RX1_P	AG38	B46	MGT127_TX1_P	AE33
A47	MGT127_RX1_N	AG39	B47	MGT127_TX1_N	AE34
A48	GND	-	B48	GND	-
A49	MGT127_RX0_P	AH36	B49	MGT127_TX0_P	AF31

A50	MGT127_RX0_N	AH37	B50	MGT127_TX0_N	AF32
A51	GND	-	B51	GND	-
A52	FMC2_VREF_A_M2C_1	AH20	B52	NC	-
A53	FMC2_VREF_A_M2C_2	AH16	B53	NC	-
A54	GND	-	B54	GND	-
A55	NC	-	B55	NC	-
A56	NC	-	B56	NC	-
A57	GND	-	B57	GND	-
A58	NC	-	B58	NC	-
A59	NC	-	B59	NC	-
A60	GND	-	B60	GND	-

J3 管脚	信号名称	FPGA 引脚号	J3 管脚	信号名称	FPGA 引脚号
C1	+12V	-	D1	+12V	-
C2	+12V	-	D2	+12V	-
C3	GND	-	D3	GND	-
C4	VCCIO_70	B23、 E22、H21	D4	VCCIO_69	B28、E27、 H26
C5	FMC1_VREF_A_M 2C_3	M17	D5	NC	-
C6	GND	-	D6	GND	-
C7	MGT132_RX3_P	C38	D7	MGT132_TX3_P	A33
C8	MGT132_RX3_N	C39	D8	MGT132_TX3_N	A34
C9	GND	-	D9	GND	-
C10	MGT132_RX2_P	E38	D10	MGT132_TX2_P	B35
C11	MGT132_RX2_N	E39	D11	MGT132_TX2_N	B36
C12	GND	-	D12	GND	-
C13	MGT132_RX1_P	G38	D13	MGT132_TX1_P	C33
C14	MGT132_RX1_N	G39	D14	MGT132_TX1_N	C34

C15	GND	-	D15	GND	-
C16	MGT132_RX0_P	H36	D16	MGT132_TX0_P	D35
C17	MGT132_RX0_N	H37	D17	MGT132_TX0_N	D36
C18	GND	-	D18	GND	-
C19	MGT132_CLK0_P	P27	D19	MGT132_CLK1_P	N29
C20	MGT132_CLK0_N	P28	D20	MGT132_CLK1_N	N30
C21	GND	-	D21	GND	-
C22	MGT130_RX3_P	N38	D22	MGT130_TX3_P	L33
C23	MGT130_RX3_N	N39	D23	MGT130_TX3_N	L34
C24	GND	-	D24	GND	-
C25	MGT130_RX2_P	P36	D25	MGT130_TX2_P	M31
C26	MGT130_RX2_N	P37	D26	MGT130_TX2_N	M32
C27	GND	-	D27	GND	-
C28	MGT130_RX1_P	R38	D28	MGT130_TX1_P	N33
C29	MGT130_RX1_N	R39	D29	MGT130_TX1_N	N34
C30	GND	-	D30	GND	-
C31	MGT130_RX0_P	T36	D31	MGT130_TX0_P	P31
C32	MGT130_RX0_N	T37	D32	MGT130_TX0_N	P32
C33	GND	-	D33	GND	-
C34	MGT130_CLK0_P	V27	D34	MGT130_CLK1_P	U29
C35	MGT130_CLK0_N	V28	D35	MGT130_CLK1_N	U30
C36	GND	-	D36	GND	-
C37	MGT128_CLK0_P	AB27	D37	MGT128_CLK1_P	AA29
C38	MGT128_CLK0_N	AB28	D38	MGT128_CLK1_N	AA30
C39	GND	-	D39	GND	-
C40	MGT128_RX3_P	AA38	D40	MGT128_TX3_P	W33
C41	MGT128_RX3_N	AA39	D41	MGT128_TX3_N	W34
C42	GND	-	D42	GND	-
C43	MGT128_RX2_P	AB36	D43	MGT128_TX2_P	Y31
C44	MGT128_RX2_N	AB37	D44	MGT128_TX2_N	Y32
C45	GND	-	D45	GND	-
C46	MGT128_RX1_P	AC38	D46	MGT128_TX1_P	AA33

C47	MGT128_RX1_N	AC39	D47	MGT128_TX1_N	AA34
C48	GND	-	D48	GND	-
C49	MGT128_RX0_P	AD36	D49	MGT128_TX0_P	AB31
C50	MGT128_RX0_N	AD37	D50	MGT128_TX0_N	AB32
C51	GND	-	D51	GND	-
C52	NC	-	D52	NC	-
C53	NC	-	D53	NC	-
C54	GND	-	D54	GND	-
C55	NC	-	D55	NC	-
C56	NC	-	D56	NC	-
C57	GND	-	D57	GND	-
C58	NC	-	D58	NC	-
C59	NC	-	D59	NC	-
C60	GND	-	D60	GND	-

#### J4 连接器的引脚分配

J4 管脚	信号名称	FPGA 引脚号	J4 管脚	信号名称	FPGA 引脚号
A1	VCCO_90_91_93_94	E2、F5、 B8、F10、 K12、 N11、 B13、G13	B1	POWER_SCL	-
A2	GND	-	B2	GND	-
A3	B94_L9_N	C12	B3	B94_L6_N	E11
A4	B94_L9_P	D12	B4	B94_L6_P	F11
A5	B94_L8_N	D13	B5	B94_L7_N	F12
A6	B94_L8_P	E13	B6	B94_L7_P	F13
A7	GND	-	B7	GND	-
A8	B71_L1_N	M15	B8	B71_L10_N	F14
A9	B71_L1_P	M16	B9	B71_L10_P	G15
A10	GND	-	B10	GND	-

A11	B71_L18_N	D15	B11	B71_L4_N	L16
A12	B71_L18_P	D16	B12	B71_L4_P	L17
A13	GND	-	B13	GND	-
A14	B71_L6_N	K14	B14	B71_L5_N	J16
A15	B71_L6_P	K15	B15	B71_L5_P	K16
A16	GND	-	B16	GND	-
A17	B71_L14_N	F16	B17	B71_L11_N	G16
A18	B71_L14_P	F17	B18	B71_L11_P	G17
A19	GND	-	B19	GND	-
A20	B70_L11_N	F21	B20	B70_L20_N	B20
A21	B70_L11_P	G21	B21	B70_L20_P	C20
A22	GND	-	B22	GND	-
A23	B70_L2_N	M20	B23	B70_L18_N	D20
A24	B70_L2_P	M19	B24	B70_L18_P	E20
A25	GND	-	B25	GND	-
A26	B70_L6_N	K21	B26	B70_L1_N	M22
A27	B70_L6_P	K20	B27	B70_L1_P	M21
A28	GND	-	B28	GND	-
A29	B70_L7_N	H22	B29	B70_L8_N	J21
A30	B70_L7_P	J22	B30	B70_L8_P	J20
A31	GND	-	B31	GND	-
A32	B70_L4_N	L22	B32	B70_L17_N	D21
A33	B70_L4_P	L21	B33	B70_L17_P	E21
A34	GND	-	B34	GND	-
A35	B70_L3_N	L24	B35	B70_L16_N	D23
A36	B70_L3_P	L23	B36	B70_L16_P	D22
A37	GND	-	B37	GND	-
A38	B70_L14_N	E24	B38	B70_L15_N	D25
A39	B70_L14_P	E23	B39	B70_L15_P	E25
A40	GND	-	B40	GND	-
A41	B70_L13_N	F24	B41	B70_L9_N	G24
A42	B70_L13_P	F23	B42	B70_L9_P	H24



A43	GND	-	B43	GND	-
A44	B69_L3_N	L27	B44	B69_L1_N	M26
A45	B69_L3_P	L26	B45	B69_L1_P	M25
A46	GND	-	B46	GND	-
A47	B69_L5_N	J26	B47	B69_L4_N	H25
A48	B69_L5_P	K26	B48	B69_L4_P	J25
A49	GND	-	B49	GND	-
A50	B69_L2_N	H27	B50	B69_L11_N	F27
A51	B69_L2_P	J27	B51	B69_L11_P	G27
A52	GND	-	B52	GND	-
A53	B69_L24_N	A29	B53	B69_L9_N	H28
A54	B69_L24_P	A28	B54	B69_L9_P	J28
A55	GND	-	B55	GND	-
A56	B69_L16_N	D30	B56	B69_L8_N	H30
A57	B69_L16_P	E30	B57	B69_L8_P	H29
A58	GND	-	B58	GND	-
A59	B69_L15_N	D31	B59	B69_L7_N	J31
A60	B69_L15_P	E31	B60	B69_L7_P	J30

J4 管脚	信号名称	FPGA 引脚号	J4 管脚	信号名称	FPGA 引脚号
C1	POWER_SDA	-	D1	POWER_ALT	-
C2	GND	-	D2	GND	-
C3	B94_L4_N	G10	D3	B94_L2_N	J10
C4	B94_L4_P	H10	D4	B94_L2_P	J11
C5	B94_L1_N	J12	D5	B94_L3_N	H12
C6	B94_L1_P	J13	D6	B94_L3_P	H13
C7	GND	-	D7	GND	-
C8	B71_L16_N	E15	D8	B71_L24_N	A16

C9	B71_L16_P	E16	D9	B71_L24_P	B17
C10	GND	-	D10	GND	-
C11	B71_L20_N	C14	D11	B71_L23_N	A17
C12	B71_L20_P	C15	D12	B71_L23_P	A18
C13	GND	-	D13	GND	-
C14	B71_L22_N	B15	D14	B71_L9_N	G14
C15	B71_L22_P	B16	D15	B71_L9_P	H14
C16	GND	-	D16	GND	-
C17	B71_L7_N	H15	D17	B71_L8_N	H17
C18	B71_L7_P	J15	D18	B71_L8_P	H18
C19	GND	-	D19	GND	-
C20	B71_L13_N	F18	D20	B71_L12_N	G19
C21	B71_L13_P	F19	D21	B71_L12_P	H19
C22	GND	-	D22	GND	-
C23	B71_L3_N	K18	D23	B71_L19_N	C17
C24	B71_L3_P	L18	D24	B71_L19_P	C18
C25	GND	-	D25	GND	-
C26	B71_L21_N	A19	D26	B71_L17_N	D17
C27	B71_L21_P	B19	D27	B71_L17_P	D18
C28	GND	-	D28	GND	-
C29	B71_L2_N	K19	D29	B71_L15_N	E18
C30	B71_L2_P	L19	D30	B71_L15_P	E19
C31	GND	-	D31	GND	-
C32	B70_L10_N	G20	D32	B70_L21_N	A21
C33	B70_L10_P	H20	D33	B70_L21_P	B21
C34	GND	-	D34	GND	-
C35	B70_L12_N	F22	D35	B70_L22_N	A22
C36	B70_L12_P	G22	D36	B70_L22_P	B22
C37	GND	-	D37	GND	-
C38	B70_L24_N	A24	D38	B70_L5_N	K24
C39	B70_L24_P	A23	D39	B70_L5_P	K23
C40	GND	-	D40	GND	-

C41	B70_L19_N	C23	D41	B70_L23_N	B25
C42	B70_L19_P	C22	D42	B70_L23_P	B24
C43	GND	-	D43	GND	-
C44	B69_L6_N	G26	D44	B69_L13_N	F29
C45	B69_L6_P	G25	D45	B69_L13_P	F28
C46	GND	-	D46	GND	-
C47	B69_L17_N	D26	D47	B69_L14_N	E29
C48	B69_L17_P	E26	D48	B69_L14_P	E28
C49	GND	-	D49	GND	-
C50	B69_L18_N	D28	D50	B69_L22_N	A27
C51	B69_L18_P	D27	D51	B69_L22_P	B27
C52	GND	-	D52	GND	-
C53	B69_L20_N	C28	D53	B69_L19_N	B29
C54	B69_L20_P	C27	D54	B69_L19_P	C29
C55	GND	-	D55	GND	-
C56	B69_L12_N	G30	D56	B69_L23_N	A26
C57	B69_L12_P	G29	D57	B69_L23_P	B26
C58	GND	-	D58	GND	-
C59	B69_L10_N	F31	D59	B69_L21_N	A31
C60	B69_L10_P	G31	D60	B69_L21_P	B31

## 三、 扩展板

### (一)简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- PCIe3.0 x16 接口
- 1 路千兆网接口
- 2 路 FMC HPC 接口
- 2 路 MIPI 输入接口
- USB Uart 接口
- Micro SD 卡座
- 2 路 STATA 接口
- 40 针扩展口
- JTAG 调试口
- LED 灯
- 按键

### (二) PCIe 插槽

AXKU15 扩展板上有一个 PCIe x16 的接口，支持 PCIe Gen3.0 协议，8 对收发器连接到 PCIEx16 的金手指上进行数据通信。

PCIe 接口的收发信号直接跟 FPGA BANK228~231 收发器相连接，16 路 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA 的收发器上，单通道通信速率可高达 8G bit 带宽。

开发板的 PCIe 接口的设计示意图如下图 3-2-1 所示,其中 TX 发送信号用 AC 耦合模式连接。

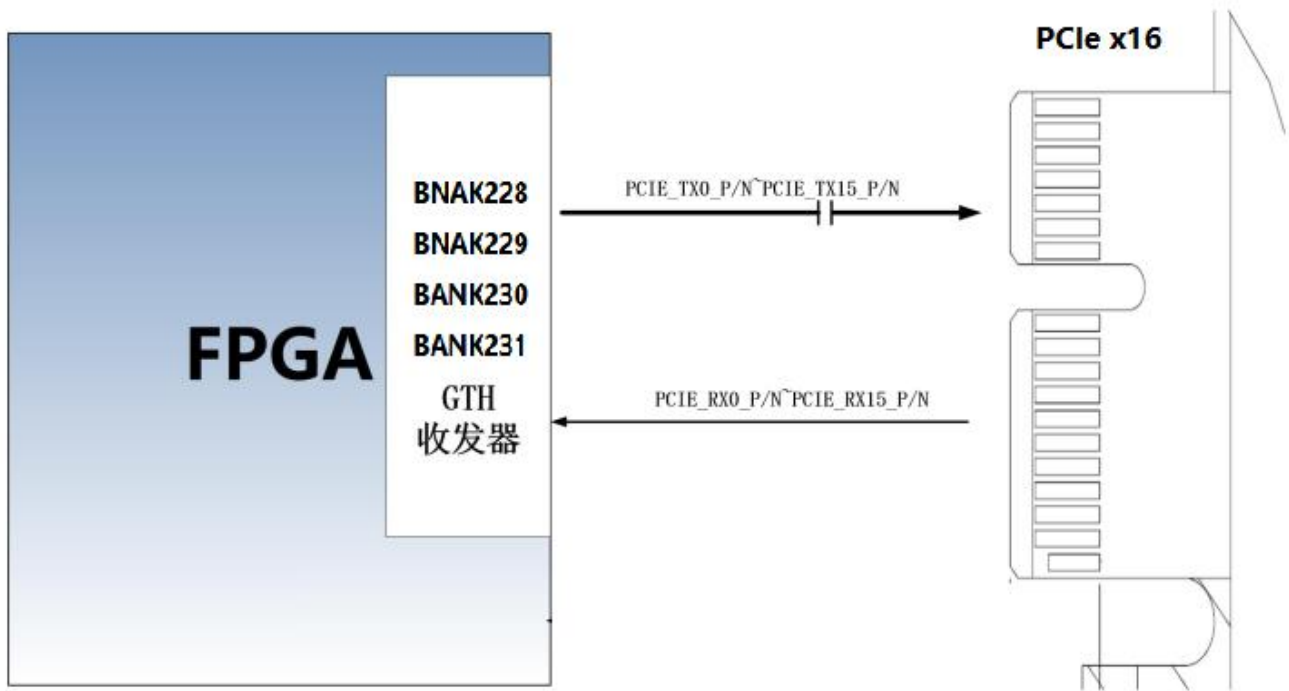


图 3-2-1 PCIe 插槽设计示意图

PCIe x16 接口 FPGA 引脚分配如下:

信号名称	FPGA 引脚名	引脚号	备注
PCIE_RX0_P	MGT231_RX3_P	H2	PCIe 通道 0 数据接收正
PCIE_RX0_N	MGT231_RX3_N	H1	PCIe 通道 0 数据接收负
PCIE_RX1_P	MGT231_RX2_P	J4	PCIe 通道 1 数据接收正
PCIE_RX1_N	MGT231_RX2_N	J3	PCIe 通道 1 数据接收负
PCIE_RX2_P	MGT231_RX1_P	K2	PCIe 通道 2 数据接收正
PCIE_RX2_N	MGT231_RX1_N	K1	PCIe 通道 2 数据接收负
PCIE_RX3_P	MGT231_RX0_P	L4	PCIe 通道 3 数据接收正
PCIE_RX3_N	MGT231_RX0_N	L3	PCIe 通道 3 数据接收负
PCIE_RX4_P	MGT230_RX3_P	M2	PCIe 通道 4 数据接收正
PCIE_RX4_N	MGT230_RX3_N	M1	PCIe 通道 4 数据接收负
PCIE_RX5_P	MGT230_RX2_P	N4	PCIe 通道 5 数据接收正
PCIE_RX5_N	MGT230_RX2_N	N3	PCIe 通道 5 数据接收负
PCIE_RX6_P	MGT230_RX1_P	P2	PCIe 通道 6 数据接收正
PCIE_RX6_N	MGT230_RX1_N	P1	PCIe 通道 6 数据接收负
PCIE_RX7_P	MGT230_RX0_P	R4	PCIe 通道 7 数据接收正
PCIE_RX7_N	MGT230_RX0_N	R3	PCIe 通道 7 数据接收负

PCIE_RX8_P	MGT229_RX3_P	T2	PCIE 通道 8 数据发送正
PCIE_RX8_N	MGT229_RX3_N	T1	PCIE 通道 8 数据发送负
PCIE_RX9_P	MGT229_RX2_P	U4	PCIE 通道 9 数据发送正
PCIE_RX9_N	MGT229_RX2_N	U3	PCIE 通道 9 数据发送负
PCIE_RX10_P	MGT229_RX1_P	V2	PCIE 通道 10 数据发送正
PCIE_RX10_N	MGT229_RX1_N	V1	PCIE 通道 10 数据发送负
PCIE_RX11_P	MGT229_RX0_P	W4	PCIE 通道 11 数据发送正
PCIE_RX11_N	MGT229_RX0_N	W3	PCIE 通道 11 数据发送负
PCIE_RX12_P	MGT228_RX3_P	Y2	PCIE 通道 12 数据发送正
PCIE_RX12_N	MGT228_RX3_N	Y1	PCIE 通道 12 数据发送负
PCIE_RX13_P	MGT228_RX2_P	AA4	PCIE 通道 13 数据发送正
PCIE_RX13_N	MGT228_RX2_N	AA3	PCIE 通道 13 数据发送负
PCIE_RX14_P	MGT228_RX1_P	AB2	PCIE 通道 14 数据发送正
PCIE_RX14_N	MGT228_RX1_N	AB1	PCIE 通道 14 数据发送负
PCIE_RX15_P	MGT228_RX0_P	AC4	PCIE 通道 15 数据发送正
PCIE_RX15_N	MGT228_RX0_N	AC3	PCIE 通道 15 数据发送负
PCIE_TX0_P	MGT231_TX3_P	H6	PCIE 通道 0 数据发送正
PCIE_TX0_N	MGT231_TX3_N	H5	PCIE 通道 0 数据发送负
PCIE_TX1_P	MGT231_TX2_P	J8	PCIE 通道 1 数据发送正
PCIE_TX1_N	MGT231_TX2_N	J7	PCIE 通道 1 数据发送负
PCIE_TX2_P	MGT231_TX1_P	K6	PCIE 通道 2 数据发送正
PCIE_TX2_N	MGT231_TX1_N	K5	PCIE 通道 2 数据发送负
PCIE_TX3_P	MGT231_TX0_P	L8	PCIE 通道 3 数据发送正
PCIE_TX3_N	MGT231_TX0_N	L7	PCIE 通道 3 数据发送负
PCIE_TX4_P	MGT230_TX3_P	M6	PCIE 通道 4 数据发送正
PCIE_TX4_N	MGT230_TX3_N	M5	PCIE 通道 4 数据发送负
PCIE_TX5_P	MGT230_TX2_P	N8	PCIE 通道 5 数据发送正
PCIE_TX5_N	MGT230_TX2_N	N7	PCIE 通道 5 数据发送负
PCIE_TX6_P	MGT230_TX1_P	P6	PCIE 通道 6 数据发送正
PCIE_TX6_N	MGT230_TX1_N	P5	PCIE 通道 6 数据发送负
PCIE_TX7_P	MGT230_TX0_P	R8	PCIE 通道 7 数据发送正
PCIE_TX7_N	MGT230_TX0_N	R7	PCIE 通道 7 数据发送负

PCIE_TX8_P	MGT229_TX3_P	T6	PCIE 通道 8 数据发送正
PCIE_TX8_N	MGT229_TX3_N	T5	PCIE 通道 8 数据发送负
PCIE_TX9_P	MGT229_TX2_P	U8	PCIE 通道 9 数据发送正
PCIE_TX9_N	MGT229_TX2_N	U7	PCIE 通道 9 数据发送负
PCIE_TX10_P	MGT229_TX1_P	V6	PCIE 通道 10 数据发送正
PCIE_TX10_N	MGT229_TX1_N	V5	PCIE 通道 10 数据发送负
PCIE_TX11_P	MGT229_TX0_P	W8	PCIE 通道 11 数据发送正
PCIE_TX11_N	MGT229_TX0_N	W7	PCIE 通道 11 数据发送负
PCIE_TX12_P	MGT228_TX3_P	Y6	PCIE 通道 12 数据发送正
PCIE_TX12_N	MGT228_TX3_N	Y5	PCIE 通道 12 数据发送负
PCIE_TX13_P	MGT228_TX2_P	AA8	PCIE 通道 13 数据发送正
PCIE_TX13_N	MGT228_TX2_N	AA7	PCIE 通道 13 数据发送负
PCIE_TX14_P	MGT228_TX1_P	AB6	PCIE 通道 14 数据发送正
PCIE_TX14_N	MGT228_TX1_N	AB5	PCIE 通道 14 数据发送负
PCIE_TX15_P	MGT228_TX0_P	AC8	PCIE 通道 15 数据发送正
PCIE_TX15_N	MGT228_TX0_N	AC7	PCIE 通道 15 数据发送负
PCIE_CLK_P	MGT229_CLK0_P	AA12	PCIE 通道参考时钟正
PCIE_CLK_N	MGT229_CLK0_N	AA11	PCIE 通道参考时钟负
FPGA_PCIE_PERST_n	B65_T3U	AP10	PCIE 复位信号

### (三) 千兆网接口

开发板上通过一片 JL21221D 以太网 PHY 芯片为用户提供网络通信服务。以太网 PHY 芯片是连接到 FPGA 的 IO 接口上。JL21221D 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 FPGA 进行数据通信。JL21221D 芯片支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL21221D 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 3-2-1 描述了 GPHY 芯片上电之后的默认设定信息。

表 3-2-1 PHY 芯片默认配置值

配置 Pin 脚	说明	配置值
RXD3_ADR0 RXC_ADR1	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001

RXCTL_ADR2		
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

当网络连接到千兆以太网时，FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 3-3-1 为 FPGA 与以太网 PHY 芯片连接示意图：

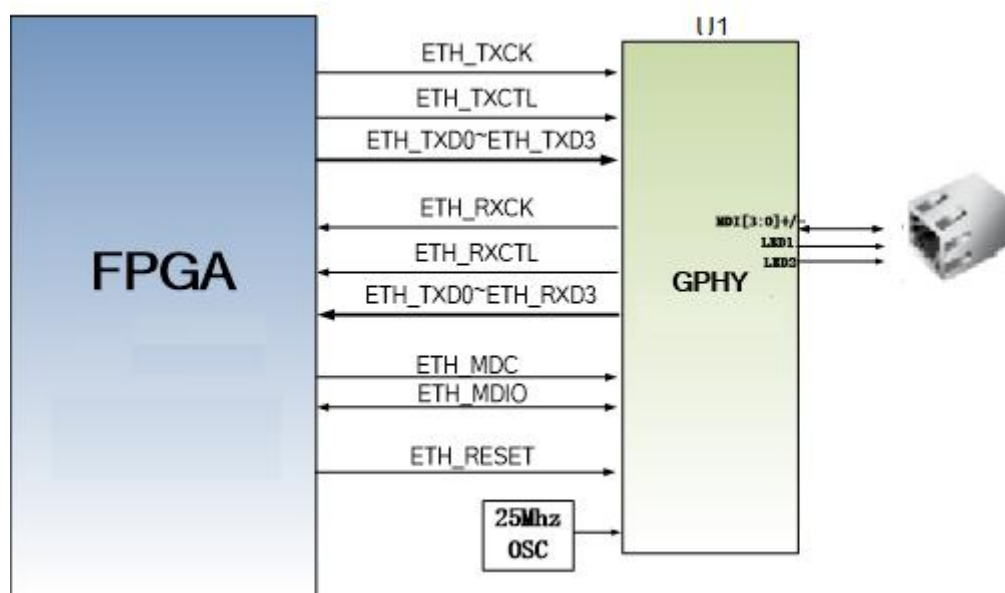


图 3-3-1 千兆网接口连接原理图

图 3-3-2 为以太网 PHY 芯片的实物图

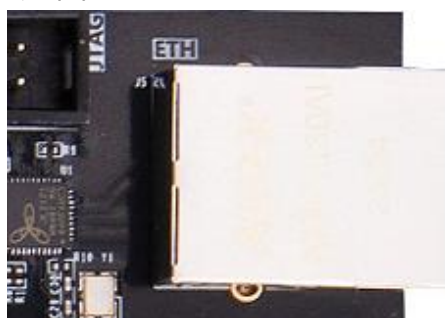


图 3-3-2 以太网 PHY 芯片实物图

以太网 PHY 的 FPGA 引脚分配如下：

信号名称	FPGA 引脚名	FPGA 引脚号	备注
ETH_MDC	B65_L1_N	AW10	MDIO 管理时钟



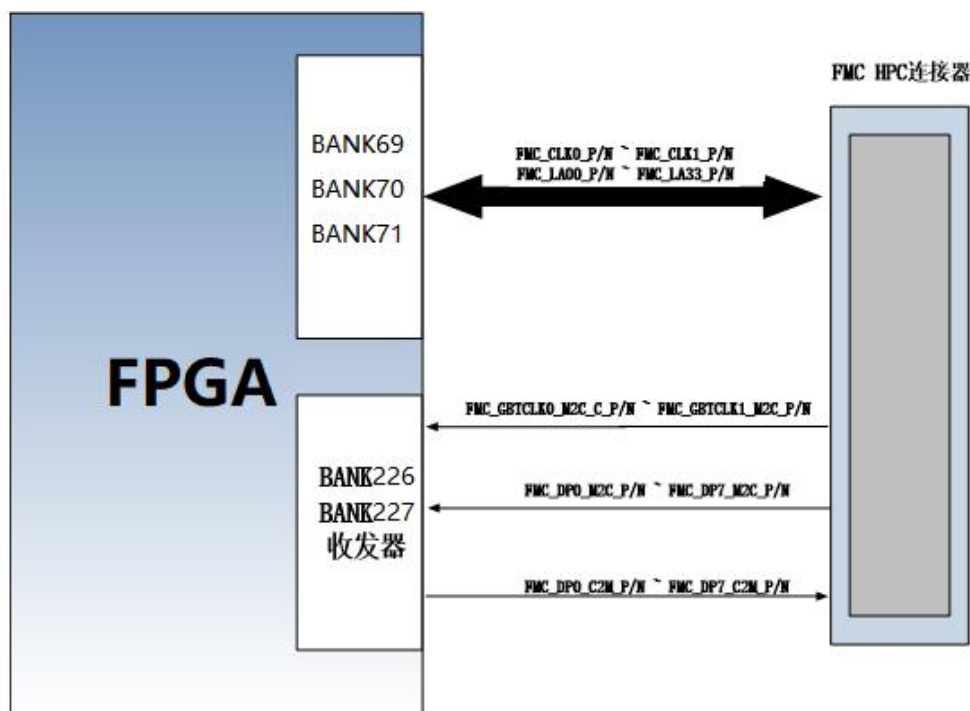
ETH_MDIO	B65_L1_P	AW11	MDIO 管理数据
ETH_RESET	B64_L24_P	AM18	PHY 芯片复位
ETH_RXCK	B65_L16_P	AK17	RGMII 接收时钟
ETH_RXCTL	B65_L16_N	AL17	接收数据有效信号
ETH_RXD0	B65_L18_N	AL16	接收数据 Bit0
ETH_RXD1	B65_L18_P	AK16	接收数据 Bit1
ETH_RXD2	B65_L20_N	AP13	接收数据 Bit2
ETH_RXD3	B65_L20_P	AN13	接收数据 Bit3
ETH_TXCK	B65_L23_P	AP11	RGMII 发送时钟
ETH_TXCTL	B65_L23_N	AR11	发送使能信号
ETH_TXD0	B65_L15_P	AJ14	发送数据 bit0
ETH_TXD1	B65_L15_N	AK14	发送数据 bit1
ETH_TXD2	B65_L6_P	AU14	发送数据 bit2
ETH_TXD3	B65_L6_N	AU13	发送数据 bit3

#### (四) FMCHPC 接口

开发板带有 2 路 FMC HPC 扩展口，分别为 FMC1 (J12) 和 FMC2 (J13)，可以外接 XILINX 或者我们黑金的各种 FMC 模块（HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等）。

FMC1 扩展口包含 34 对 LA 信号差分对、2 对时钟信号及 24 对 HA 信号，分别连接 FPGA 芯片 BANK69，BANK70，BANK71，电平标准默认为 1.8V。8 路高速 GTH 收发信号连接 FPGA 芯片 BANK226，BANK227 的 IO 上。

FPGA 和 FMC HPC 连接器的原理图如图 3-4-1 所示：



FMC HPC J12 连接器引脚分配如下:

信号名	FPGA 引脚名	FPGA 引脚号	备注
FMC1_CLK0_N	B70_L11_N	F21	FMC 第 0 路输入参考时钟 N
FMC1_CLK0_P	B70_L11_P	G21	FMC 第 0 路输入参考时钟 P
FMC1_CLK1_N	B69_L12_N	G30	FMC 第 1 路输入参考时钟 N
FMC1_CLK1_P	B69_L12_P	G29	FMC 第 1 路输入参考时钟 P
FMC1_LA00_CC_N	B70_L14_N	E24	FMC LA 第 0 路数据 (时钟) N
FMC1_LA00_CC_P	B70_L14_P	E23	FMC LA 第 0 路数据 (时钟) P
FMC1_LA01_CC_N	B70_L13_N	F24	FMC LA 第 1 路数据 (时钟) N
FMC1_LA01_CC_P	B70_L13_P	F23	FMC LA 第 1 路数据 (时钟) P
FMC1_LA02_N	B70_L17_N	D21	FMC LA 第 2 路数据 N
FMC1_LA02_P	B70_L17_P	E21	FMC LA 第 2 路数据 P
FMC1_LA03_N	B70_L24_N	A24	FMC LA 第 3 路数据 N
FMC1_LA03_P	B70_L24_P	A23	FMC LA 第 3 路数据 P
FMC1_LA04_N	B70_L12_N	F22	FMC LA 第 4 路数据 N
FMC1_LA04_P	B70_L12_P	G22	FMC LA 第 4 路数据 P
FMC1_LA05_N	B70_L6_N	K21	FMC LA 第 5 路数据 N
FMC1_LA05_P	B70_L6_P	K20	FMC LA 第 5 路数据 P
FMC1_LA06_N	B70_L5_N	K24	FMC LA 第 6 路数据 P
FMC1_LA06_P	B70_L5_P	K23	FMC LA 第 6 路数据 P

FMC1_LA07_N	B70_L4_N	L22	FMC LA 第 7 路数据 N
FMC1_LA07_P	B70_L4_P	L21	FMC LA 第 7 路数据 P
FMC1_LA08_N	B70_L3_N	L24	FMC LA 第 8 路数据 N
FMC1_LA08_P	B70_L3_P	L23	FMC LA 第 8 路数据 P
FMC1_LA09_N	B70_L2_N	M20	FMC LA 第 9 路数据 N
FMC1_LA09_P	B70_L2_P	M19	FMC LA 第 9 路数据 P
FMC1_LA10_N	B70_L18_N	D20	FMC LA 第 10 路数据 N
FMC1_LA10_P	B70_L18_P	E20	FMC LA 第 10 路数据 P
FMC1_LA11_N	B70_L23_N	B25	FMC LA 第 11 路数据 N
FMC1_LA11_P	B70_L23_P	B24	FMC LA 第 11 路数据 P
FMC1_LA12_N	B70_L1_N	M22	FMC LA 第 12 路数据 N
FMC1_LA12_P	B70_L1_P	M21	FMC LA 第 12 路数据 P
FMC1_LA13_N	B70_L21_N	A21	FMC LA 第 13 路数据 N
FMC1_LA13_P	B70_L21_P	B21	FMC LA 第 13 路数据 P
FMC1_LA14_N	B70_L19_N	C23	FMC LA 第 14 路数据 N
FMC1_LA14_P	B70_L19_P	C22	FMC LA 第 14 路数据 P
FMC1_LA15_N	B70_L20_N	B20	FMC LA 第 15 路数据 N
FMC1_LA15_P	B70_L20_P	C20	FMC LA 第 15 路数据 P
FMC1_LA16_N	B70_L22_N	A22	FMC LA 第 16 路数据 N
FMC1_LA16_P	B70_L22_P	B22	FMC LA 第 16 路数据 P
FMC1_LA17_CC_N	B69_L14_N	E29	FMC LA 第 17 路数据 (时钟) N
FMC1_LA17_CC_P	B69_L14_P	E28	FMC LA 第 17 路数据 (时钟) P
FMC1_LA18_CC_N	B69_L13_N	F29	FMC LA 第 18 路数据 (时钟) N
FMC1_LA18_CC_P	B69_L13_P	F28	FMC LA 第 18 路数据 (时钟) P
FMC1_LA19_N	B70_L7_N	H22	FMC LA 第 19 路数据 N
FMC1_LA19_P	B70_L7_P	J22	FMC LA 第 19 路数据 P
FMC1_LA20_N	B69_L17_N	D26	FMC LA 第 20 路数据 N
FMC1_LA20_P	B69_L17_P	E26	FMC LA 第 20 路数据 P
FMC1_LA21_N	B69_L2_N	H27	FMC LA 第 21 路数据 N
FMC1_LA21_P	B69_L2_P	J27	FMC LA 第 21 路数据 P
FMC1_LA22_N	B69_L4_N	H25	FMC LA 第 22 路数据 N
FMC1_LA22_P	B69_L4_P	J25	FMC LA 第 22 路数据 P
FMC1_LA23_N	B69_L5_N	J26	FMC LA 第 23 路数据 N
FMC1_LA23_P	B69_L5_P	K26	FMC LA 第 23 路数据 P
FMC1_LA24_N	B69_L15_N	D31	FMC LA 第 24 路数据 N

FMC1_LA24_P	B69_L15_P	E31	FMC LA 第 24 路数据 P
FMC1_LA25_N	B70_L8_N	J21	FMC LA 第 25 路数据 N
FMC1_LA25_P	B70_L8_P	J20	FMC LA 第 25 路数据 P
FMC1_LA26_N	B69_L1_N	M26	FMC LA 第 26 路数据 N
FMC1_LA26_P	B69_L1_P	M25	FMC LA 第 26 路数据 P
FMC1_LA27_N	B69_L3_N	L27	FMC LA 第 27 路数据 N
FMC1_LA27_P	B69_L3_P	L26	FMC LA 第 27 路数据 P
FMC1_LA28_N	B69_L16_N	D30	FMC LA 第 28 路数据 N
FMC1_LA28_P	B69_L16_P	E30	FMC LA 第 28 路数据 P
FMC1_LA29_N	B69_L7_N	J31	FMC LA 第 29 路数据 N
FMC1_LA29_P	B69_L7_P	J30	FMC LA 第 29 路数据 P
FMC1_LA30_N	B69_L11_N	F27	FMC LA 第 30 路数据 N
FMC1_LA30_P	B69_L11_P	G27	FMC LA 第 30 路数据 P
FMC1_LA31_N	B69_L9_N	H28	FMC LA 第 31 路数据 N
FMC1_LA31_P	B69_L9_P	J28	FMC LA 第 31 路数据 P
FMC1_LA32_N	B69_L10_N	F31	FMC LA 第 32 路数据 N
FMC1_LA32_P	B69_L10_P	G31	FMC LA 第 32 路数据 P
FMC1_LA33_N	B69_L8_N	H30	FMC LA 第 33 路数据 N
FMC1_LA33_P	B69_L8_P	H29	FMC LA 第 33 路数据 P
FMC1_SCL	B90_L1_P	E5	FMC I2C 总线时钟
FMC1_SDA	B90_L1_N	E4	FMC I2C 总线数据
FMC1_HA00_CC_N	B71_L13_N	F18	FMC HA 第 0 路数据 (时钟) N
FMC1_HA00_CC_P	B71_L13_P	F19	FMC HA 第 0 路数据 (时钟) P
FMC1_HA01_CC_N	B71_L11_N	G16	FMC HA 第 1 路数据 (时钟) N
FMC1_HA01_CC_P	B71_L11_P	G17	FMC HA 第 1 路数据 (时钟) P
FMC1_HA02_N	B71_L21_N	A19	FMC HA 第 2 路数据 N
FMC1_HA02_P	B71_L21_P	B19	FMC HA 第 2 路数据 P
FMC1_HA03_N	B71_L12_N	G19	FMC HA 第 3 路数据 N
FMC1_HA03_P	B71_L12_P	H19	FMC HA 第 3 路数据 P
FMC1_HA04_N	B71_L22_N	B15	FMC HA 第 4 路数据 N
FMC1_HA04_P	B71_L22_P	B16	FMC HA 第 4 路数据 P
FMC1_HA05_N	B71_L19_N	C17	FMC HA 第 5 路数据 N
FMC1_HA05_P	B71_L19_P	C18	FMC HA 第 5 路数据 P
FMC1_HA06_N	B71_L9_N	G14	FMC HA 第 6 路数据 N
FMC1_HA06_P	B71_L9_P	H14	FMC HA 第 6 路数据 P

FMC1_HA07_N	B71_L6_N	K14	FMC HA 第 7 路数据 N
FMC1_HA07_P	B71_L6_P	K15	FMC HA 第 7 路数据 P
FMC1_HA08_N	B71_L15_N	E18	FMC HA 第 8 路数据 N
FMC1_HA08_P	B71_L15_P	E19	FMC HA 第 8 路数据 P
FMC1_HA09_N	B71_L17_N	D17	FMC HA 第 9 路数据 N
FMC1_HA09_P	B71_L17_P	D18	FMC HA 第 9 路数据 P
FMC1_HA10_N	B71_L8_N	H17	FMC HA 第 10 路数据 N
FMC1_HA10_P	B71_L8_P	H18	FMC HA 第 10 路数据 P
FMC1_HA11_N	B71_L16_N	E15	FMC HA 第 11 路数据 N
FMC1_HA11_P	B71_L16_P	E16	FMC HA 第 11 路数据 P
FMC1_HA12_N	B71_L18_N	D15	FMC HA 第 12 路数据 N
FMC1_HA12_P	B71_L18_P	D16	FMC HA 第 12 路数据 P
FMC1_HA13_N	B71_L10_N	F14	FMC HA 第 13 路数据 N
FMC1_HA13_P	B71_L10_P	G15	FMC HA 第 13 路数据 P
FMC1_HA14_N	B71_L23_N	A17	FMC HA 第 14 路数据 N
FMC1_HA14_P	B71_L23_P	A18	FMC HA 第 14 路数据 P
FMC1_HA15_N	B71_L24_N	A16	FMC HA 第 15 路数据 N
FMC1_HA15_P	B71_L24_P	B17	FMC HA 第 15 路数据 P
FMC1_HA16_N	B71_L20_N	C14	FMC HA 第 16 路数据 N
FMC1_HA16_P	B71_L20_P	C15	FMC HA 第 16 路数据 P
FMC1_HA17_CC_N	B71_L14_N	F16	FMC HA 第 17 路数据 (时钟) N
FMC1_HA17_CC_P	B71_L14_P	F17	FMC HA 第 17 路数据 (时钟) P
FMC1_HA18_N	B70_L9_N	G24	FMC HA 第 18 路数据 N
FMC1_HA18_P	B70_L9_P	H24	FMC HA 第 18 路数据 P
FMC1_HA19_N	B70_L10_N	G20	FMC HA 第 19 路数据 N
FMC1_HA19_P	B70_L10_P	H20	FMC HA 第 19 路数据 P
FMC1_HA20_N	B71_L7_N	H15	FMC HA 第 20 路数据 N
FMC1_HA20_P	B71_L7_P	J15	FMC HA 第 20 路数据 P
FMC1_HA21_N	B70_L15_N	D25	FMC HA 第 21 路数据 N
FMC1_HA21_P	B70_L15_P	E25	FMC HA 第 21 路数据 P
FMC1_HA22_N	B70_L16_N	D23	FMC HA 第 22 路数据 N
FMC1_HA22_P	B70_L16_P	D22	FMC HA 第 22 路数据 P
FMC1_HA23_N	B69_L24_N	A29	FMC HA 第 23 路数据 N
FMC1_HA23_P	B69_L24_P	A28	FMC HA 第 23 路数据 P
FMC1_HPC_GBTCLK0_M2C_C_P	MGT226_CLK0_P	AG12	收发器参考时钟 0 输入 P

FMC1_HPC_GBTCLK0_M2C_C_N	MGT226_CLK0_N	AG11	收发器参考时钟 0 输入 N
CLK7_P	MGT226_CLK1_P	AF10	收发器参考时钟 1 输入 P
CLK7_N	MGT226_CLK1_N	AF9	收发器参考时钟 1 输入 N
FMC1_DP0_M2C_P	MGT226_RX0_P	AL4	收发器数据 0 输入 P
FMC1_DP0_M2C_N	MGT226_RX0_N	AL3	收发器数据 0 输入 N
FMC1_DP1_M2C_P	MGT226_RX1_P	AK2	收发器数据 1 输入 P
FMC1_DP1_M2C_N	MGT226_RX1_N	AK1	收发器数据 1 输入 N
FMC1_DP2_M2C_P	MGT226_RX2_P	AJ4	收发器数据 2 输入 P
FMC1_DP2_M2C_N	MGT226_RX2_N	AJ3	收发器数据 2 输入 N
FMC1_DP3_M2C_P	MGT226_RX3_P	AH2	收发器数据 3 输入 P
FMC1_DP3_M2C_N	MGT226_RX3_N	AH1	收发器数据 3 输入 N
FMC1_DP4_M2C_P	MGT227_RX0_P	AG4	收发器数据 4 输入 P
FMC1_DP4_M2C_N	MGT227_RX0_N	AG3	收发器数据 4 输入 N
FMC1_DP5_M2C_P	MGT227_RX1_P	AF2	收发器数据 5 输入 P
FMC1_DP5_M2C_N	MGT227_RX1_N	AF1	收发器数据 5 输入 N
FMC1_DP6_M2C_P	MGT227_RX2_P	AE4	收发器数据 6 输入 P
FMC1_DP6_M2C_N	MGT227_RX2_N	AE3	收发器数据 6 输入 N
FMC1_DP7_M2C_P	MGT227_RX3_P	AD2	收发器数据 7 输入 P
FMC1_DP7_M2C_N	MGT227_RX3_N	AD1	收发器数据 7 输入 N
FMC1_DP0_C2M_P	MGT226_TX0_P	AL8	收发器数据 0 输出 P
FMC1_DP0_C2M_N	MGT226_TX0_N	AL7	收发器数据 0 输出 N
FMC1_DP1_C2M_P	MGT226_TX1_P	AK6	收发器数据 1 输出 P
FMC1_DP1_C2M_N	MGT226_TX1_N	AK5	收发器数据 1 输出 N
FMC1_DP2_C2M_P	MGT226_TX2_P	AJ8	收发器数据 2 输出 P
FMC1_DP2_C2M_N	MGT226_TX2_N	AJ7	收发器数据 2 输出 N
FMC1_DP3_C2M_P	MGT226_TX3_P	AH6	收发器数据 3 输出 P
FMC1_DP3_C2M_N	MGT226_TX3_N	AH5	收发器数据 3 输出 N
FMC1_DP4_C2M_P	MGT227_TX0_P	AG8	收发器数据 4 输出 P
FMC1_DP4_C2M_N	MGT227_TX0_N	AG7	收发器数据 4 输出 N
FMC1_DP5_C2M_P	MGT227_TX1_P	AF6	收发器数据 5 输出 P
FMC1_DP5_C2M_N	MGT227_TX1_N	AF5	收发器数据 5 输出 N
FMC1_DP6_C2M_P	MGT227_TX2_P	AE8	收发器数据 6 输出 P
FMC1_DP6_C2M_N	MGT227_TX2_N	AE7	收发器数据 6 输出 N
FMC1_DP7_C2M_P	MGT227_TX3_P	AD6	收发器数据 7 输出 P
FMC1_DP7_C2M_N	MGT227_TX3_N	AD5	收发器数据 7 输出 N



FMC1_HPC_GBTCLK1_M2C_C_P	MGT227_CLK0_P	AE12	收发器参考时钟 0 输入 P
FMC1_HPC_GBTCLK1_M2C_C_N	MGT227_CLK0_N	AE11	收发器参考时钟 0 输入 N
CLK2_P	MGT227_CLK1_P	AD10	收发器参考时钟 1 输入 P
CLK2_N	MGT227_CLK1_N	AD9	收发器参考时钟 1 输入 N

FMC2 扩展口包含 34 对 LA 信号差分对、2 对时钟信号，分别连接 FPGA 芯片 BANK64, BANK65，电平标准默认为 1.8V。8 路高速 GTH 收发信号连接 FPGA 芯片 BANK224, BANK225 的 IO 上。

FPGA 和 FMC HPC 连接器的原理图如图 3-4-2 所示：

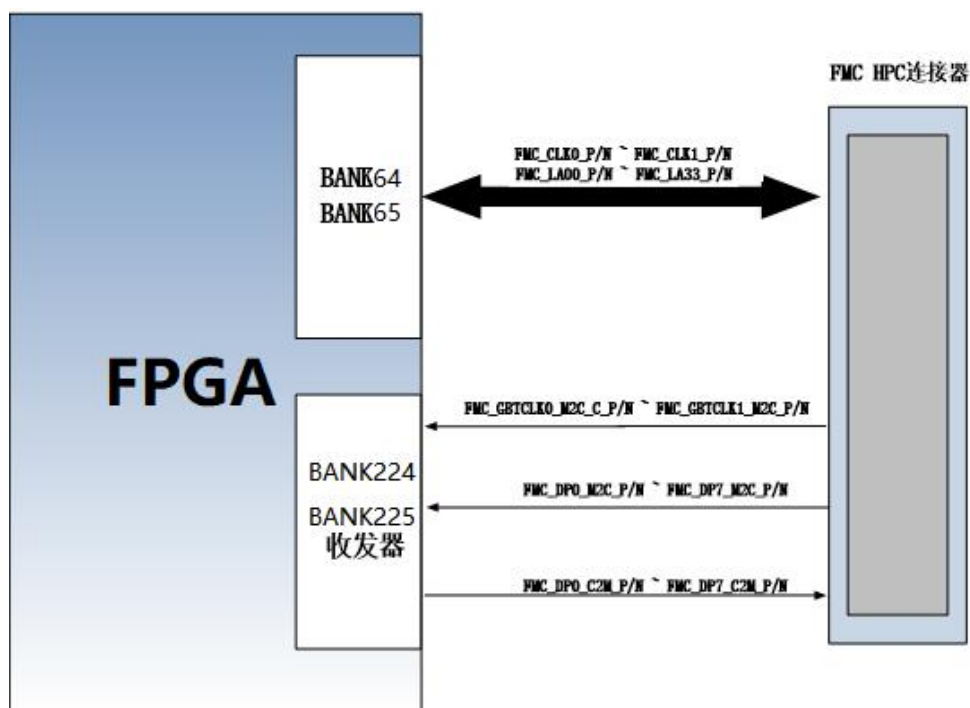


图 3-4-2 HPC FMC 连接示意图

FMC HPC J13 连接器引脚分配如下：

信号名	FPGA 引脚名	FPGA 引脚号	备注
FMC2_CLK0_M2C_N	B65_L12_N	AP14	FMC 第 0 路输入参考时钟 N
FMC2_CLK0_M2C_P	B65_L12_P	AP15	FMC 第 0 路输入参考时钟 P
FMC2_CLK1_M2C_N	B64_L12_N	AM20	FMC 第 1 路输入参考时钟 N
FMC2_CLK1_M2C_P	B64_L12_P	AL20	FMC 第 1 路输入参考时钟 P
FMC2_LA00_CC_N	B65_L14_N	AN15	FMC LA 第 0 路数据 (时钟) N
FMC2_LA00_CC_P	B65_L14_P	AM15	FMC LA 第 0 路数据 (时钟) P
FMC2_LA01_CC_N	B65_L13_N	AL14	FMC LA 第 1 路数据 (时钟) N

FMC2_LA01_CC_P	B65_L13_P	AL15	FMC LA 第 1 路数据 (时钟) P
FMC2_LA02_N	B65_L17_N	AJ15	FMC LA 第 2 路数据 N
FMC2_LA02_P	B65_L17_P	AJ16	FMC LA 第 2 路数据 P
FMC2_LA03_N	B65_L5_N	AV12	FMC LA 第 3 路数据 N
FMC2_LA03_P	B65_L5_P	AV13	FMC LA 第 3 路数据 P
FMC2_LA04_N	B65_L19_N	AT11	FMC LA 第 4 路数据 N
FMC2_LA04_P	B65_L19_P	AT12	FMC LA 第 4 路数据 P
FMC2_LA05_N	B65_L24_N	AM13	FMC LA 第 5 路数据 N
FMC2_LA05_P	B65_L24_P	AM14	FMC LA 第 5 路数据 P
FMC2_LA06_N	B65_L8_N	AU15	FMC LA 第 6 路数据 P
FMC2_LA06_P	B65_L8_P	AT15	FMC LA 第 6 路数据 P
FMC2_LA07_N	B65_L10_N	AR16	FMC LA 第 7 路数据 N
FMC2_LA07_P	B65_L10_P	AP16	FMC LA 第 7 路数据 P
FMC2_LA08_N	B65_L11_N	AT14	FMC LA 第 8 路数据 N
FMC2_LA08_P	B65_L11_P	AR14	FMC LA 第 8 路数据 P
FMC2_LA09_N	B65_L9_N	AW15	FMC LA 第 9 路数据 N
FMC2_LA09_P	B65_L9_P	AV15	FMC LA 第 9 路数据 P
FMC2_LA10_N	B65_L4_N	AV10	FMC LA 第 10 路数据 N
FMC2_LA10_P	B65_L4_P	AU10	FMC LA 第 10 路数据 P
FMC2_LA11_N	B64_L10_N	AL21	FMC LA 第 11 路数据 N
FMC2_LA11_P	B64_L10_P	AK21	FMC LA 第 11 路数据 P
FMC2_LA12_N	B65_L7_N	AW16	FMC LA 第 12 路数据 N
FMC2_LA12_P	B65_L7_P	AV16	FMC LA 第 12 路数据 P
FMC2_LA13_N	B64_L9_N	AP20	FMC LA 第 13 路数据 N
FMC2_LA13_P	B64_L9_P	AP21	FMC LA 第 13 路数据 P
FMC2_LA14_N	B64_L7_N	AR21	FMC LA 第 14 路数据 N
FMC2_LA14_P	B64_L7_P	AR22	FMC LA 第 14 路数据 P
FMC2_LA15_N	B64_L11_N	AN20	FMC LA 第 15 路数据 N
FMC2_LA15_P	B64_L11_P	AN21	FMC LA 第 15 路数据 P
FMC2_LA16_N	B64_L8_N	AM22	FMC LA 第 16 路数据 N
FMC2_LA16_P	B64_L8_P	AL22	FMC LA 第 16 路数据 P
FMC2_LA17_CC_N	B64_L14_N	AP18	FMC LA 第 17 路数据 (时钟) N
FMC2_LA17_CC_P	B64_L14_P	AN18	FMC LA 第 17 路数据 (时钟) P
FMC2_LA18_CC_N	B64_L13_N	AR19	FMC LA 第 18 路数据 (时钟) N
FMC2_LA18_CC_P	B64_L13_P	AP19	FMC LA 第 18 路数据 (时钟) P



FMC2_LA19_N	B64_L6_N	AW18	FMC LA 第 19 路数据 N
FMC2_LA19_P	B64_L6_P	AV18	FMC LA 第 19 路数据 P
FMC2_LA20_N	B64_L16_N	AU17	FMC LA 第 20 路数据 N
FMC2_LA20_P	B64_L16_P	AT17	FMC LA 第 20 路数据 P
FMC2_LA21_N	B64_L20_N	AM19	FMC LA 第 21 路数据 N
FMC2_LA21_P	B64_L20_P	AL19	FMC LA 第 21 路数据 P
FMC2_LA22_N	B64_L21_N	AJ19	FMC LA 第 22 路数据 N
FMC2_LA22_P	B64_L21_P	AJ20	FMC LA 第 22 路数据 P
FMC2_LA23_N	B64_L23_N	AJ18	FMC LA 第 23 路数据 N
FMC2_LA23_P	B64_L23_P	AH18	FMC LA 第 23 路数据 P
FMC2_LA24_N	B64_L15_N	AT19	FMC LA 第 24 路数据 N
FMC2_LA24_P	B64_L15_P	AT20	FMC LA 第 24 路数据 P
FMC2_LA25_N	B64_L18_N	AR17	FMC LA 第 25 路数据 N
FMC2_LA25_P	B64_L18_P	AR18	FMC LA 第 25 路数据 P
FMC2_LA26_N	B64_L19_N	AJ21	FMC LA 第 26 路数据 N
FMC2_LA26_P	B64_L19_P	AH21	FMC LA 第 26 路数据 P
FMC2_LA27_N	B64_L22_N	AK18	FMC LA 第 27 路数据 N
FMC2_LA27_P	B64_L22_P	AK19	FMC LA 第 27 路数据 P
FMC2_LA28_N	B64_L17_N	AU18	FMC LA 第 28 路数据 N
FMC2_LA28_P	B64_L17_P	AU19	FMC LA 第 28 路数据 P
FMC2_LA29_N	B64_L1_N	AV22	FMC LA 第 29 路数据 N
FMC2_LA29_P	B64_L1_P	AU22	FMC LA 第 29 路数据 P
FMC2_LA30_N	B64_L3_N	AW21	FMC LA 第 30 路数据 N
FMC2_LA30_P	B64_L3_P	AV21	FMC LA 第 30 路数据 P
FMC2_LA31_N	B64_L5_N	AT21	FMC LA 第 31 路数据 N
FMC2_LA31_P	B64_L5_P	AT22	FMC LA 第 31 路数据 P
FMC2_LA32_N	B64_L4_N	AW19	FMC LA 第 32 路数据 N
FMC2_LA32_P	B64_L4_P	AW20	FMC LA 第 32 路数据 P
FMC2_LA33_N	B64_L2_N	AV20	FMC LA 第 33 路数据 N
FMC2_LA33_P	B64_L2_P	AU20	FMC LA 第 33 路数据 P
FMC2_SCL	B90_L2_P	F4	FMC I2C 总线时钟
FMC2_SDA	B90_L2_N	E3	FMC I2C 总线数据
FMC2_HPC_GBTCLK0_M2C_C_N	MGT224_CLK0_N	AM9	收发器参考时钟 0 输入 N
FMC2_HPC_GBTCLK0_M2C_C_P	MGT224_CLK0_P	AM10	收发器参考时钟 0 输入 P
MGT_A_CLOCK_N	MGT224_CLK1_N	AK9	收发器参考时钟 1 输入 N

MGT_A_CLOCK_P	MGT224_CLK1_P	AK10	收发器参考时钟 1 输入 P
FMC2_DP0_M2C_P	MGT224_RX0_P	AW4	收发器数据 0 输入 P
FMC2_DP0_M2C_N	MGT224_RX0_N	AW3	收发器数据 0 输入 N
FMC2_DP1_M2C_P	MGT224_RX3_P	AT2	收发器数据 1 输入 P
FMC2_DP1_M2C_N	MGT224_RX3_N	AT1	收发器数据 1 输入 N
FMC2_DP2_M2C_P	MGT224_RX2_P	AU4	收发器数据 2 输入 P
FMC2_DP2_M2C_N	MGT224_RX2_N	AU3	收发器数据 2 输入 N
FMC2_DP3_M2C_P	MGT224_RX1_P	AV2	收发器数据 3 输入 P
FMC2_DP3_M2C_N	MGT224_RX1_N	AV1	收发器数据 3 输入 N
FMC2_DP4_M2C_P	MGT225_RX1_P	AP2	收发器数据 4 输入 P
FMC2_DP4_M2C_N	MGT225_RX1_N	AP1	收发器数据 4 输入 N
FMC2_DP5_M2C_P	MGT225_RX3_P	AM2	收发器数据 5 输入 P
FMC2_DP5_M2C_N	MGT225_RX3_N	AM1	收发器数据 5 输入 N
FMC2_DP6_M2C_P	MGT225_RX2_P	AN4	收发器数据 6 输入 P
FMC2_DP6_M2C_N	MGT225_RX2_N	AN3	收发器数据 6 输入 N
FMC2_DP7_M2C_P	MGT225_RX0_P	AR4	收发器数据 7 输入 P
FMC2_DP7_M2C_N	MGT225_RX0_N	AR3	收发器数据 7 输入 N
FMC2_DP0_C2M_P	MGT224_TX0_P	AW8	收发器数据 0 输出 P
FMC2_DP0_C2M_N	MGT224_TX0_N	AW7	收发器数据 0 输出 N
FMC2_DP1_C2M_P	MGT224_TX3_P	AT6	收发器数据 1 输出 P
FMC2_DP1_C2M_N	MGT224_TX3_N	AT5	收发器数据 1 输出 N
FMC2_DP2_C2M_P	MGT224_TX2_P	AU8	收发器数据 2 输出 P
FMC2_DP2_C2M_N	MGT224_TX2_N	AU7	收发器数据 2 输出 N
FMC2_DP3_C2M_P	MGT224_TX1_P	AV6	收发器数据 3 输出 P
FMC2_DP3_C2M_N	MGT224_TX1_N	AV5	收发器数据 3 输出 N
FMC2_DP4_C2M_P	MGT225_TX1_P	AP6	收发器数据 4 输出 P
FMC2_DP4_C2M_N	MGT225_TX1_N	AP5	收发器数据 4 输出 N
FMC2_DP5_C2M_P	MGT225_TX3_P	AM6	收发器数据 5 输出 P
FMC2_DP5_C2M_N	MGT225_TX3_N	AM5	收发器数据 5 输出 N
FMC2_DP6_C2M_P	MGT225_TX2_P	AN8	收发器数据 6 输出 P
FMC2_DP6_C2M_N	MGT225_TX2_N	AN7	收发器数据 6 输出 N
FMC2_DP7_C2M_P	MGT225_TX0_P	AR8	收发器数据 7 输出 P
FMC2_DP7_C2M_N	MGT225_TX0_N	AR7	收发器数据 7 输出 N
FMC2_HPC_GBTCLK1_M2C_C_N	MGT225_CLK0_N	AJ11	收发器参考时钟 0 输入 N
FMC2_HPC_GBTCLK1_M2C_C_P	MGT225_CLK0_P	AJ12	收发器参考时钟 0 输入 P

-	MGT225_CLK1_N	AH9	收发器参考时钟 1 输入 N
-	MGT225_CLK1_P	AH10	收发器参考时钟 1 输入 P

## (五) MIPI 接口

AXKU15 扩展板上带有 2 路 MIPI lanex4 摄像头输入接口。MIPI1 对应 J9, 与 FPGA 的 BANK69 和 BANK90 相连。MIPI2 对应 J10, 与 FPGA 的 BANK66 和 BANK84 相连, 与 FPGA 的 BANK71 和 BANK90 相连, 连接的设计示意图如下图 3-5-1, 3-5-2 所示:

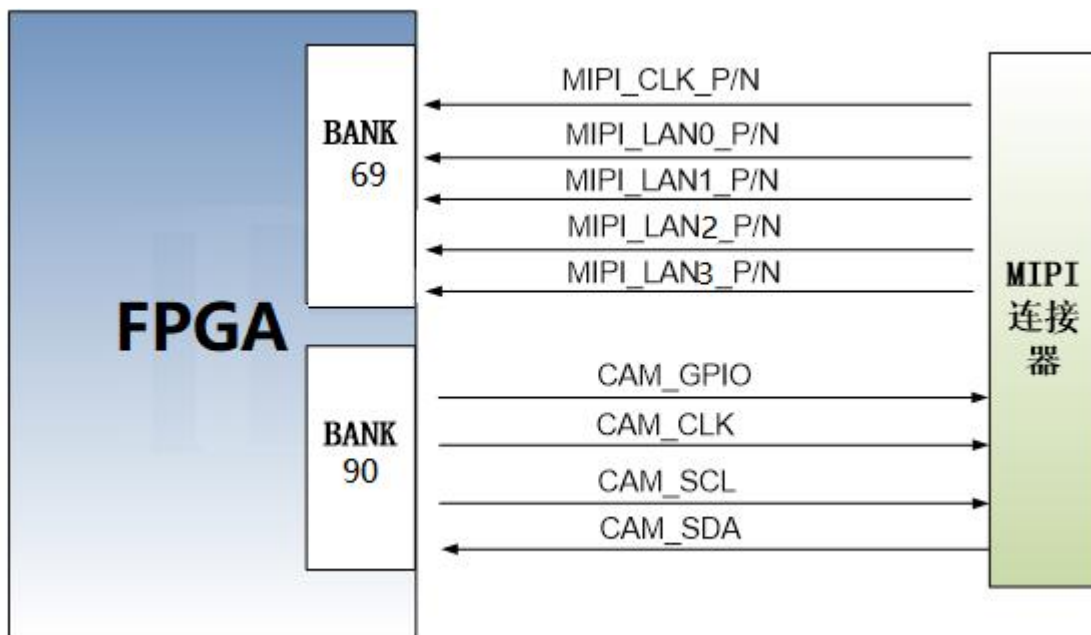


图 3-5-1 MIPI1 接口设计原理图

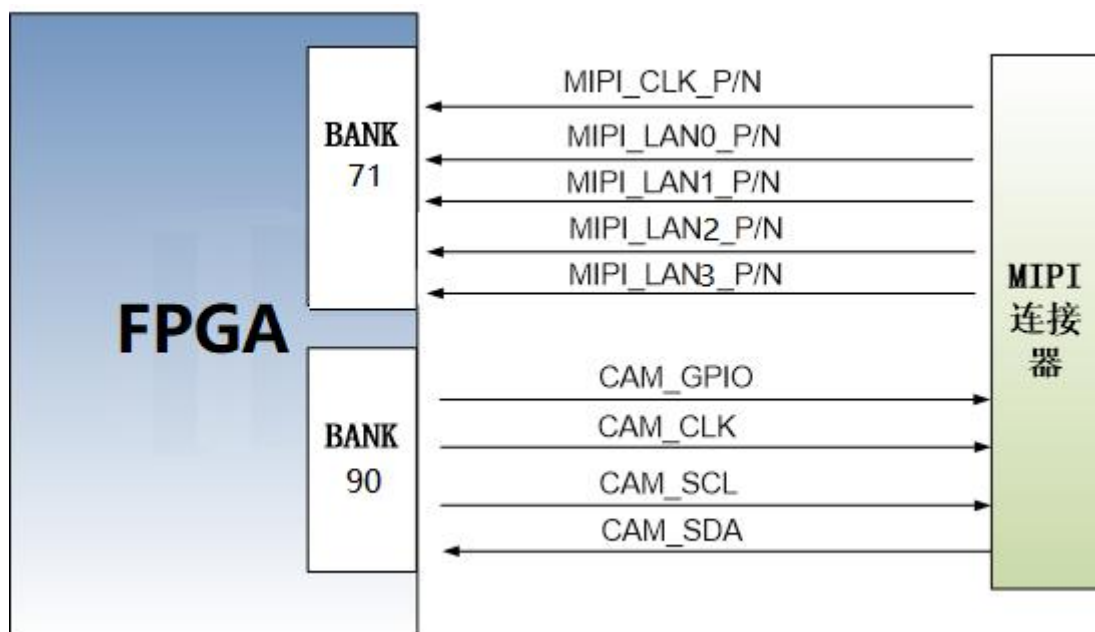


图 3-5-1 MIPI2 接口设计原理图

## MIPI1 接口引脚分配

信号名称	FPGA 引脚名	引脚号	备注
MIPI1_CLK_P	B69_L19_P	C29	MIPI 输入时钟正
MIPI1_CLK_N	B69_L19_N	B29	MIPI 输入时钟负
MIPI1_LAN0_P	B69_L21_P	B31	MIPI 输入的数据 LANE0 正
MIPI1_LAN0_N	B69_L21_N	A31	MIPI 输入的数据 LANE0 负
MIPI1_LAN1_P	B69_L23_P	B26	MIPI 输入的数据 LANE1 正
MIPI1_LAN1_N	B69_L23_N	A26	MIPI 输入的数据 LANE1 负
MIPI1_LAN2_P	B69_L20_P	C27	MIPI 输入的数据 LANE2 正
MIPI1_LAN2_N	B69_L20_N	C28	MIPI 输入的数据 LANE2 负
MIPI1_LAN3_P	B69_L22_P	B27	MIPI 输入的数据 LANE3 正
MIPI1_LAN3_N	B69_L22_N	A27	MIPI 输入的数据 LANE3 负
MIPI1_CLK	B90_L8_P	C5	摄像头的时钟输入
MIPI1_GPIO	B90_L8_N	C4	摄像头的 GPIO 控制
MIPI1_I2C_SCL	B90_L3_P	F3	摄像头的 I2C 时钟
MIPI1_I2C_SDA	B90_L3_N	F2	摄像头的 I2C 数据

## MIPI2 接口引脚分配

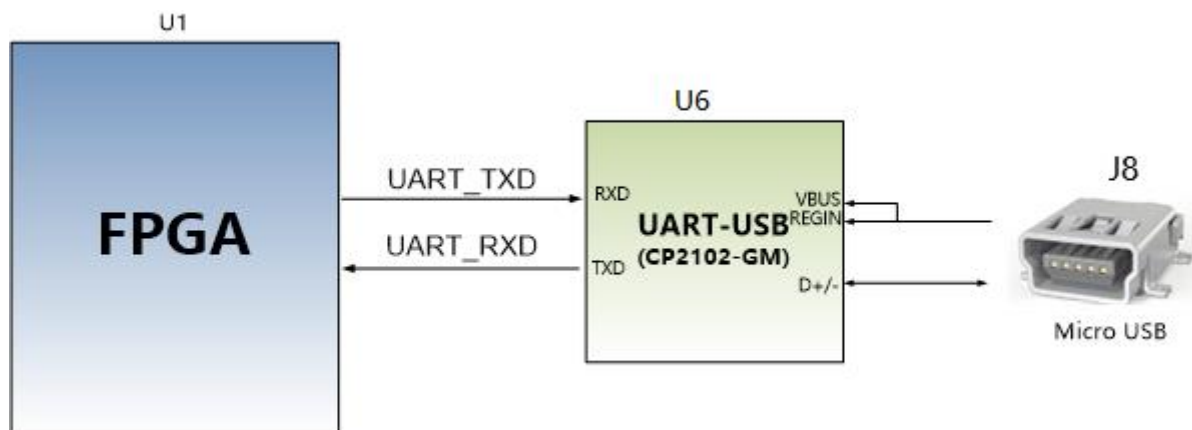
信号名称	FPGA 引脚名	引脚号	备注
MIPI2_CLK_P	B71_L1_P	M16	MIPI 输入时钟正
MIPI2_CLK_N	B71_L1_N	M15	MIPI 输入时钟负
MIPI2_LAN0_P	B71_L2_P	L19	MIPI 输入的数据 LANE0 正
MIPI2_LAN0_N	B71_L2_N	K19	MIPI 输入的数据 LANE0 负
MIPI2_LAN1_P	B71_L3_P	L18	MIPI 输入的数据 LANE1 正
MIPI2_LAN1_N	B71_L3_N	K18	MIPI 输入的数据 LANE1 负
MIPI2_LAN2_P	B71_L4_P	L17	MIPI 输入的数据 LANE2 正
MIPI2_LAN2_N	B71_L4_N	L16	MIPI 输入的数据 LANE2 负
MIPI2_LAN3_P	B71_L5_P	K16	MIPI 输入的数据 LANE3 正
MIPI2_LAN3_N	B71_L5_N	J16	MIPI 输入的数据 LANE3 负
MIPI2_CLK	B90_L7_P	D3	摄像头的时钟输入
MIPI2_GPIO	B90_L7_N	C3	摄像头的 GPIO 控制

MIPI2_I2C_SCL	B90_L4_P	F1	摄像头的 I2C 时钟
MIPI2_I2C_SDA	B90_L4_N	E1	摄像头的 I2C 数据

## (六) USB 转串口

AXKU15 扩展板上配备了一个 Uart 转 USB 接口，用于系统调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。

USB Uart 电路设计的示意图如下图所示：



3-6-1 USB 转串口示意图

USB 转串口的 FPGA 引脚分配：

信号名称	FPGA 引脚名	引脚号	备注
UART_RXD	B90_L6_N	D1	Uart 数据输入
UART_TXD	B90_L6_P	D2	Uart 数据输出

## (七) SD 卡槽

AXKU15 底板包含了一个 Micro 型的 SD 卡接口，以提供用户访问 SD 卡存储器，用于用户数据文件。SDIO 信号与 FPGA 的 IO 信号相连，支持 SPI 模式和 SD 模式，使用的 SD 卡为 MicroSD 卡。FPGA 和 SD 卡连接器的原理图如下图 3-7-1 所示。

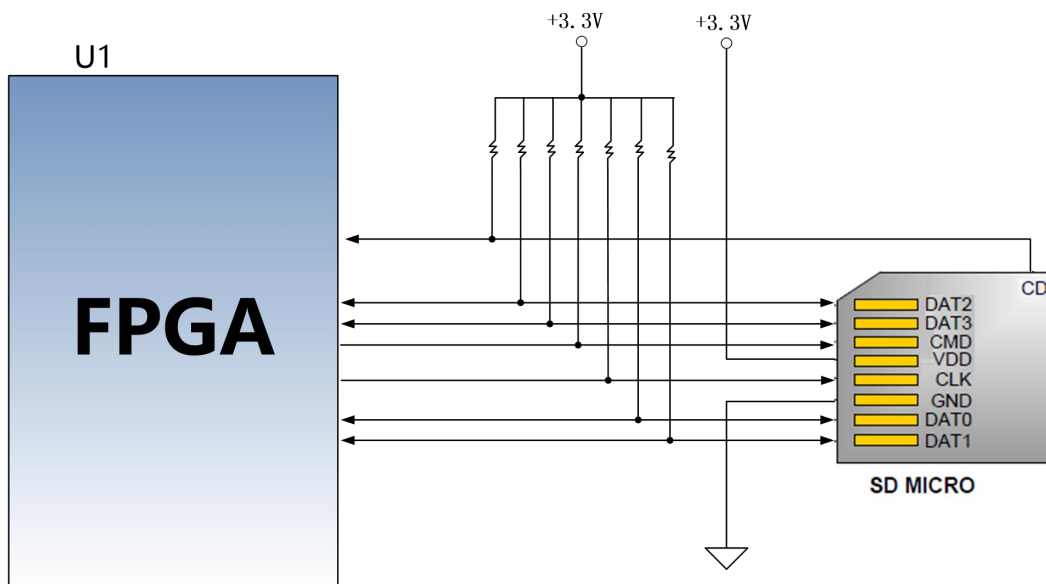


图 3-7-1 SD 卡槽原理图

### SD 卡槽引脚分配

信号名称	FPGA 引脚名	引脚号	备注
SD_CD	B90_L11_N	A3	SD 片选信号
SD_CLK	B91_L8_P	C10	SD 时钟信号
SD_CMD	B91_L8_N	C9	SD 命令信号
SD_D0	B90_L12_N	A6	SD 数据 Data0
SD_D1	B90_L12_P	B6	SD 数据 Data1
SD_D2	B91_L7_N	C7	SD 数据 Data2
SD_D3	B91_L7_P	C8	SD 数据 Data3

## (八) SATA 接口

板上配备了 2 路 SATA 接口，SATA 的差分信号连接到 GTY BANK131 上。

SATA 的参考时钟 150Mhz 由可编程时钟芯片 Si5332BD11025-4 提供。SATA 接口设计的示意图如下图 3-8-1 所示:

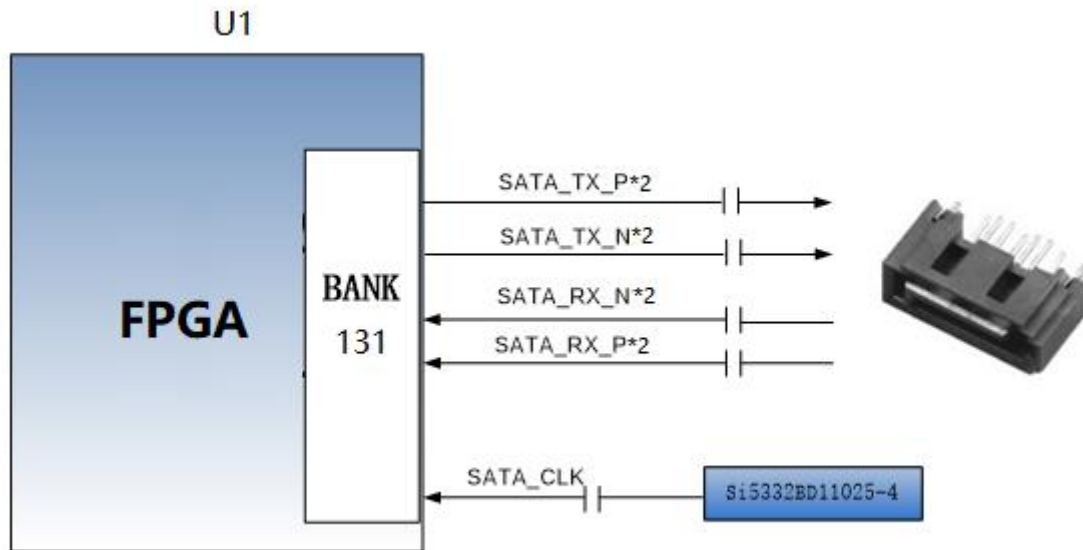


图 3-8-1 SATA 接口设计示意图

SATA 接口 FPGA 引脚分配如下：

信号名称	引脚名	引脚号	备注
SATA1_RX_N	MGT131_RX0_N	M37	SATA1 数据接收负
SATA1_RX_P	MGT131_RX0_P	M36	SATA1 数据接收正
SATA2_RX_N	MGT131_RX1_N	L39	SATA2 数据接收负
SATA2_RX_P	MGT131_RX1_P	L38	SATA2 数据接收正
SATA1_TX_N	MGT131_TX0_N	J34	SATA1 数据发送负
SATA1_TX_P	MGT131_TX0_P	J33	SATA1 数据发送正
SATA2_TX_N	MGT131_TX1_N	G34	SATA2 数据发送负
SATA2_TX_P	MGT131_TX1_P	G33	SATA2 数据发送正
SATACLK_N	MGT131_CLK0_N	T28	SATA 参考时钟负
SATACLK_P	MGT131_CLK0_P	T27	SATA 参考时钟正

## (九) 按键和 LED 灯

AXKU15 底板上有 7 个发光二极管 LED, 1 个电源指示灯； 2 个串口通信指示灯， 4 个用户 LED 灯。当开发板上电后电源指示灯会亮起； 4 个 LED 灯连接到 FPGA 的 IO 上，用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯点亮，当连接 IO 电压为低时，用户 LED 会被熄灭。另外板上还有 4 个用户按键，默认按键信号为高，当按键按下时，按键电平为低。用户 LED 灯和按键的硬件连接示意图如图 3-9-1 所示：



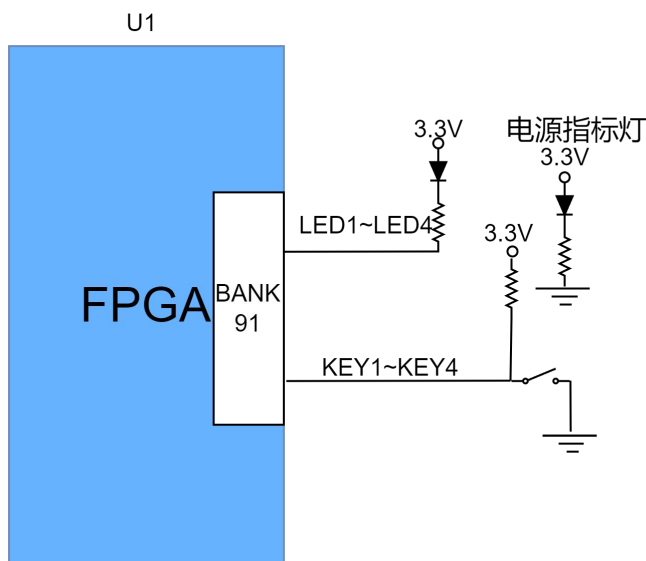


图 3-9-1 用户 LED 灯和按键硬件连接示意图

### 用户 LED 灯和按键的引脚分配

信号名称	FPGA 引脚名	管脚号	备注
KEY1	B91_L10_N	A8	用户按键 1
KEY2	B91_L10_P	B9	用户按键 2
KEY3	B91_L9_N	A7	用户按键 3
KEY4	B91_L9_P	B7	用户按键 4
LED1	B91_L5_P	D8	用户 LED1 灯
LED2	B91_L5_N	D7	用户 LED2 灯
LED3	B91_L6_P	D11	用户 LED3 灯
LED4	B91_L6_N	D10	用户 LED4 灯

## (十) EEPROM

AXKU15 开发板板载了一片 EEPROM，型号为 24LC04，容量为：4Kbit (2\*256\*8bit)，由 2 个 256byte 的 block 组成，通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 的 I2C 信号连接的 FPGA 端的 BANK B1 IO 口上。下图 3-10-1 为 EEPROM 的设计示意图



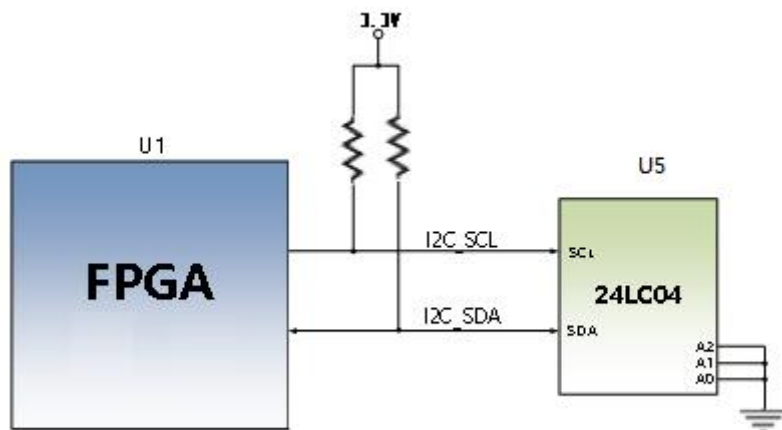


图 3-10-1 EEPROM 原理图部分

## EEPROM 引脚分配:

引脚名称	FPGA 引脚
EEPROM_RTC_I2C_SCL	B2
EEPROM_RTC_I2C_SDA	C2

**(十一) 温度传感器**

AXKU15 开发板上安装了一个高精度、低功耗、数字温度传感器芯片，型号为 ON Semiconductor 公司的 LM75A。LM75A 芯片的温度精度为 0.125 度,传感器和 FPGA 直接为 I2C 数字接口，FPGA 通过 I2C 接口来读取当前开发板附近的温度。下图 3-11-1 为 LM75A 传感器芯片的设计示意图

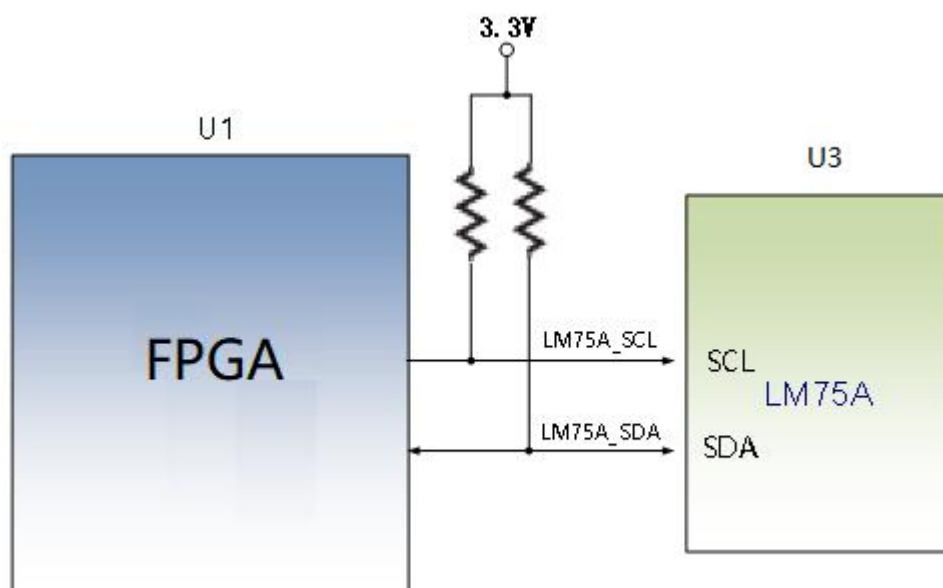


图 3-11-1 LM75A 传感器原理图部分

LM75A 传感器引脚分配:

引脚名称	FPGA 引脚
LM75A_SCL	B5
LM75A_SDA	B4

## (十二) 光纤接口

扩展板上有2路QSFP28光纤接口，用户可以购买QSFP光模块插入到这4个光纤接口中进行光纤数据通信。2路光纤接口分别跟FPGA的BANK127-128的GTY收发器的4路RX/TX相连接。BANK127-128的参考时钟可选择由Si5332BD11025-4芯片提供或或独立的晶振提供。

FPGA 和光纤设计示意图如下图 12-1 所示:

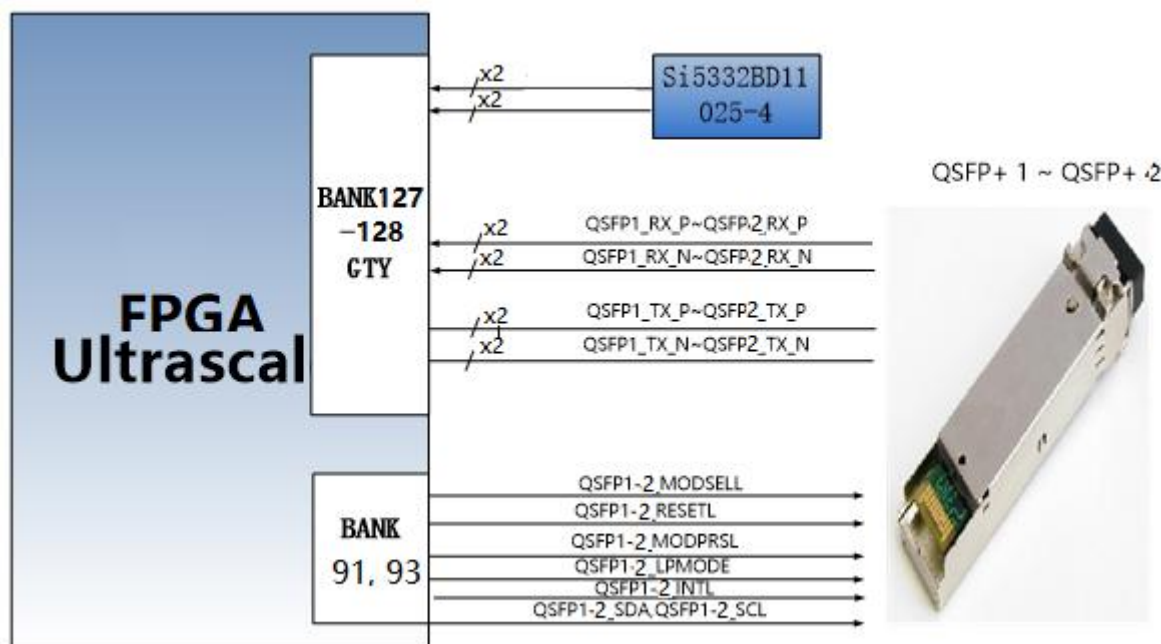


图 12-1 光纤设计示意图

2 路光纤接口引脚分配如下:

信号名称	网格标号	FPGA 引脚号	备注
QSFP1_RX1_N	MGT127_RX0_N	AH37	光模块 1 数据接收负 1
QSFP1_RX1_P	MGT127_RX0_P	AH36	光模块 1 数据接收正 1
QSFP1_RX2_N	MGT127_RX1_N	AG39	光模块 1 数据接收负 2
QSFP1_RX2_P	MGT127_RX1_P	AG38	光模块 1 数据接收正 2
QSFP1_RX3_N	MGT127_RX2_N	AF37	光模块 1 数据接收负 3

QSFP1_RX3_P	MGT127_RX2_P	AF36	光模块 1 数据接收正 3
QSFP1_RX4_N	MGT127_RX3_N	AE39	光模块 1 数据接收负 4
QSFP1_RX4_P	MGT127_RX3_P	AE38	光模块 1 数据接收正 4
QSFP1_TX1_N	MGT127_TX0_N	AF32	光模块 1 数据发送负 1
QSFP1_TX1_P	MGT127_TX0_P	AF31	光模块 1 数据发送正 1
QSFP1_TX2_N	MGT127_TX1_N	AE34	光模块 1 数据发送负 2
QSFP1_TX2_P	MGT127_TX1_P	AE33	光模块 1 数据发送正 2
QSFP1_TX3_N	MGT127_TX2_N	AD32	光模块 1 数据发送负 3
QSFP1_TX3_P	MGT127_TX2_P	AD31	光模块 1 数据发送正 3
QSFP1_TX4_N	MGT127_TX3_N	AC34	光模块 1 数据发送负 4
QSFP1_TX4_P	MGT127_TX3_P	AC33	光模块 1 数据发送正 4
CLK0_N	MGT127_CLK0_N	AE30	BANK127 参考时钟 0 负
CLK0_P	MGT127_CLK0_P	AE29	BANK127 参考时钟 0 正
MGT_B_CLOCK_N	MGT127_CLK1_N	AC30	BANK127 参考时钟 1 负
MGT_B_CLOCK_P	MGT127_CLK1_P	AC29	BANK127 参考时钟 1 正
QSFP1_SCL	B91_L1_P	F6	光模块 1 的 I2C 时钟
QSFP1_SDA	B91_L2_P	F8	光模块 1 的 I2C 数据
QSFP1_INTL	B93_L10_P	L13	光模块 1 的中断信号
QSFP1_LPMODE	B91_L2_N	F7	光模块 1 低功耗选择信号
QSFP1_MODPRSL	B93_L10_N	K13	光模块 1 存在指示信号
QSFP1_MODSELL	B93_L9_N	M10	光模块 1 模块选择信号
QSFP1_RESETL	B93_L9_P	N10	光模块 1 复位信号
QSFP2_RX1_N	MGT128_RX0_N	AD37	光模块 2 数据接收负 1
QSFP2_RX1_P	MGT128_RX0_P	AD36	光模块 2 数据接收正 1
QSFP2_RX2_N	MGT128_RX1_N	AC39	光模块 2 数据接收负 2
QSFP2_RX2_P	MGT128_RX1_P	AC38	光模块 2 数据接收正 2
QSFP2_RX3_N	MGT128_RX2_N	AB37	光模块 2 数据接收负 3
QSFP2_RX3_P	MGT128_RX2_P	AB36	光模块 2 数据接收正 3
QSFP2_RX4_N	MGT128_RX3_N	AA39	光模块 2 数据接收负 4
QSFP2_RX4_P	MGT128_RX3_P	AA38	光模块 2 数据接收正 4
QSFP2_TX1_N	MGT128_TX0_N	AB32	光模块 2 数据发送负 1
QSFP2_TX1_P	MGT128_TX0_P	AB31	光模块 2 数据发送正 1
QSFP2_TX2_N	MGT128_TX1_N	AA34	光模块 2 数据发送负 2
QSFP2_TX2_P	MGT128_TX1_P	AA33	光模块 2 数据发送正 2
QSFP2_TX3_N	MGT128_TX2_N	Y32	光模块 2 数据发送负 3

QSFP2_TX3_P	MGT128_TX2_P	Y31	光模块 2 数据发送正 3
QSFP2_TX4_N	MGT128_TX3_N	W34	光模块 2 数据发送负 4
QSFP2_TX4_P	MGT128_TX3_P	W33	光模块 2 数据发送正 4
CLK1_N	MGT128_CLK0_N	AB28	BANK128 参考时钟 0 负
CLK1_P	MGT128_CLK0_P	AB27	BANK128 参考时钟 0 正
CLK3_N	MGT128_CLK1_N	AA30	BANK128 参考时钟 1 负
CLK3_P	MGT128_CLK1_P	AA29	BANK128 参考时钟 1 正
QSFP2_SCL	B93_L5_N	N14	光模块 2 的 I2C 时钟
QSFP2_SDA	B93_L5_P	N15	光模块 2 的 I2C 数据
QSFP2_INTL	B91_L1_P	R15	光模块 2 的中断信号
QSFP2_LPMODE	B91_L2_P	N12	光模块 2 低功耗选择信号
QSFP2_MODPRSL	B93_L1_P	P15	光模块 2 存在指示信号
QSFP2_MODSELL	B93_L6_N	R13	光模块 2 模块选择信号
QSFP2_RESETL	B93_L1_N	R14	光模块 2 复位信号

### (十三) JTAG 调试口

在 AXKU15 底板上预留了一个 10PIN 的 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免芯片的损坏。

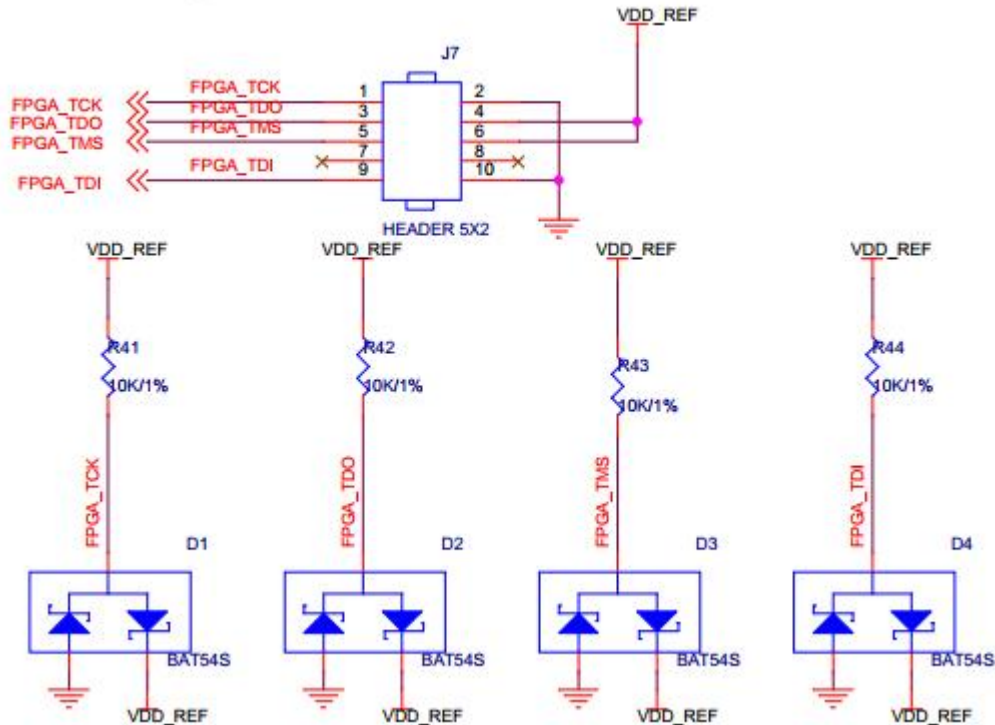


图3-13-1 原理图中JTAG接口部分

## (十四) 电源

开发板的电源输入电压为 DC12V，可以通过 PCIE 插槽或者外接+12V 电源给板子供电。外接电源供电时请使用开发板自带的电源,不要用其他规格电源，以免损坏开发板。3 路 DC/DC 电源芯片 SGM61163 分别输出 +5V、FMC2\_VADJ 和 3.3V 电压；ETA1471 输出 FMC1\_VADJ 调整电压。同时输出的+3.3V 给多路 LDO 输出 JTAG 各 FPGABANK 所需的电压。

板上的电源设计示意图如下图 3-14-1 所示:

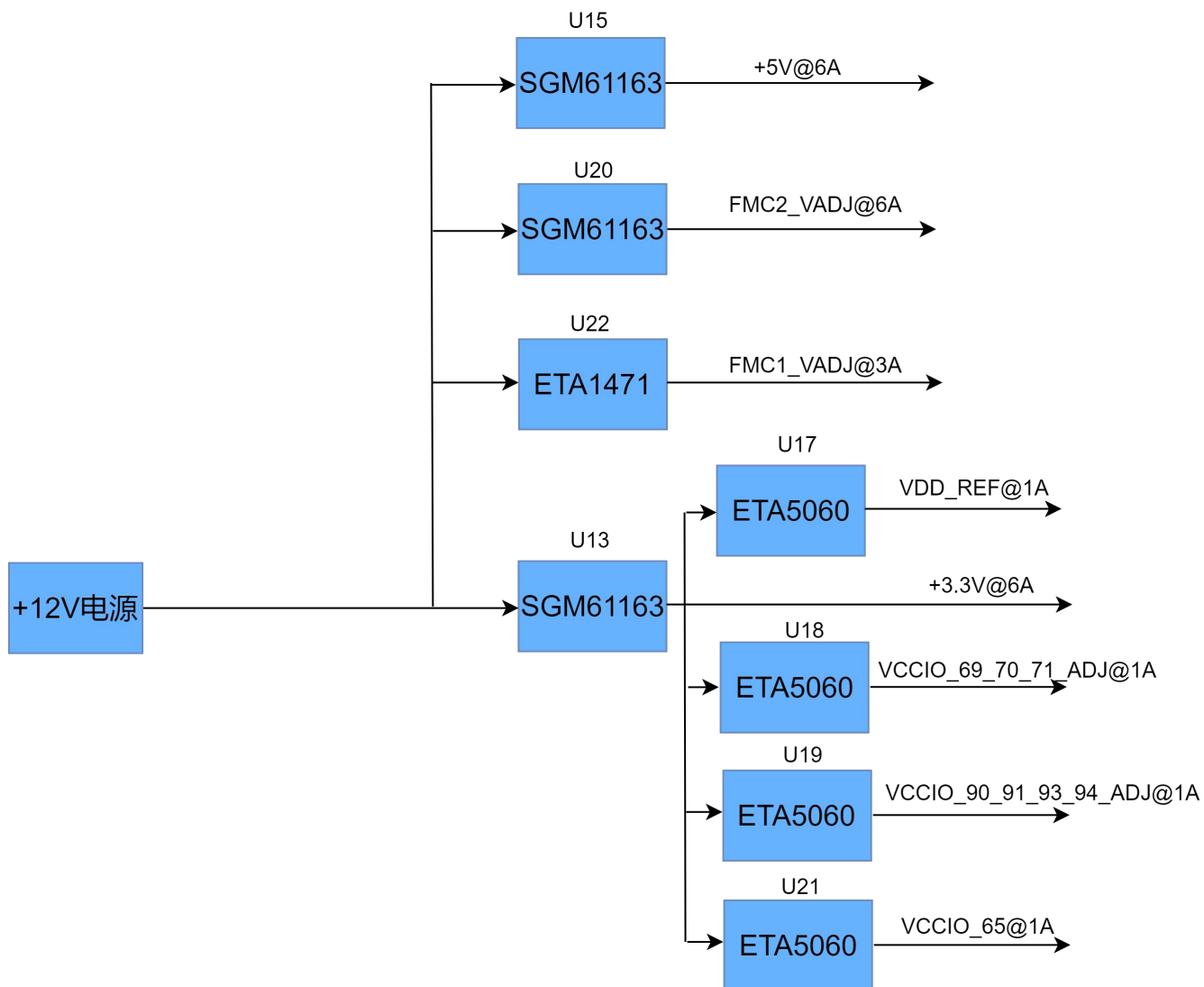
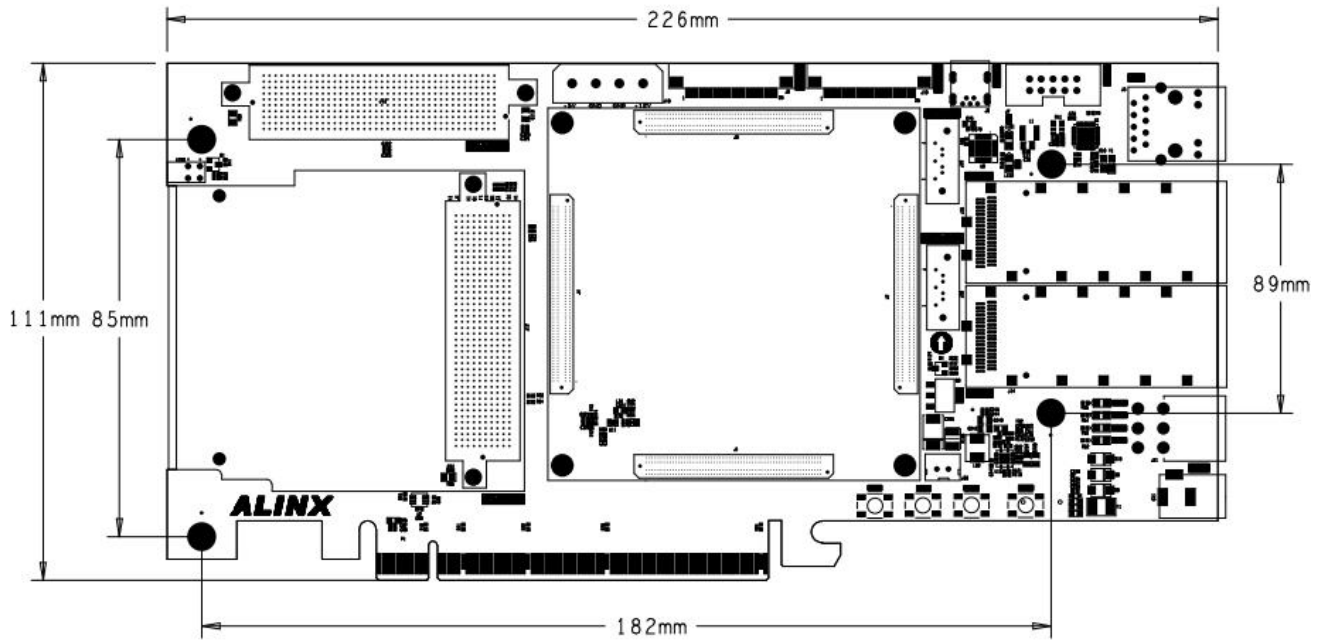


图 3-14-1 原理图中电源接口部分

各个电源分配的功能如下表所示:

电源	功能
+5.0V	扩展模块供电电源
FMC1_VADJ	FMC1 调整电压
FMC2_VADJ	FMC2 调整电压
+3.3V	底板外设电源
VDD_REF	JTAG 电源
VCCIO_65	FPGA BANK 电压
VCCIO_90_91_93_94_ADJ@1A	FPGA BANK 电压
VCCIO_69_70_71_ADJ@1A	FPGA BANK 电压

**(十五) 结构尺寸图****图 3-15-1 正面图 (Top View)**