

# Logos2 FPGA 开发平台 用户手册

## AXP202 开发板



## 文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

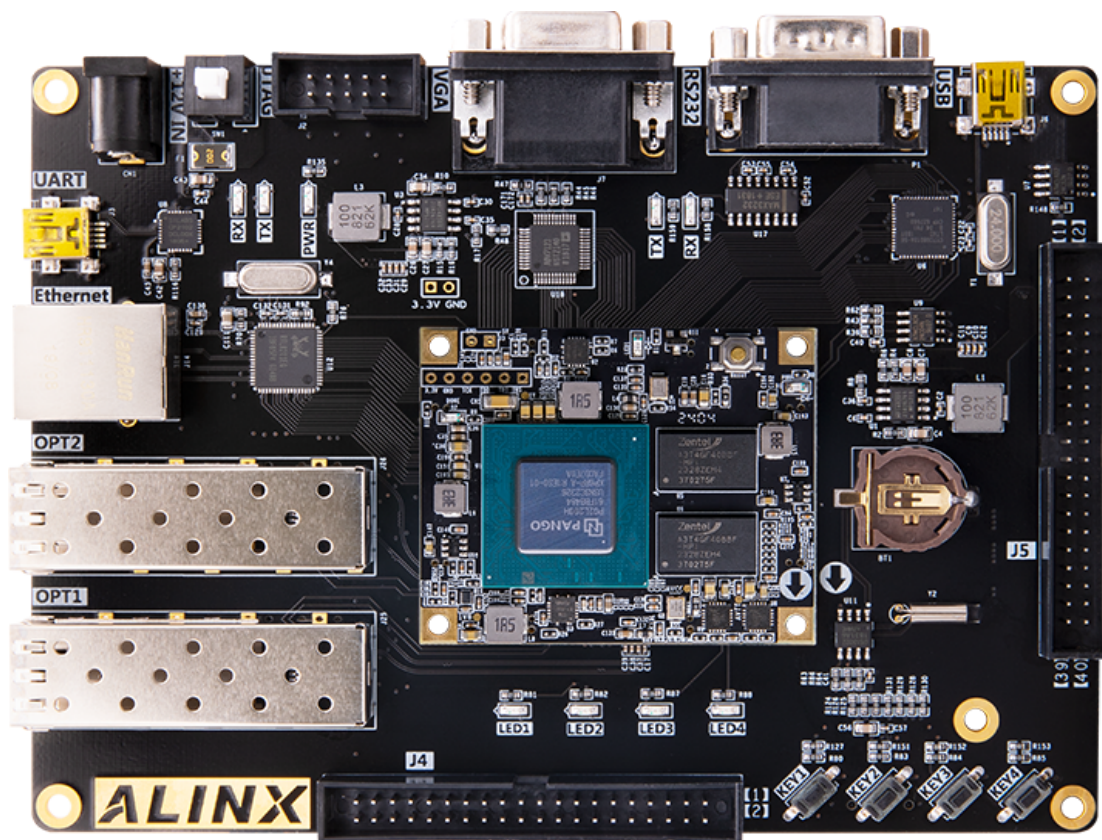
## 目 录

文档版本控制.....	2
一、 开发板简介.....	6
二、 FPGA 核心板.....	7
(一) 简介.....	8
(二) FPGA.....	9
(三) 有源晶振.....	11
(四) DDR3.....	12
(五) QSPI Flash.....	16
(六) LED 灯.....	18
(七) 复位按键.....	19
(八) 扩展接口.....	20
(九) 电源.....	26
(十) 结构图.....	29
三、 扩展板.....	30
(一) 简介.....	30
(二) 千兆以太网接口.....	31
(三) 光纤接口.....	33
(四) VGA 接口.....	35
(五) USB2.0.....	38
(六) SD 卡槽.....	40
(七) USB 转串口.....	41
(八) RS232 接口.....	43
(九) EEPROM 24LC04.....	44
(十) 实时时钟 DS1302.....	45
(十一) 扩展口.....	46
(十二) JTAG 接口.....	50
(十三) 按键.....	51
(十四) LED 灯.....	51
(十五) 供电电源.....	52

(十六) 结构尺寸图 ..... 54

基于 Logos2 系列的 FPGA 开发平台（型号：AXP202）正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 Logos2 FPGA 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。在底板设计上我们设计了丰富的外围接口，其中包含 2 路光纤模块接口、1 路千兆以太网接口、1 路 USB2.0 接口、1 路 VGA 输出接口、1 路 RS232 接口、1 路 UART 串口接口、1 路 SD 卡接口、2 路 40 针的扩展口和一些按键 LED 及 RTC 电路。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



## 一、 开发板简介

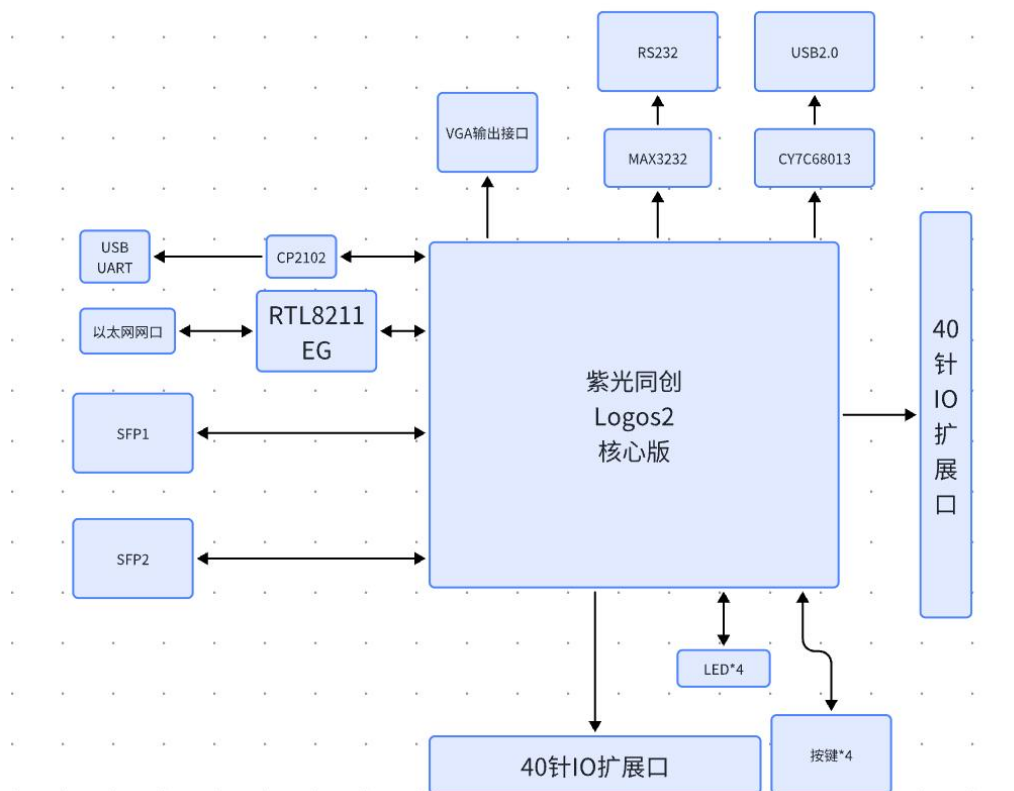
在这里，对这款 AXP202 FPGA 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 FPGA + 2 个 DDR3 + QSPI FLASH 构成，承担 FPGA 高速数据处理和存储的功能，加上 FPGA 和两片 DDR3 之间的高速数据读写，数据位宽为 32 位，整个系统的带宽高达 25Gb/s (800M\*32bit)；另外两片 DDR3 容量高达 8Gbit，满足数据处理过程中对高缓冲区的需求。我们选用的 FPGA 为紫光同创公司 Logos2 系列的 PG2L200H 芯片。我们选用的 FPGA 是 FFB484 封装。PG2L200H 和 DDR3 之间通信的时钟频率达到 400Mhz，数据速率为 800Mhz，充分满足了高速多路数据处理的需求。另外 PG2L200H FPGA 带有 4 路 HSSTLP 高速收发器，每路速度高达 6.6Gb/s，非常适合用于光纤等高速通信。

底板为核心板扩展了丰富的外围接口，其中包含 2 路光纤模块接口、1 路千兆以太网接口、1 路 USB2.0 接口、1 路 VGA 输出接口、1 路 RS232 接口、1 路 UART 串口接口、1 路 SD 卡接口、2 路 40 针的扩展口和一些按键 LED 及 RTC 电路。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- Logos2 FPGA 核心板

由 PG2L200H+8Gb DDR3+128Mb QSPI FLASH 组成, 另外有两个高精度 LVDS 差分晶振, 一个是 200MHz, 另一个是 125MHz, 为 FPGA 系统和 HSST 模块提供稳定的时钟输入。

- 1 路 10/100M/1000M 以太网 RJ-45 接口

千兆以太网接口芯片采用 Realtek 公司的 RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率; 全双工和自适应。

- 2 路 SFP 高速光纤接口

Logos2 FPGA 的 HSSTLP 收发器的 2 路高速收发器连接到 2 个光模块的发送和接收, 实现 2 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 6.6Gb/s。

- 一路 VGA 输出

开发板采用 ADI 公司的 ADV7123 芯片实现 VGA 输出, 实现 24 位的真彩色 RGB 数字信号的模拟转换, 分辨率最高支持 1080p@60Hz 输出。

- 一路高速 USB2.0 接口

采用 Cypress CY7C68013A USB2.0 控制器芯片实现开发板和 PC 之间的 USB2.0 高速通信;

- 一路 USB Uart 接口

一路 Uart 转 USB 接口, 用于和电脑通信, 方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口。

- 一路 RS232 接口

Uart 转 RS232 接口, 用于和电脑或者其它设置之间的数据通信。RS232 转换芯片采用 MAX323, RS232 接口采用标准的 DB9 接口。

- Micro SD 卡座

一路 Micro SD 卡座, 支持 SD 模式和 SPI 模式。

- RTC 实时时钟

板载 RTC 实时时钟, 配有电池座, 电池的型号为 CR1220。

- EEPROM

板载一片 IIC 接口的 EEPROM 24LC04;

- 二路 40 针扩展口

预留 2 个 40 针 2.54mm 间距的扩展口, 可以外接黑金的各种模块(双目摄像头, TFT LCD 屏, 高速 AD 模块等等)。扩展口包含 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。

- JTAG 口

10 针 2.54mm 标准的 JTAG 口, 用于 FPGA 程序的下载和调试;

- 按键

4 个用户按键，1 个复位按键(在核心板)；

- LED 灯

5 个用户发光二极管 LED (1 个在核心板，4 个在扩展板)；

## 二、FPGA 核心板

### (一) 简介

P200(核心板型号，下同)核心板，是基于紫光同创公司的 Logos2 系列的 PG2L200H-61FBB484 这款芯片开发的高性能核心板，具有高速，高带宽，大容量等特点，适合高速数据通信，图像处理，高速数据采集等方面使用。

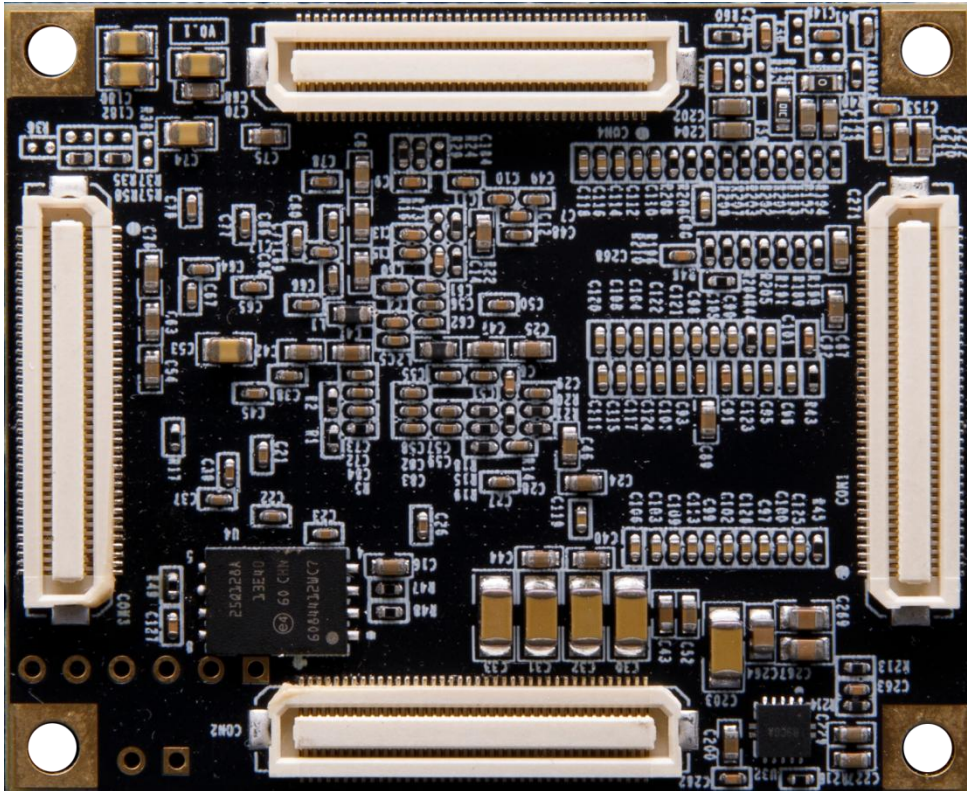
这款核心板使用了 2 片 A3T4GF40BBF-HPI 这款 DDR3 芯片，每片 DDR 的容量为 4Gbit；2 片 DDR 芯片组合成 32bit 的数据总线宽度，FPGA 和 DDR3 之间的读写数据带宽高达 25Gb；这样的配置可以满足高带宽的数据处理需求。

这款核心板扩展出 180 个默认 3.3V 电平标准普通 IO 口，其中有 150 个 IO 电压标准可调，15 个 1.5V 电平标准的普通 IO 口，还有 4 对 HSST 高速 RX/TX 差分信号。对于需要大量 IO 的用户，此核心板将是不错的选择。FPGA 芯片到接口之间走线做了等长和差分处理，并且核心板尺寸仅为 45\*55 (mm)，对于二次开发来说，非常适合。



P200 核心板正面图





P200 核心板背面图

## (二) FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 **PG2L200H-6IFBB484**，属于紫光同创公司 Logos2 系列的产品，速度等级为 6，温度等级为工业级。此型号为 FBB484 封装，484 个引脚。紫光同创 Logos2 FPGA 的芯片命名规则如下：

Logos2 系列 FPGA 产品型号的编号内容及意义如图 1 所示。

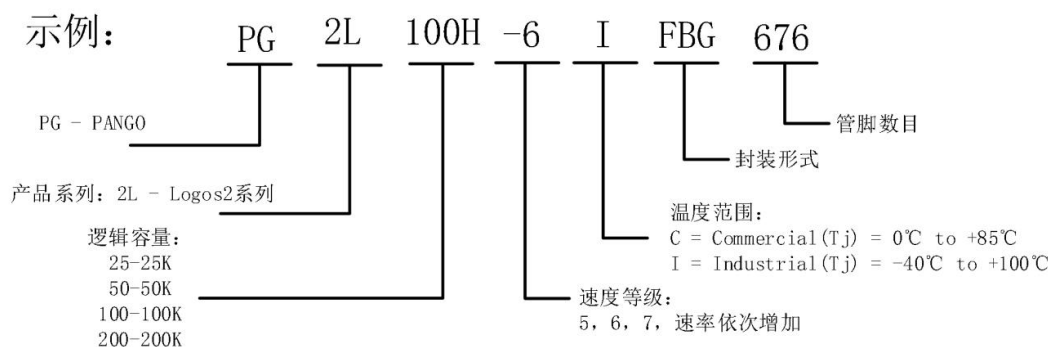


图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 PG2L200H 的主要参数如下所示：

名称	具体参数
触发器(FF)	319600
查找表 LUT4	239700
DRM (36Kbits) 个数	415
APM 单元 (乘法器)	740
PCIe Gen2	1
模数转换/ADC	1 个 12bit, 1Mbps AD
HSSTLP	4 路, 6.6Gb/s max
速度等级	-6
温度等级	工业级

## FPGA 供电系统

Logos2 FPGAA 电源有 VCC, VCC\_DRM, VCCA, VCCO, VHSSTAVCC 和 VHSSTAVTT。VCC 为 FPGA 内核供电引脚, 需接 1.0V; VCC\_DRM, 为 FPGA Block RAM 的供电引脚; 接 1.0V; VCCA 为 FPGA 辅助供电引脚, 接 1.8V; VCCO 为 FPGA 的各个 BANK 的电压, 包含 CFG, BANKL6~L3, BANKR4~R5, 在 ACP200 核心板上, BANKR4, BANKR5 因为需要连接 DDR3, BANK 的电压连接的是 1.5V, 其它 BANK 的电压默认都是 3.3V, 其中 BANKL6、BANKL4 和 BANKL3 的 VCCO 是由 LDO 供电, 可以通过更换 LDO 芯片更改 BANK 的电平。VHSSTAVCC 为 FPGA 内部 HSST 收发器的供电电压, 接 1.0V, VHSSTAVTT 为 HSST 收发器的端接电压, 接 1.2V。

FPGA 系统要求上电顺序分别为先 VCCIN 供电, 再是 VCC\_DRM, 然后是 VCCA, 最后为 VCCO。如果 VCC 和 VCC\_DRM 的电压一样, 可以同时上电。断电的顺序则相反。HSST 收发器的上电顺序为 VCC, 再是 VHSSTAVCC, 然后是 VHSSTAVTT。如果 VCC 和 VHSSTAVCC 的电压一样, 可以同时上电。断电顺序刚好和上电顺序相反。

### (三) 有源晶振

P200 核心板上配有两个有源差分晶振，一个是 200MHz，用于 FPGA 的系统主时钟和用于产生 DDR3 控制时钟；另一个为 125MHz，用于 HSST 收发器的参考时钟输入。

#### 1). 200Mhz 差分时钟

图 3.1 中的 G1 即为我们上述提到的给开发板提供的系统时钟源 200M 有源差分晶振电路。晶振输出连接到 FPGA 的 BANKR4 全局时钟管脚 MRCC(R4 和 T4)，这个 200Mhz 的差分时钟可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLLs 和 DCMs 来产生不同频率的时钟。

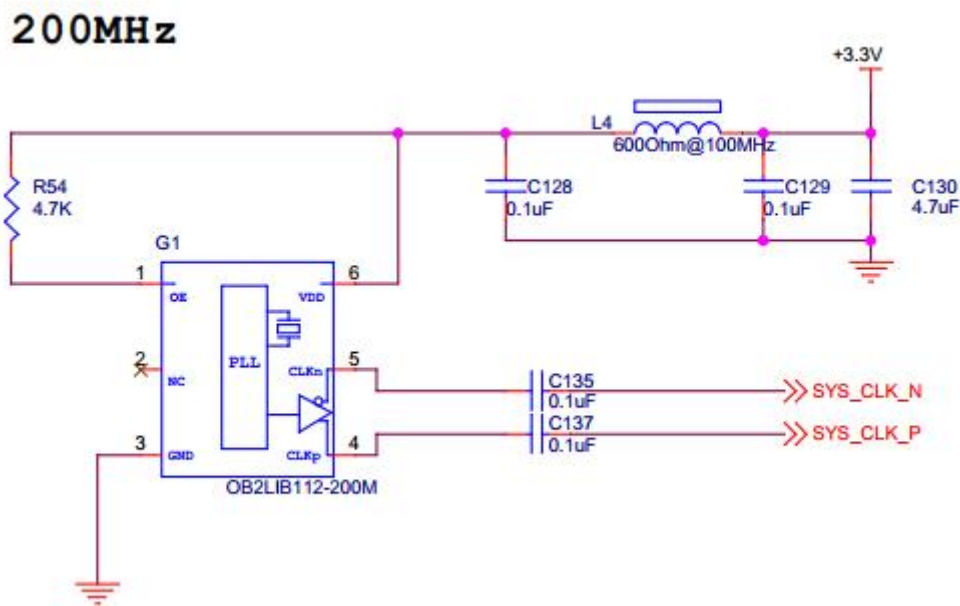


图 2-3-1 200M 有源差分晶振

图 2-3-2 为 200Mhz 差分有源晶振实物图



图 2-3-2 200M 有源差分晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
SYS_CLK_P	R4
SYS_CLK_N	T4

#### 2). 125Mhz 差分时钟

图 2-3-3 中的 G2 即为 125M 有源差分晶振电路，此时钟是给 FPGA 内部的 HSST 模块提供的参考输入时钟。晶振输出连接到 FPGA HSST 的 BANKQR3 时钟管脚 HSSTREFCLK0P (F6)和 HSSTREFCLK0N(E6)。

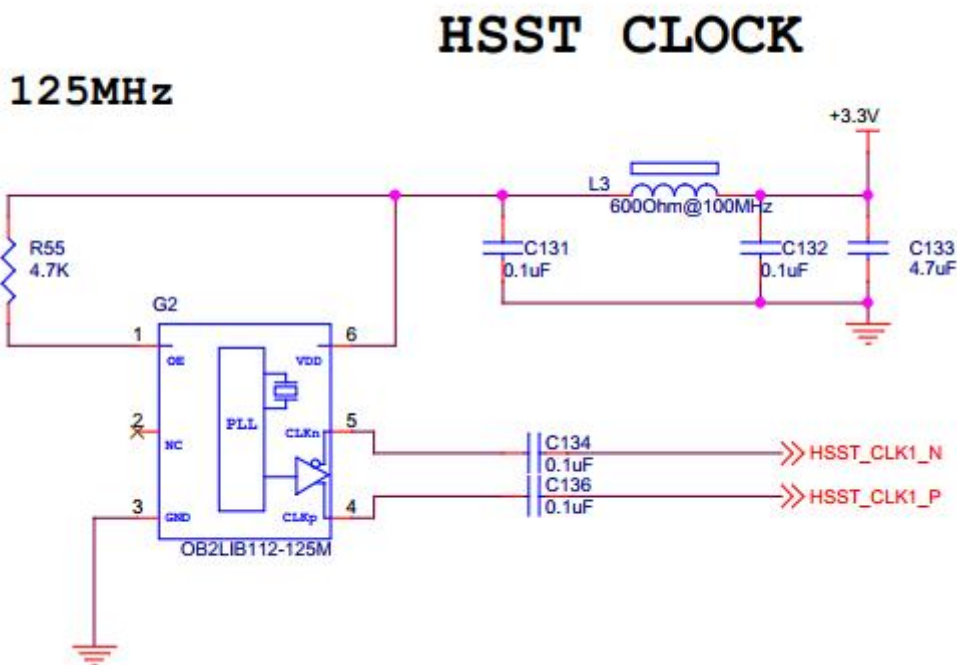


图 2-3-3 125Mhz 有源差分晶振

图 2-3-4 为 125M 差分有源晶振实物图



图 2-3-4 125M 有源晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
HSST_CLK0_P	F6
HSST_CLK0_N	E6

#### (四) DDR3

P200 核心板上配有两个力积的 4Gbit (512MB) 的 DDR3 芯片(共计 8Gbit),型号为 A3T4GF40BBF-HPI。DDR 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz(数据速率 800Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK R4 和 BANKR5 的存储器接口上。DDR3 SDRAM 的具体配置如下表 1-4-1 所示。

表 1-4-1 DDR3 SDRAM 配置

位号	芯片类型	容量
U5,U6	A3T4GF40BBF-HPI	256M x 16bit

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 2-4-1 所示:

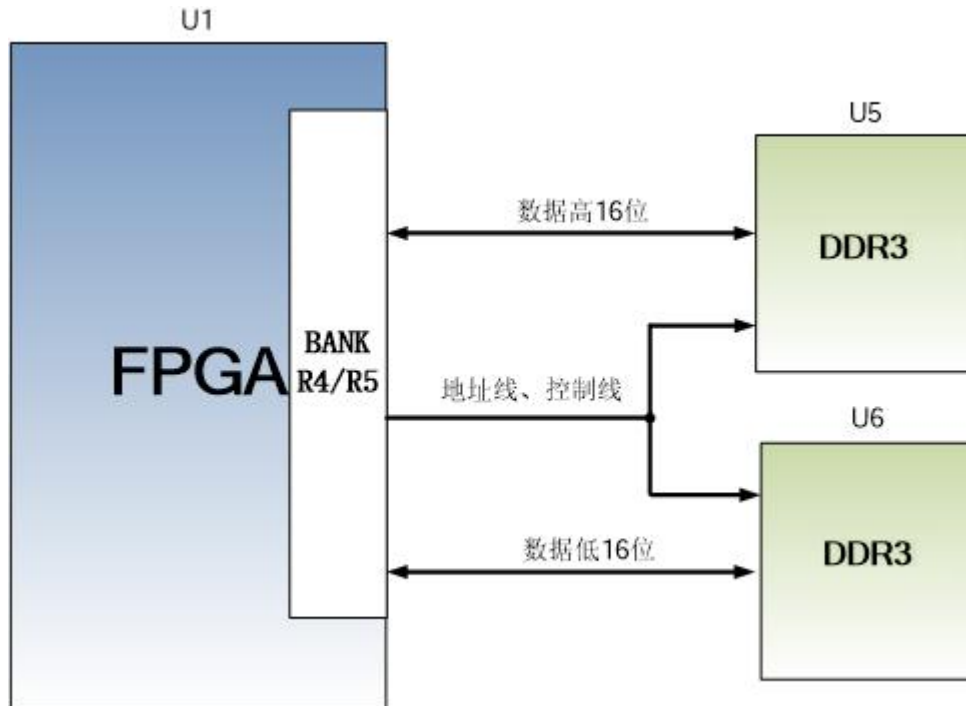


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 DDR3 DRAM 实物图



图2-4-2 DDR3 DRAM实物图

DDR3 DRAM 引脚分配:

信号名称	FPGA 引脚名
DDR3_DQS3_P	E1
DDR3_DQS3_N	D1

DDR3_DQS2_P	K2
DDR3_DQS2_N	J2
DDR3_DQS1_P	M1
DDR3_DQS1_N	L1
DDR3_DQS0_P	P5
DDR3_DQS0_N	P4
DDR3_DM3	M5
DDR3_DM2	M2
DDR3_DM1	G2
DDR3_DM0	D2
DDR3_D31	P2
DDR3_D30	P6
DDR3_D29	N5
DDR3_D28	M6
DDR3_D27	N2
DDR3_D26	R1
DDR3_D25	N4
DDR3_D24	P1
DDR3_D23	L5
DDR3_D22	J4
DDR3_D21	K6
DDR3_D20	K3
DDR3_D19	J6
DDR3_D18	L3
DDR3_D17	M3
DDR3_D16	L4
DDR3_D15	H4
DDR3_D14	K1
DDR3_D13	J5
DDR3_D12	J1
DDR3_D11	H5
DDR3_D10	H2

DDR3_D9	G3
DDR3_D8	H3
DDR3_D7	E2
DDR3_D6	B1
DDR3_D5	F1
DDR3_D4	B2
DDR3_D3	F3
DDR3_D2	A1
DDR3_D1	G1
DDR3_D0	C2
DDR3_A14	V3
DDR3_A13	U1
DDR3_A12	Y2
DDR3_A11	W2
DDR3_A10	Y1
DDR3_A9	U2
DDR3_A8	V2
DDR3_A7	T1
DDR3_A6	W1
DDR3_A5	U3
DDR3_A4	AB1
DDR3_A3	AB5
DDR3_A2	AA5
DDR3_A1	AB2
DDR3_A0	AA4
DDR3_BA2	Y4
DDR3_BA1	Y3
DDR3_BA0	AA3
DDR3_WE	AA1
DDR3_S0	AB3
DDR3_RESET	W6
DDR3_RAS	V4

DDR3_ODT	U5
DDR3_CLK0_P	R3
DDR3_CLK0_N	R2
DDR3_CKE0	T5
DDR3_CAS	W4

## (五) QSPI Flash

核心板上使用了 1 片 128Mbit 大小的 QSPI FLASH 芯片，型号为随机 GD25Q127，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

SPI FLASH 的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U4	GD25Q127	128M Bit	兆易

表1-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 CFG 和 BANKL5 的专用管脚上，其中时钟管脚连接到 CFG 的 CCLK0 上，其它数据和片选信号分别连接到 BANKL5 的 D00~D03 和 FCS 管脚上。

图 2-5-1 为 QSPI Flash 在硬件连接示意图。



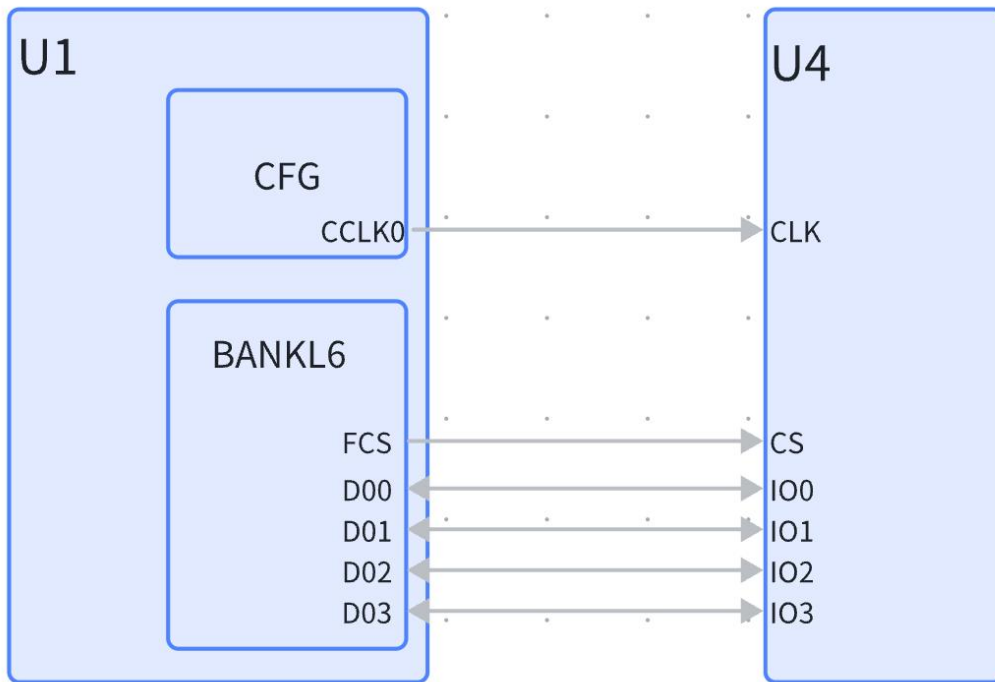


图2-5-1 QSPI Flash连接示意图

配置芯片引脚分配:

信号名称	FPGA 引脚号
QSPI_DQ3	R21
QSPI_DQ2	P21
QSPI_DQ1	R22
QSPI_DQ0	P22
QSPI_CS	T19
QSPI_CLK	L12

图 2-5-2 为开发板上 QSPI Flash 的实物图



图 2-5-2 QSPI FLASH 部分实物图

## (六) LED 灯

P200 核心板上有 3 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯 (DONE)，另外一个为用户 LED 灯 (LED1)。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。用户 LED 灯用户连接到 BANKR4 的 IO 上，可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯点亮，当连接 IO 电压为低时，用户 LED 会被熄灭。LED 灯硬件连接的示意图如图 2-6-1 所示：

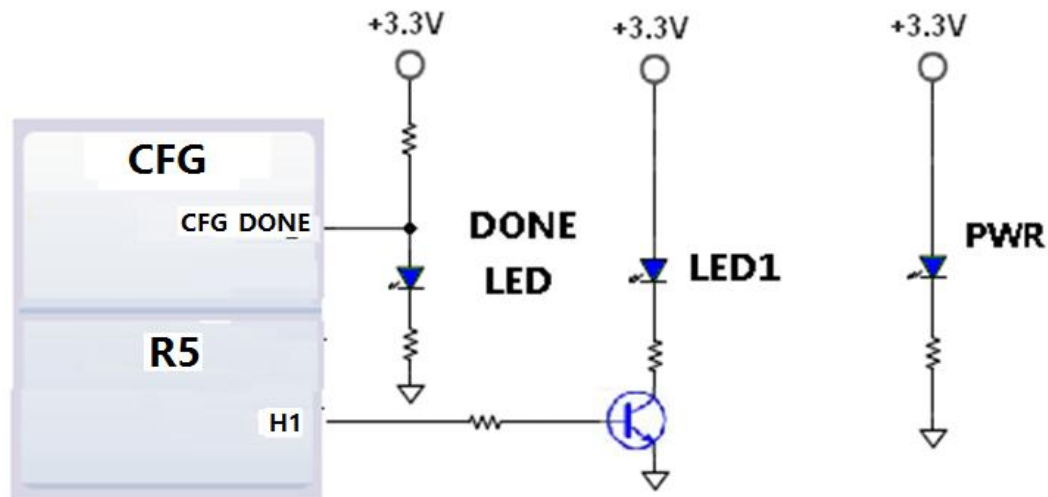


图 2-6-1 核心板 LED 灯硬件连接示意图

图 2-6-2 为核心板上的 LED 灯实物图

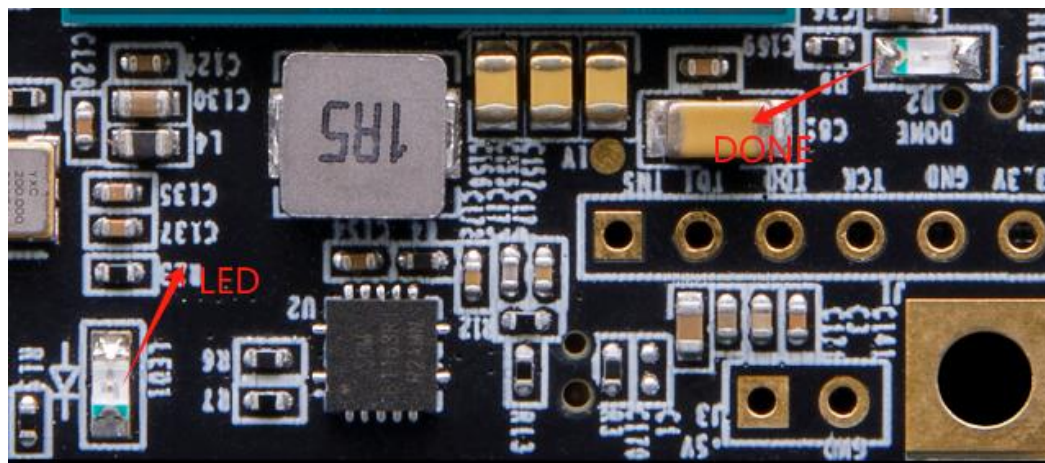


图 2-6-2 核心板的 LED 灯实物图

用户 LED 灯的引脚分配

信号名称	FPGA 管脚号	备注
LED1	W5	用户LED灯

## (七) 复位按键

核心板上有一个复位按键 Reset，复位按键连接到 FPGA 芯片的 BANKR4 的普通 IO 上，用户可以使用这个复位按键来初始化 FPGA 的程序。设计中按键按下，输入到 IO 上的信号电压为低，复位信号有效；按键没有按下时，输入到 IO 上信号为高。复位按键连接的示意图如图 2-7-1 所示：

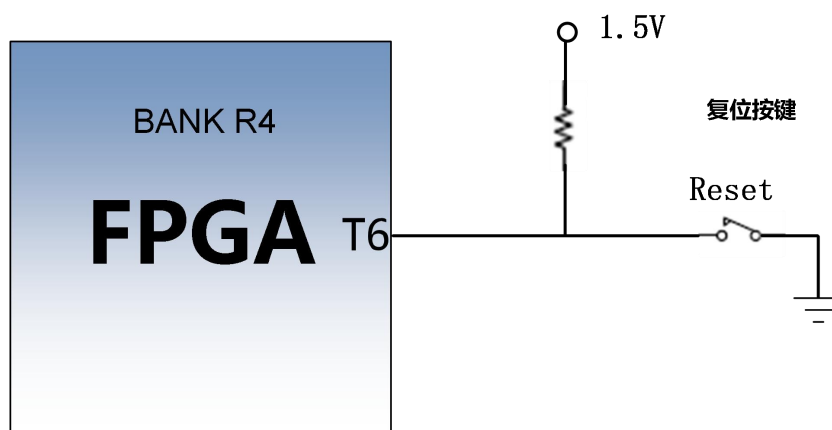


图 2-7-1 复位按键连接示意图

图 2-7-2 为复位按键实物图

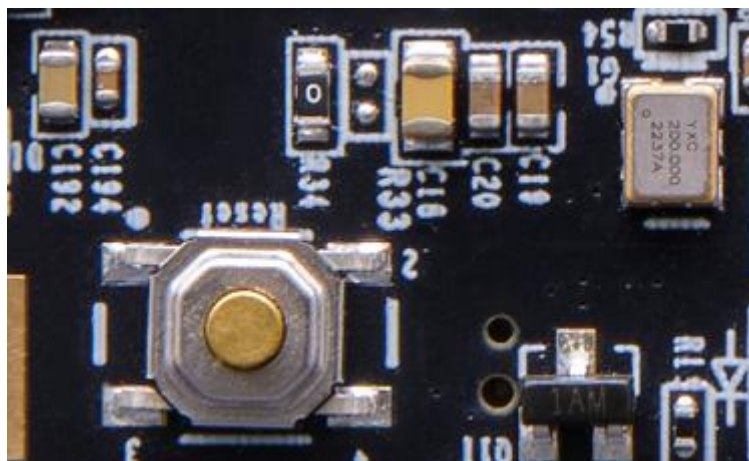


图 2-7-2 复位按键实物图

### 复位按键的引脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
RESET_N	IO_L17N_T2_34	T6	复位按键Reset

## (八) 扩展接口

核心板的背面一共扩展出 4 个高速扩展口，使用 4 个 80Pin 的板间连接器和底板连接，FPGA 的 IO 口通过差分走线方式连接到这 4 个扩展口上。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器配置实现高速数据通信。

### 扩展口 CON1

80Pin 的连接器 CON1 用来连接底板的 VCCIN 电源(+5V),地和 FPGA 的普通 IO，这里需要注意,CON1 的有 15 个管脚是连接到 BANKR4 的 IO 口,因为 BANKR4 连接是连接到 DDR3 的，所以这个 BANKR4 的所有 IO 的电压标准都是 1.5V 的。CON1 扩展口的管脚分配如表 2-8-1 所示：

表 2-8-1 扩展口 CON1 引脚分配

CON1 管脚	信号 名称	FPGA 管脚号	电平 标准	CON1 管脚	信号 名称	FPGA 管脚号	电平标 准
PIN1	VCCIN	-	+5V	PIN2	VCCIN	-	+5V
PIN3	VCCIN	-	+5V	PIN4	VCCIN	-	+5V
PIN5	VCCIN	-	+5V	PIN6	VCCIN	-	+5V
PIN7	VCCIN	-	+5V	PIN8	VCCIN	-	+5V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	NC	-	空脚	PIN12	NC	-	空脚
PIN13	NC	-	空脚	PIN14	NC	-	空脚
PIN15	NC	-	空脚	PIN16	L6_L4_P	AA15	3.3V
PIN17	NC	-	空脚	PIN18	L6_L4_N	ABL4	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L6_L5_P	Y13	3.3V	PIN22	L6_L1_P	Y16	3.3V
PIN23	L6_L5_N	AA14	3.3V	PIN24	L6_L1_N	AA16	3.3V
PIN25	L6_L7_P	AB11	3.3V	PIN26	L6_L2_P	ABL3	3.3V
PIN27	L6_L7_N	AB12	3.3V	PIN28	L6_L2_N	AB17	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L6_L3_P	AA13	3.3V	PIN32	L6_L6_P	W14	3.3V
PIN33	L6_L3_N	ABL6	3.3V	PIN34	L6_L6_N	Y14	3.3V
PIN35	R4_L23_P	Y8	1.5V	PIN36	R4_L20_P	AB7	1.5V

PIN37	R4_L23_N	Y7	1.5V	PIN38	R4_L20_N	AB6	1.5V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	R4_L18_N	AA6	1.5V	PIN42	R4_L21_N	V8	1.5V
PIN43	R4_L18_P	Y6	1.5V	PIN44	R4_L21_P	V9	1.5V
PIN45	R4_L19_P	V7	1.5V	PIN46	R4_L22_P	AA8	1.5V
PIN47	R4_L19_N	W7	1.5V	PIN48	R4_L22_N	AB8	1.5V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	XADC_VN	M9	模拟	PIN52	NC		
PIN53	XADC_VP	L10	模拟	PIN54	R4_L25	U7	1.5V
PIN55	NC	-	空脚	PIN56	R4_L24_P	W9	1.5V
PIN57	NC	-	空脚	PIN58	R4_L24_N	Y9	1.5V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L3_L1_N	F14	3.3V	PIN62	NC	-	空脚
PIN63	L3_L1_P	F13	3.3V	PIN64	NC	-	空脚
PIN65	L3_L4_N	E14	3.3V	PIN66	NC	-	空脚
PIN67	L3_L4_P	E13	3.3V	PIN68	NC	-	空脚
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L3_L6_N	D15	3.3V	PIN72	NC	-	空脚
PIN73	L3_L6_P	D14	3.3V	PIN74	NC	-	空脚
PIN75	L3_L8_P	C13	3.3V	PIN76	NC	-	空脚
PIN77	L3_L8_N	BL6	3.3V	PIN78	NC	-	空脚
PIN79	NC	-	空脚	PIN80	NC	-	空脚

## 扩展口 CON2

80Pin 的连接器 CON2 用来扩展 FPGA 的 BANKL6 和 BANKL5 的普通 IO, 这两个 BANK 的电压标准都是 3.3V 的。CON2 扩展口的管脚分配如表 2-8-2 所示:

**表 2-8-2 扩展口 CON2 引脚分配**

CON2 管脚	信号 名称	FPGA 管脚号	电平 标准	CON2 管脚	信号 名称	FPGA 管脚号	电平标准
PIN1	L6_L16_P	W15	3.3V	PIN2	L5_L16_P	V17	3.3V
PIN3	L6_L16_N	W16	3.3V	PIN4	L5_L16_N	W17	3.3V

PIN5	L6_L15_P	T14	3.3V	PIN6	L6_L14_P	U15	3.3V
PIN7	L6_L15_N	T15	3.3V	PIN8	L6_L14_N	V15	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	L6_L13_P	V13	3.3V	PIN12	L5_L10_P	AB21	3.3V
PIN13	L6_L13_N	V14	3.3V	PIN14	L5_L10_N	AB22	3.3V
PIN15	L6_L12_P	W11	3.3V	PIN16	L5_L8_N	AA21	3.3V
PIN17	L6_L12_N	W12	3.3V	PIN18	L5_L8_P	AA20	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L6_L11_P	Y11	3.3V	PIN22	L5_L15_N	AB20	3.3V
PIN23	L6_L11_N	Y12	3.3V	PIN24	L5_L15_P	AA19	3.3V
PIN25	L6_L10_P	V10	3.3V	PIN26	L5_L17_P	AA18	3.3V
PIN27	L6_L10_N	W10	3.3V	PIN28	L5_L17_N	AB18	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L6_L9_N	AA11	3.3V	PIN32	L5_L6_N	T20	3.3V
PIN33	L6_L9_P	AA10	3.3V	PIN34	L6_IO0	Y17	3.3V
PIN35	L6_L8_N	AB10	3.3V	PIN36	L5_L7_N	W22	3.3V
PIN37	L6_L8_P	AA9	3.3V	PIN38	L5_L7_P	W21	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	L5_L11_N	V20	3.3V	PIN42	L5_L4_P	T21	3.3V
PIN43	L5_L11_P	U20	3.3V	PIN44	L5_L4_N	U21	3.3V
PIN45	L5_L14_N	V19	3.3V	PIN46	L5_L9_P	Y21	3.3V
PIN47	L5_L14_P	V18	3.3V	PIN48	L5_L9_N	Y22	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	L5_L5_N	R19	3.3V	PIN52	L5_L12_N	W20	3.3V
PIN53	L5_L5_P	P19	3.3V	PIN54	L5_L12_P	W19	3.3V
PIN55	L5_L18_N	U18	3.3V	PIN56	L5_L13_N	Y19	3.3V
PIN57	L5_L18_P	U17	3.3V	PIN58	L5_L13_P	Y18	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L6_L17_P	T16	3.3V	PIN62	L5_L3_N	V22	3.3V
PIN63	L6_L17_N	U16	3.3V	PIN64	L5_L3_P	U22	3.3V
PIN65	L5_L21_N	P17	3.3V	PIN66	L5_L20_N	T18	3.3V
PIN67	L5_L21_P	N17	3.3V	PIN68	L5_L20_P	R18	3.3V

PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L5_L22_P	P15	3.3V	PIN72	L5_L19_N	R14	3.3V
PIN73	L5_L22_N	R16	3.3V	PIN74	L5_L19_P	P14	3.3V
PIN75	L5_L24_N	R17	3.3V	PIN76	L5_L23_P	N13	3.3V
PIN77	L5_L24_P	P16	3.3V	PIN78	L5_L23_N	N14	3.3V
PIN79	L5_IO0	P20	3.3V	PIN80	L5_IO25	N15	3.3V

### 扩展口 CON3

80Pin 的连接器 CON3 用来扩展 FPGA 的 BANKL4 和 BANKL3 的普通 IO，另外还有 4 个 JTAG 的信号也通过 CON3 连接器连接到底板上。BANKL4 和 BANKL3 的电压标准都是可以通过一个 LDO 芯片来调整，默认安装的 LDO 是 3.3V 的，如果用户想输出其它标准的电平，可以更换合适的 LDO 来实现。CON3 扩展口的管脚分配如表 2-8-3 所示：

表 2-8-3 扩展口 CON3 引脚分配

CON3 管脚	信号 名称	FPGA 管脚号	电平 标准	CON3 管脚	信号 名称	FPGA 管脚号	电平标 准
PIN1	L4_IO0	J16	3.3V	PIN2	L4_IO25	M17	3.3V
PIN3	L3_IO0	F15	3.3V	PIN4	L3_IO25	F21	3.3V
PIN5	L4_L4_P	G17	3.3V	PIN6	L3_L21_N	A21	3.3V
PIN7	L4_L4_N	G18	3.3V	PIN8	L3_L21_P	B21	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	L4_L2_P	G15	3.3V	PIN12	L3_L23_P	E21	3.3V
PIN13	L4_L2_N	G16	3.3V	PIN14	L3_L23_N	D21	3.3V
PIN15	L4_L12_P	J19	3.3V	PIN16	L3_L22_P	E22	3.3V
PIN17	L4_L12_N	H19	3.3V	PIN18	L3_L22_N	D22	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L4_L11_P	J20	3.3V	PIN22	L3_L24_P	G21	3.3V
PIN23	L4_L11_N	J21	3.3V	PIN24	L3_L24_N	G22	3.3V
PIN25	L4_L1_N	G13	3.3V	PIN26	L4_L8_N	G20	3.3V
PIN27	L4_L1_P	H13	3.3V	PIN28	L4_L8_P	H20	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L4_L5_P	J15	3.3V	PIN32	L4_L7_N	H22	3.3V

PIN33	L4_L5_N	H15	3.3V	PIN34	L4_L7_P	J22	3.3V
PIN35	L4_L3_N	H14	3.3V	PIN36	L4_L9_P	K21	3.3V
PIN37	L4_L3_P	J14	3.3V	PIN38	L4_L9_N	K22	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	L4_L19_P	K13	3.3V	PIN42	L4_L15_N	M22	3.3V
PIN43	L4_L19_N	K14	3.3V	PIN44	L4_L15_P	N22	3.3V
PIN45	L4_L20_P	M13	3.3V	PIN46	L4_L6_N	H18	3.3V
PIN47	L4_L20_N	L13	3.3V	PIN48	L4_L6_P	H17	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	L4_L14_P	L19	3.3V	PIN52	L4_L13_N	K19	3.3V
PIN53	L4_L14_N	L20	3.3V	PIN54	L4_L13_P	K18	3.3V
PIN55	L4_L21_P	K17	3.3V	PIN56	L4_L10_P	M21	3.3V
PIN57	L4_L21_N	J17	3.3V	PIN58	L4_L10_N	L21	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L4_L23_P	L16	3.3V	PIN62	L4_L18_P	N20	3.3V
PIN63	L4_L23_N	K16	3.3V	PIN64	L4_L18_N	M20	3.3V
PIN65	L4_L22_P	L14	3.3V	PIN66	L4_L17_N	N19	3.3V
PIN67	L4_L22_N	L15	3.3V	PIN68	L4_L17_P	N18	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L4_L24_P	M15	3.3V	PIN72	L4_L16_P	M18	3.3V
PIN73	L4_L24_N	M16	3.3V	PIN74	L4_L16_N	L18	3.3V
PIN75	NC	-		PIN76	NC	-	
PIN77	FPGA_TCK	V12	3.3V	PIN78	FPGA_TDI	R13	3.3V
PIN79	FPGA_TDO	U13	3.3V	PIN80	FPGA_TMS	T13	3.3V

#### 扩展口 CON4

80Pin 的连接器 CON4 用来扩展 FPGA 的 BANKL3 的普通 IO 和 HSST 的高速数据和时钟信号。BANKL3 的 IO 口的电压标准可以通过一个 LDO 芯片来调整, 默认安装的 LDO 是 3.3V 的, 如果用户想输出其它标准的电平, 可以更换合适的 LDO 来实现。HSST 的高速数据和时钟信号在核心板上严格差分走线, 数据线等长及保持一定的间隔, 防止信号干扰。CON4 扩展口的管脚分配如表 2-10-4 所示:



表 2-8-4 扩展口 CON4 引脚分配

CON4 管脚	信号 名称	FPGA 管脚号	电平 标准	CON4 管脚	信号 名称	FPGA 管脚号	电平 标准
PIN1	NC		空脚	NC		空脚	NC
PIN3	NC		空脚	NC		空脚	NC
PIN5	NC		空脚	NC		空脚	NC
PIN7	NC		空脚	NC		空脚	NC
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	NC		空脚	PIN12	HSST_TX2_P	B6	差分
PIN13	NC		空脚	PIN14	HSST_TX2_N	A6	差分
PIN15	GND	-	地	PIN16	GND	-	地
PIN17	HSST_TX3_P	D7	差分	PIN18	HSST_RX2_P	B10	差分
PIN19	HSST_TX3_N	C7	差分	PIN20	HSST_RX2_N	A10	差分
PIN21	GND	-	地	PIN22	GND	-	地
PIN23	HSST_RX3_P	D9	差分	PIN24	HSST_TX0_P	B4	差分
PIN25	HSST_RX3_N	C9	差分	PIN26	HSST_TX0_N	A4	差分
PIN27	GND	-	地	PIN28	GND	-	地
PIN29	HSST_TX1_P	D5	差分	PIN30	HSST_RX0_P	B8	差分
PIN31	HSST_TX1_N	C5	差分	PIN32	HSST_RX0_N	A8	差分
PIN33	GND	-	地	PIN34	GND	-	地
PIN35	HSST_RX1_P	D11	差分	PIN36	HSST_CLK1_P	F10	差分
PIN37	HSST_RX1_N	C11	差分	PIN38	HSST_CLK1_N	E10	差分
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	L3_L5_P	E16	3.3V	PIN42	L3_L2_P	F16	3.3V
PIN43	L3_L5_N	D16	3.3V	PIN44	L3_L2_N	E17	3.3V
PIN45	L3_L7_P	BL4	3.3V	PIN46	L3_L3_P	C14	3.3V
PIN47	L3_L7_N	BL3	3.3V	PIN48	L3_L3_N	C15	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	L3_L9_P	A15	3.3V	PIN52	L3_L10_P	A13	3.3V
PIN53	L3_L9_N	A16	3.3V	PIN54	L3_L10_N	A14	3.3V
PIN55	L3_L11_P	B17	3.3V	PIN56	L3_L12_P	D17	3.3V

PIN57	L3_L11_N	B18	3.3V	PIN58	L3_L12_N	C17	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L3_L13_P	C18	3.3V	PIN62	L3_L14_P	E19	3.3V
PIN63	L3_L13_N	C19	3.3V	PIN64	L3_L14_N	D19	3.3V
PIN65	L3_L15_P	F18	3.3V	PIN66	L3_L16_P	B20	3.3V
PIN67	L3_L15_N	E18	3.3V	PIN68	L3_L16_N	A20	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L3_L17_P	A18	3.3V	PIN72	L3_L18_P	F19	3.3V
PIN73	L3_L17_N	A19	3.3V	PIN74	L3_L18_N	F20	3.3V
PIN75	L3_L19_P	D20	3.3V	PIN76	L3_L20_P	C22	3.3V
PIN77	L3_L19_N	C20	3.3V	PIN78	L3_L20_N	B22	3.3V
PIN79	NC	-		PIN80	NC	-	

## (九) 电源

P200 核心板供电电压为 DC5V, 单独使用时通过 J3 接口供电, 连接底板时通过底板供电, 请注意不要 J3 和底板同时供电, 以免造成损坏。板上的电源设计示意图如下图 2-9-1 所示:

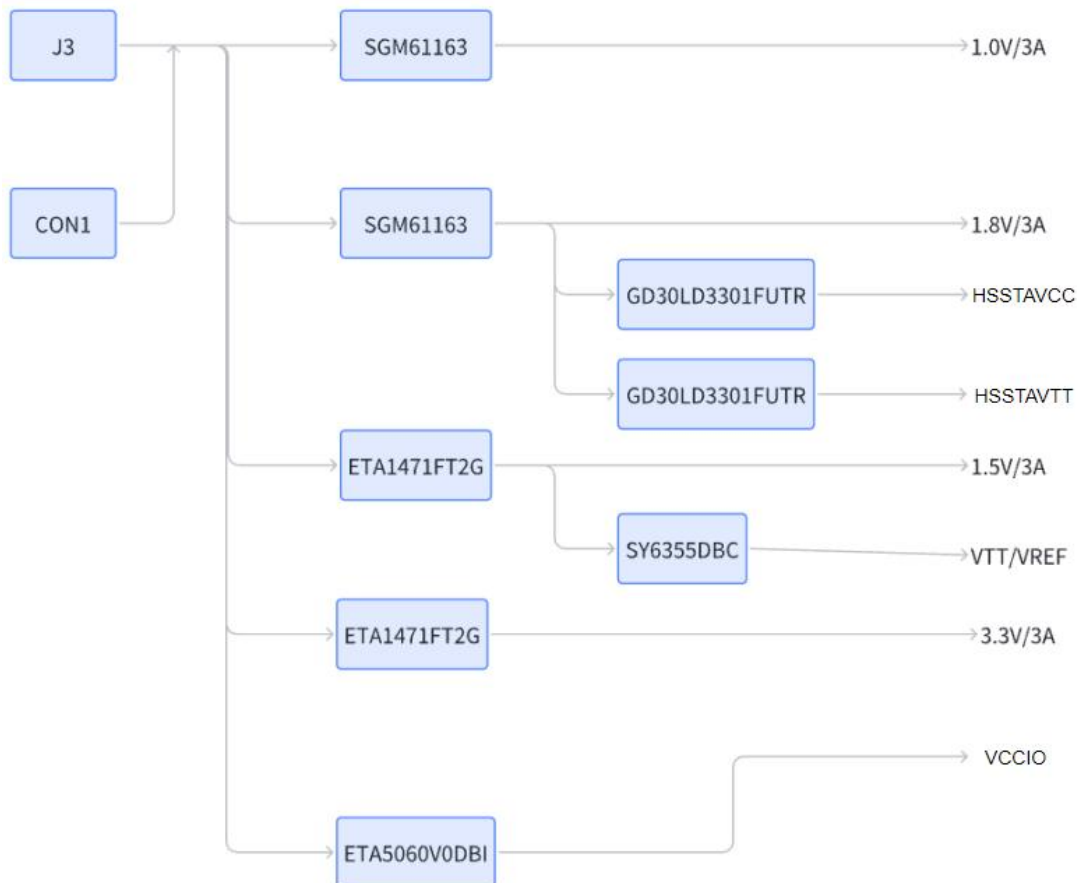


图 2-9-1 原理图中电源接口部分

核心板通过+5V 供电, 通过两路 DC/DC 电源芯片 SGM61163 转化成+1.8V, +1.0V 两路电源, 通过两路 DC/DC 电源芯片 ETA1471FT2G 转化成+3.3V, +1.5V 两路电源, 每路输出电流可高达 3A。通过一路 DC/DC ETA5060V0DBI 产生 VCCIO 电源, VCCIO 主要是对 FPGA 的 BANKL4, BANKL3 进行供电, 用户可以通过更换其它的 LDO 芯片, 使得 BANKL4, L3 的 IO 适应不同的电压标准。1.5V 通过 SY6355DBC 生成 DDR3 需要的 VTT 和 VREF 电压。1.8V 通过 GD30LD3301FUTR 芯片产生高速收发器的电源 HSSTAVTT 和 HSSTAVCC。各个电源分配的功能如下表所示:

电源	功能
+3.3V	FPGA CFG,BankL6,BankL5 的 VCCIO, QSIP FLASH, Clock 晶振
+1.8V	FPGA 辅助电压
+1.0V	FPGA 的核心电压
+1.5V	DDR3, FPGA BankR4 和 BankR5
VREF, VTT (+0.75V)	DDR3
VCCIO(+3.3V)	FPGA BankL4, BankL3

HSSTAVTT (+1.2V)	FPGA HSSTLP 收发器 Q3
HSSTAVCC(+1.0V)	FPGA HSSTLP 收发器 Q3

P200 核心板的电源电路在板上的分别实物图所下图 2-9-2 所示。

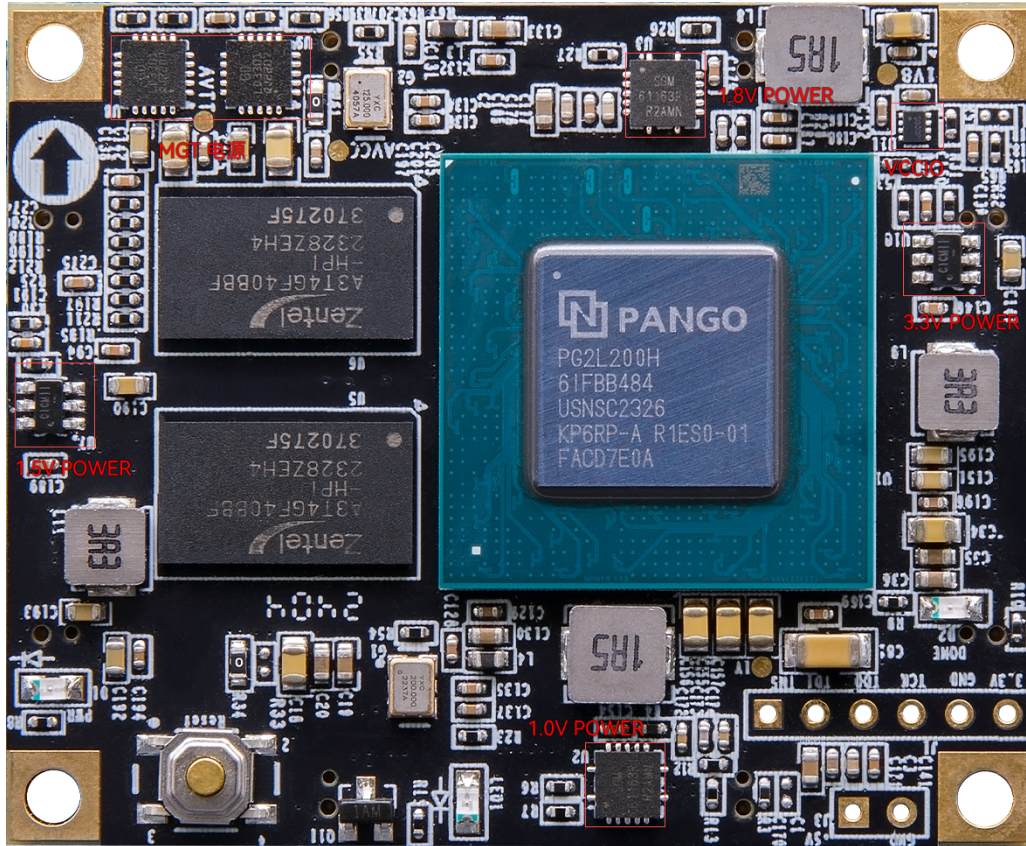
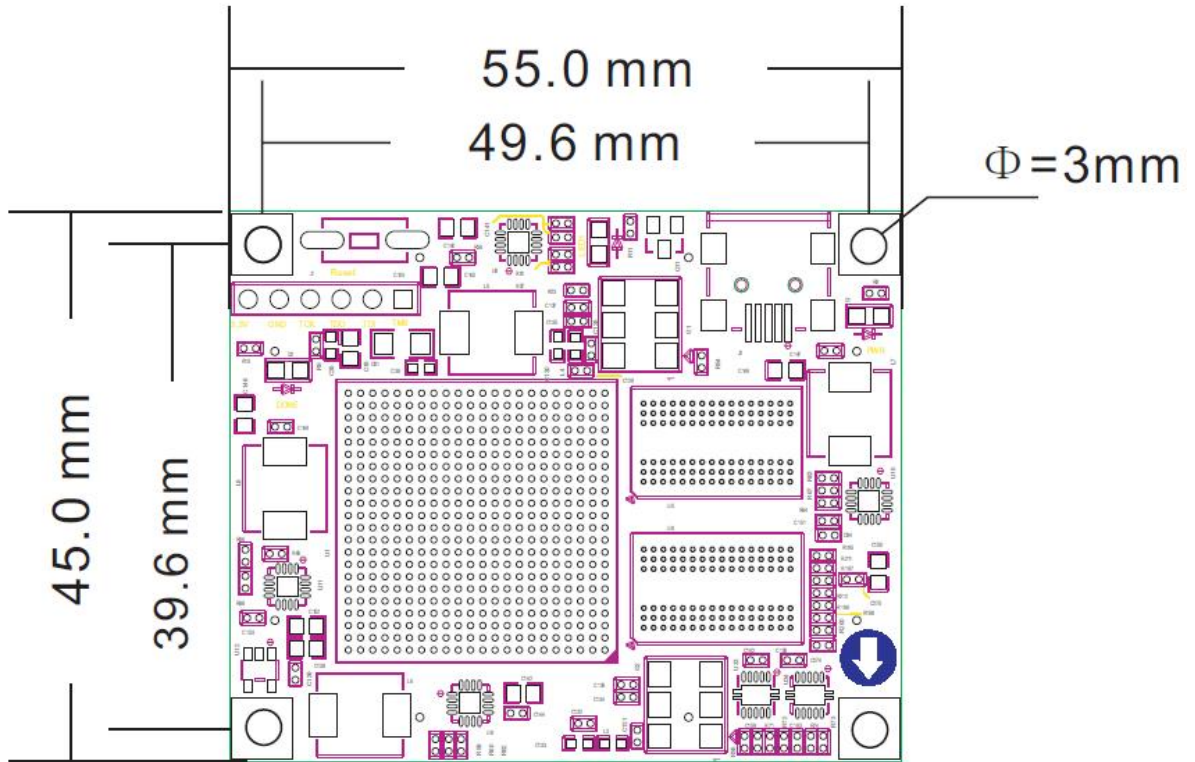
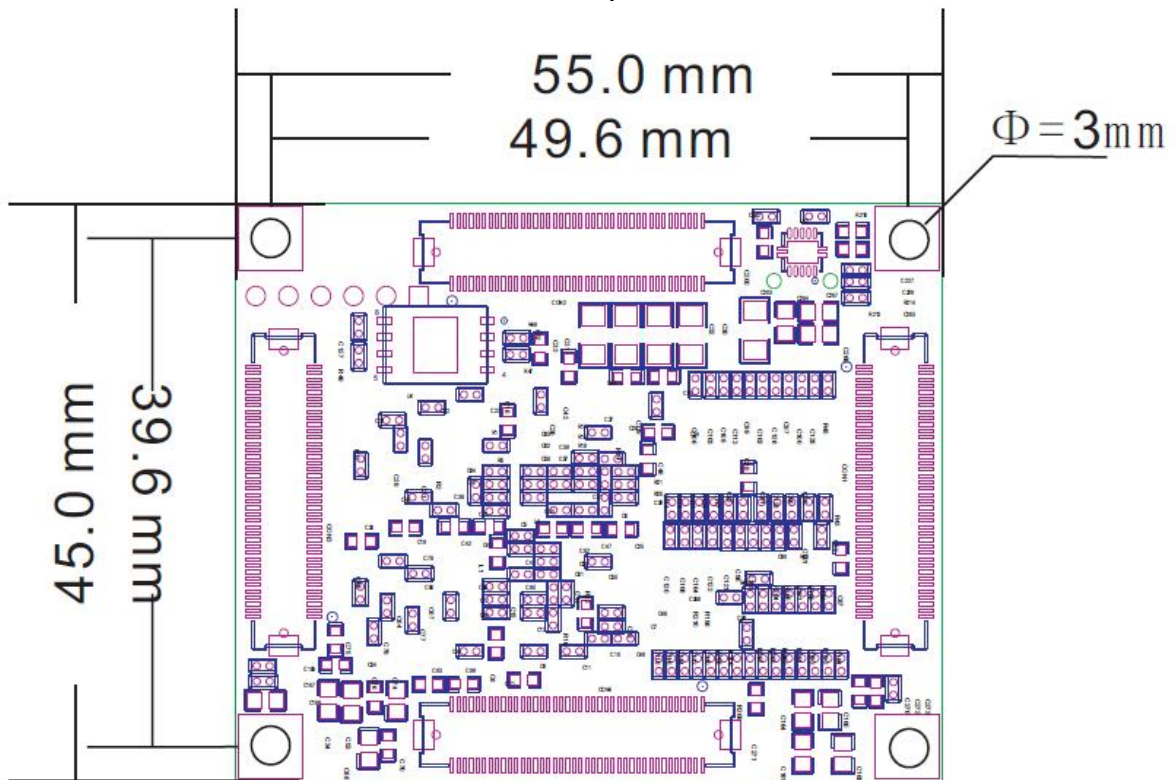


图 2-9-2 核心板电源部分实物图

(十) 结构图



正面图 (Top View)



背面图 (Bottom View)

## 三、扩展板

### (一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 一路 10/100M/1000M 以太网 RJ-45 接口
- 二路 SFP 高速光纤接口
- 一路 24 位的 VGA 输出
- 一路 USB2.0 通信接口
- 一路 USB Uart 通信接口
- 一路 RS232 通信接口
- SD 卡接口
- RTC 电路
- EEPROM
- 二路 40 针扩展口
- JTAG 调试口
- 4 个独立按键
- 4 个用户 LED 灯

## (二) 千兆以太网接口

AXP202 扩展板上通过 Realtek RTL8211EG 以太网 PHY 芯片为用户提供 1 路千兆网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率, 通过 GMII 接口跟 FPGA 进行数据通信。RTL8211EG 支持 MDI/MDX 自适应, 各种速度自适应, Master/Slave 自适应, 支持 MDIO 总线进行 PHY 的寄存器管理。

RTL8211EG 上电会检测一些特定的 IO 的电平状态, 从而确定自己的工作模式。下表描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
SELRGV	3.3V,2.5V,1.5/1.8V 电压选择	3.3V
AN[1:0]	自协商配置	(10/100/1000M)自适应
RX Delay	RX 时钟 2ns 延时	延时
TX Delay	TX 时钟 2ns 延时	延时
MODE	RGMII 或 GMII 选择	GMII

当网络连接到千兆以太网时, FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 GMII 总线通信, 传输时钟为 125Mhz。接收时钟 E\_RXC 由 PHY 芯片提供, 发送时钟 E\_GTXC 由 FPGA 提供, 数据在时钟的上升沿采样。

当网络连接到百兆以太网时, FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 MII 总线通信, 传输时钟为 25Mhz。接收时钟 E\_RXC 和发送时钟 E\_TXC 都由 PHY 芯片提供, 数据在时钟的上升沿采样。

千兆以太网的设计示意图如图 3-2-1 所示:

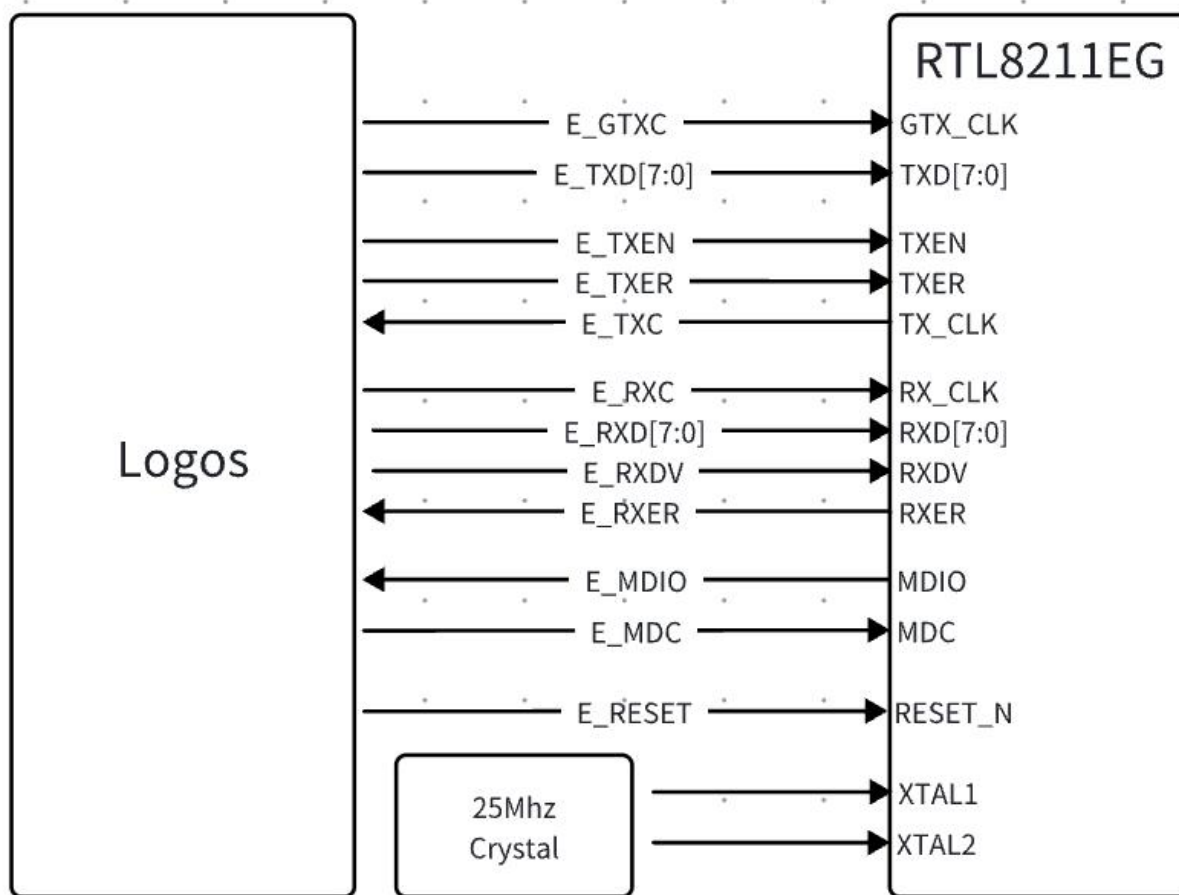


图 3-2-1 FPGA 与 PHY 芯片连接示意图

图 3-2-2 为以太网 PHY 芯片的实物图

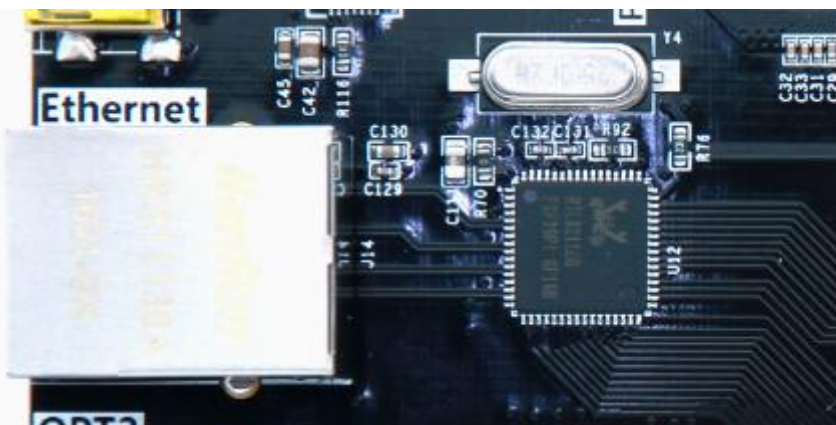


图 3-2-2 以太网 PHY 芯片实物图

FPGA 和以太网芯片连接的管脚分配如下：

网络名称	FPGA 引脚	备注
E_GTXC	L18	以太网 GMII 发送时钟



E_TXD0	M15	以太网发送数据 bit0
E_TXD1	L14	以太网发送数据 bit1
E_TXD2	K16	以太网发送数据 bit2
E_TXD3	L16	以太网发送数据 bit3
E_TXD4	K17	以太网发送数据 bit4
E_TXD5	L20	以太网发送数据 bit5
E_TXD6	L19	以太网发送数据 bit6
E_TXD7	L13	以太网发送数据 bit7
E_TXEN	M16	以太网发送使能信号
E_TXER	M13	以太网发送错误信号
E_TXC	J17	以太网 MII 发送时钟
E_RXC	K18	以太网 GMII 接收时钟
E_RXDV	M22	以太网接收数据有效信号
E_RXER	N19	以太网接收数据错误
E_RXD0	N22	以太网接收数据 Bit0
E_RXD1	H18	以太网接收数据 Bit1
E_RXD2	H17	以太网接收数据 Bit2
E_RXD3	K19	以太网接收数据 Bit3
E_RXD4	M21	以太网接收数据 Bit4
E_RXD5	L21	以太网接收数据 Bit5
E_RXD6	N20	以太网接收数据 Bit6
E_RXD7	M20	以太网接收数据 Bit7
E_COL	N18	以太网 Collision 信号
E_CRD	M18	以太网 Carrier Sense 信号
E_RESET	L15	以太网复位信号
E_MDC	W10	以太网 MDIO 管理时钟
E_MDIO	V10	以太网 MDIO 管理数据

### (三) 光纤接口

AXP202 扩展板上有 2 路光纤接口，用户可以购买光模块(市场上 1.25G, 2.5G 光模块)插入到这 2 个光纤接口中进行光纤数据通信。2 路光纤接口分别跟 FPGA 的 HSSTLP 收发器

的 2 路 RX/TX 相连接, TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 FPGA 和光模块, 每路 TX 发送和 RX 接收数据速率高达 6.6Gb/s。HSSTLP 收发器的参考时钟由核心板上的 125M 差分晶振提供。

FPGA 和光纤设计示意图如下图 3-3-1 所示:

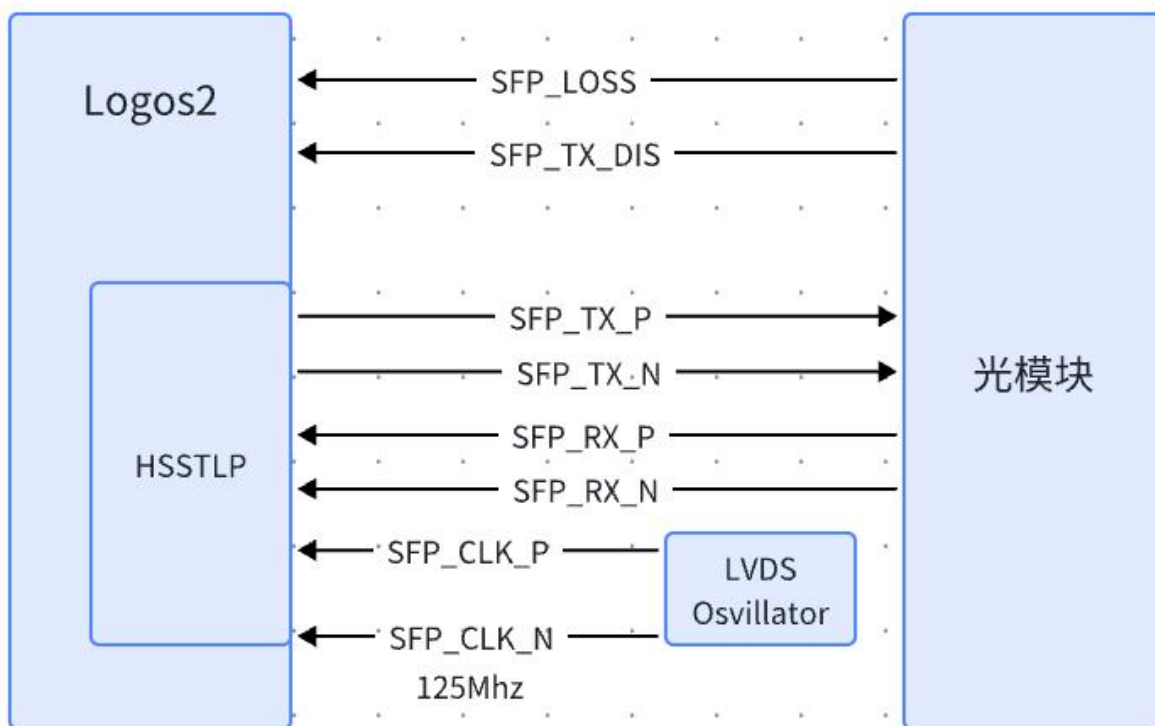


图 3-3-1 SFP x2 设计示意图

四路光纤接口在扩展板的实物图如下图 3-3-2 所示:

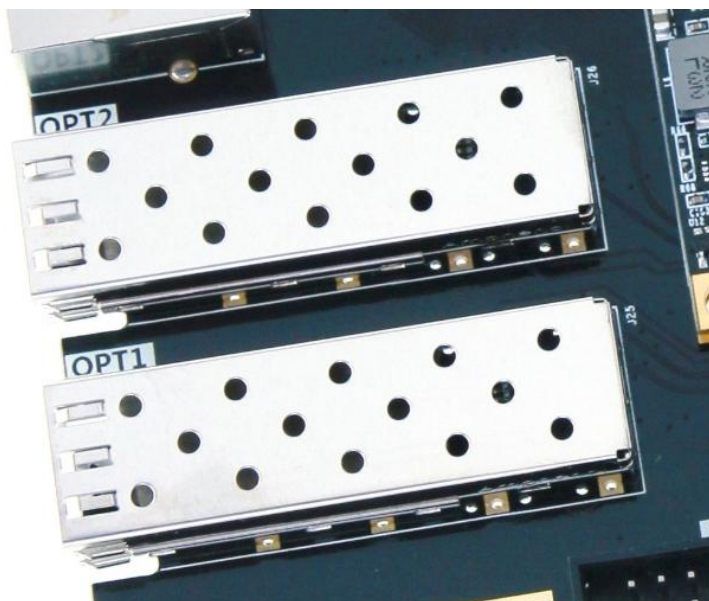


图 3-3-2 四路光纤通信接口实物图

第一路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP1_TX_P	D5	OPT1 光模块数据发送 Positive
SFP1_TX_N	C5	OPT1 光模块数据发送 Negative
SFP1_RX_P	D11	OPT1 光模块数据接收 Positive
SFP1_RX_N	C11	OPT1 光模块数据接收 Negative
SFP1_TX_DIS	A16	OPT1 光模块光发射禁止，高有效
SFP1_LOSS	B16	OPT1 光接收 LOSS 信号，高表示没有接收到光信号

第 2 路光纤接口引脚分配如下：

网络名称	FPGA 引脚	备注
SFP2_TX_P	B4	OPT2 光模块数据发送 Positive
SFP2_TX_N	A4	OPT2 光模块数据发送 Negative
SFP2_RX_P	B8	OPT2 光模块数据接收 Positive
SFP2_RX_N	A8	OPT2 光模块数据接收 Negative
SFP2_TX_DIS	A15	OPT2 光模块光发射禁止，高有效
SFP2_LOSS	B15	OPT2 光接收 LOSS 信号，高表示没有接收到光信号

#### (四) VGA 接口

VGA 接口的是一种 D 型接口，上面共有 15 针孔，分成三排，每排五个。比较重要的是 3 根 RGB 彩色分量信号和 2 根扫描同步信号 HSYNC 和 VSYNCZ 针。

引脚 1、2、3 分别为红绿蓝三基色模拟电压，为 0~0.714V<sub>peak-peak</sub>(峰-峰值)，0V 代表无色，0.714V 代表满色。一些非标准显示器使用的是 1V<sub>pp</sub> 的满色电平。

三基色源端及终端匹配电阻均为 75 欧姆。如图 3-4-1 所示。

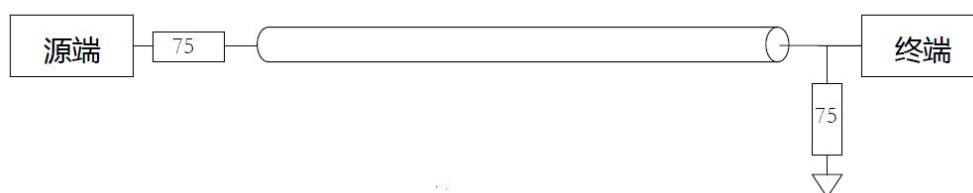


图 3-4-1 VGA 视频信号传输示意图

HSYNC 和 VSYNC 分别为行数据同步和帧数据同步。为 TTL 电平。FPGA 只能输出数字信号。而 VGA 需要 R、G、B 是模拟信号，VGA 的数字转模拟信号是通过一个简单的电阻电路来实现。这个电阻电路可以产生 32 个梯度等级的红色和蓝色信号和 64 个梯度等级的绿色信号 (RGB 5-6-5)，VGA 接口部分电路如下图 3-4-2 所示

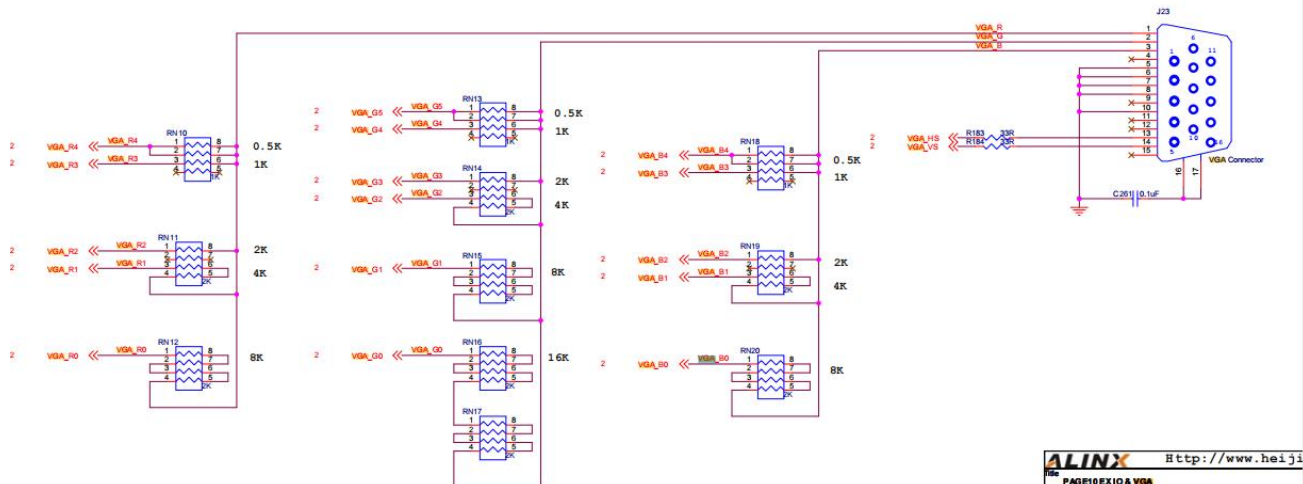


图 3-4-2 VGA 接口部分原理图

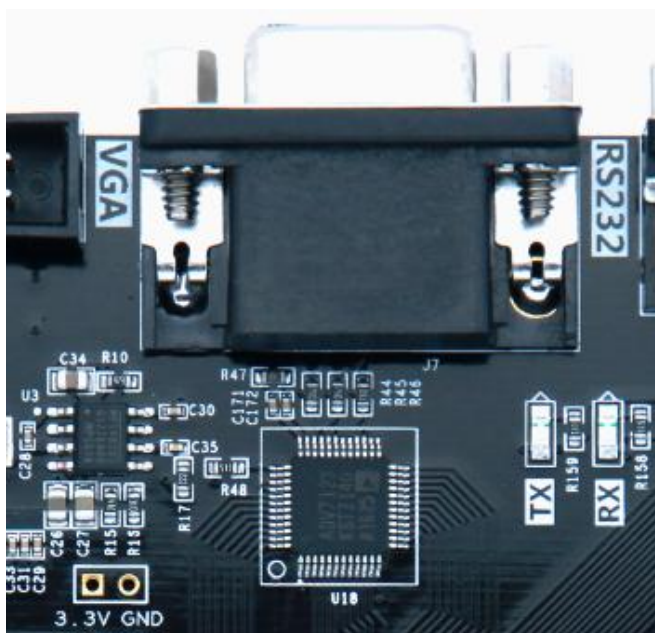


图 3-4-3 VGA 接口实物图

VGA 接口引脚分配

引脚名称	FPGA 引脚
VGA_CLK	U21
VGA_EN	AB20
VGA_HS	AA11

VGA_VS	AA10
VGA_R7	W15
VGA_R6	W16
VGA_R5	T14
VGA_R4	T15
VGA_R3	V13
VGA_R2	V14
VGA_R1	W11
VGA_R0	W12
VGA_G7	AA20
VGA_G6	AA21
VGA_G5	AB22
VGA_G4	AB21
VGA_G3	V15
VGA_G2	U15
VGA_G1	W17
VGA_G0	V17
VGA_B7	T21
VGA_B6	W21
VGA_B5	W22
VGA_B4	Y17
VGA_B3	T20
VGA_B2	AB18
VGA_B1	AA18
VGA_B0	AA19

## (五) USB2.0

开发板上通过Cypress CY7C68013A USB2.0控制器芯片实现PC与FPGA间的高速数据通信，CY7C68013A控制器完全符合通用串行总线协议2.0版规范，支持全速（12Mbit/s）以及低速（1.5Mbit/s）模式。用户通过用USB线连接PC的USB口和开发板的MINI型的USB口(J6)就可以进行USB2.0的数据通信。

CY7C68013A是一款集成USB2.0的微控制器。通过集成USB2.0收发器、SIE(串行接口引擎，serial interface engine)、增强的8051微控制器以及可编程的外部接口于一个单片中。CY7C68013A与其它器件间的通信很简单，它提供的GPIF于FIFO两种模式可以与FPGA, DSP, ATA, UTOPIA, EPP, PCMCIA等实现无缝的数据交换。

CY7C68013A收发器由一个24MHz的晶振提供时钟，FPGA和CY7C68013A连接的示意图如下图3-5-1所示

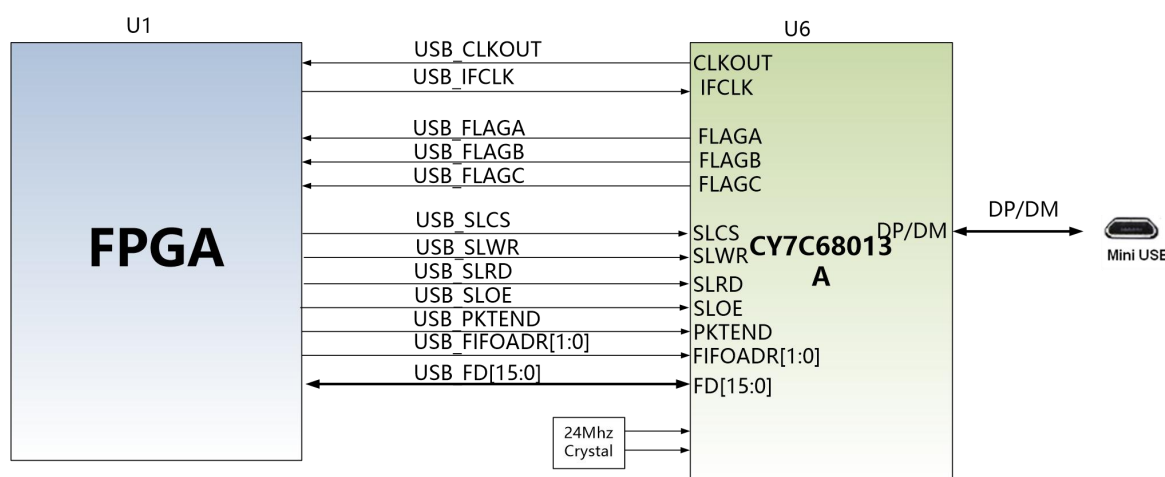


图 3-5-1 FPGA 和 CY7C68013A 连接示意图

下图为USB2.0部分的实物图，U6为CY7C68013A，J6为USB接口。

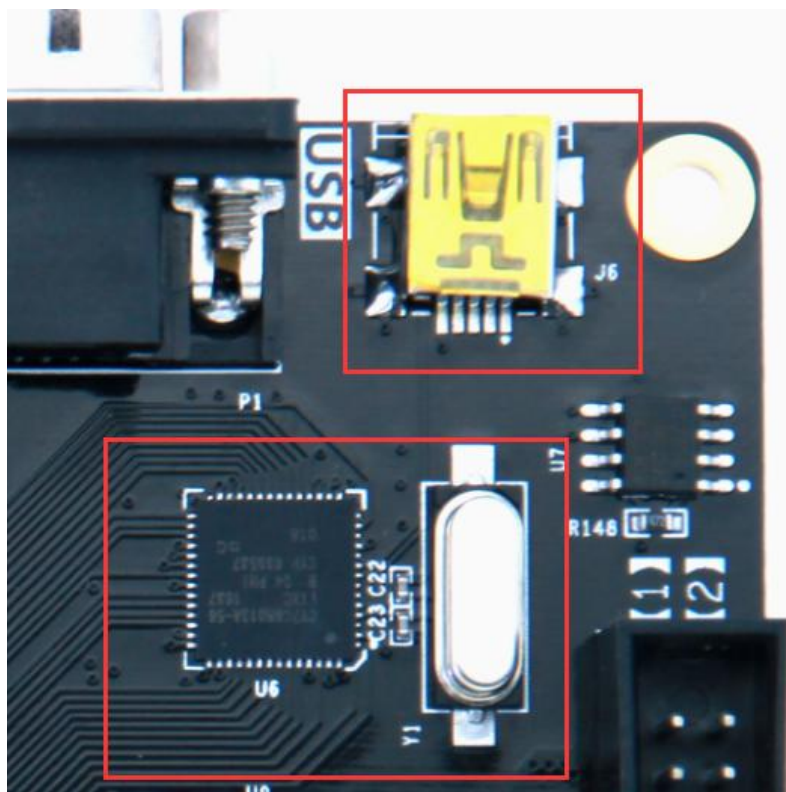


图 3-5-2 USB2.0 接口实物图

## USB2.0 引脚分配:

引脚名称	FPGA 引脚	备注
USB_CLKOUT	U18	12-, 24- or 48 MHz 时钟输出
USB_IFCLK	Y21	同步通信时钟信号
USB_FLAGA	R18	状态输出信号
USB_FLAGB	R14	状态输出信号
USB_FLAGC	P14	状态输出信号
USB_SLCS	P16	Slave FIFO 片选
USB_SLWR	R19	Slave FIFO 写信号
USB_SLRD	P19	Slave FIFO 读信号
USB_SLOE	N13	Slave FIFO 数据输出使能
USB_PKTEND	P20	包结束信号
USB_FIFOADR[0]	N14	FIFO 的地址 0
USB_FIFOADR[1]	N15	FIFO 的地址 1
USB_FD[0]	Y22	USB 数据 Bit0
USB_FD[1]	W20	USB 数据 Bit1
USB_FD[2]	W19	USB 数据 Bit2

USB_FD[3]	Y19	USB 数据 Bit3
USB_FD[4]	Y18	USB 数据 Bit4
USB_FD[5]	V22	USB 数据 Bit5
USB_FD[6]	U22	USB 数据 Bit6
USB_FD[7]	T18	USB 数据 Bit7
USB_FD[8]	R17	USB 数据 Bit8
USB_FD[9]	R16	USB 数据 Bit9
USB_FD[10]	P15	USB 数据 Bit10
USB_FD[11]	N17	USB 数据 Bit11
USB_FD[12]	P17	USB 数据 Bit12
USB_FD[13]	U16	USB 数据 Bit13
USB_FD[14]	T16	USB 数据 Bit14
USB_FD[15]	U17	USB 数据 Bit15

## (六) SD 卡槽

SD 卡(Secure Digital Memory Card)是一种基于半导体闪存工艺的存储卡，1999 年由日本松下主导概念，参与者东芝和美国 SanDisk 公司进行实质研发而完成。2000 年这几家公司发起成立了 SD 协会(Secure Digital Association 简称 SDA)，阵容强大，吸引了大量厂商参加。其中包括 IBM, Microsoft, Motorola, NEC、Samsung 等。在这些领导厂商的推动下，SD 卡已成为目前消费数码设备中应用最广泛的一种存储卡。

SD 卡是现在非常常用的存储设备，我们扩展出来的 SD 卡，支持 SPI 模式和 SD 模式，使用的 SD 卡为 MicroSD 卡。原理图如下图 3-6-1 所示。

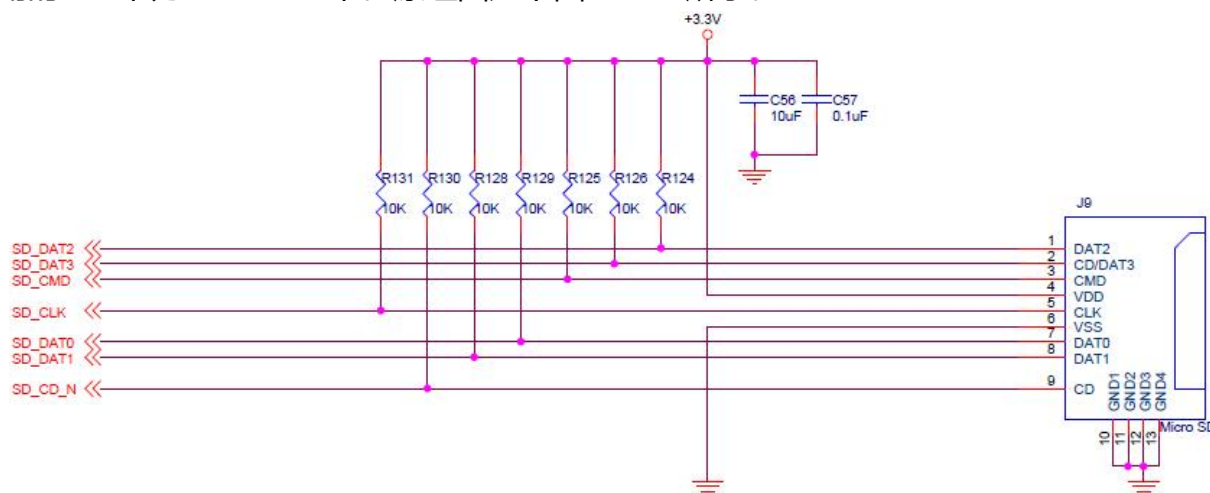




图 3-6-1 SD 卡槽原理图

SD 卡槽在开发板的背面，下图为 SD 卡槽实物图

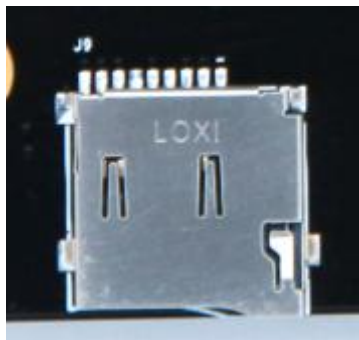


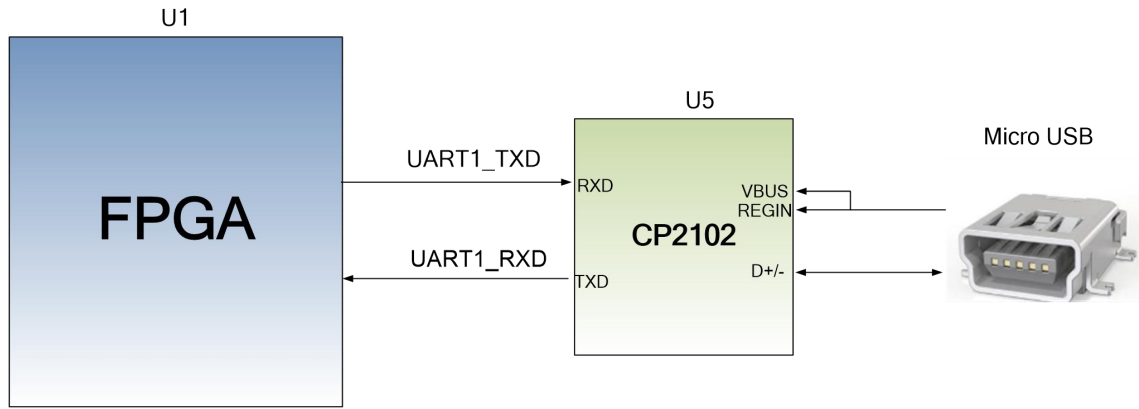
图 3-6-2 SD 卡槽实物图

### SD 卡槽引脚分配

SD 模式	
引脚名称	FPGA 引脚
SD_CLK	C14
SD_CMD	C15
SD_CD_N	B16
SD_DAT0	E17
SD_DAT1	F16
SD_DAT2	A14
SD_DAT3	A13

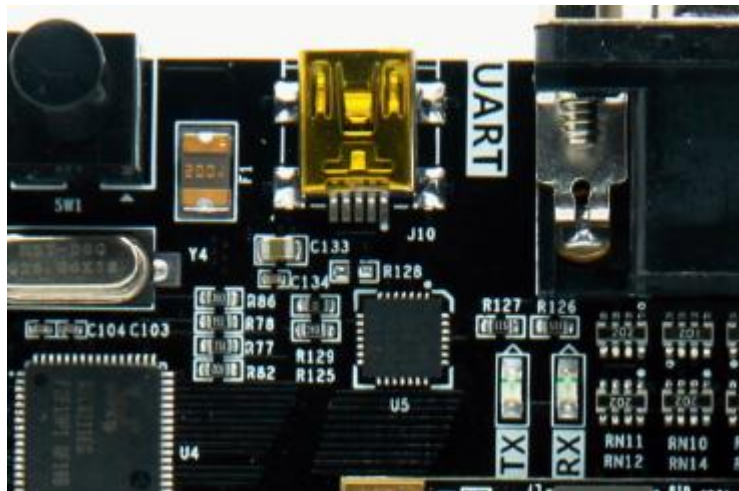
## (七) USB 转串口

AXP202 开发板包含了 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口, 可以用一根 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。USB Uart 电路设计的示意图如下图所示:



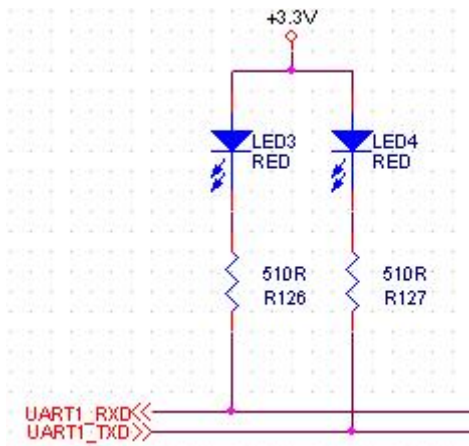
3-5-1 USB 转串口示意图

下图为 USB 转串口的实物图



3-5-2 USB 转串口实物图

同时对串口信号设置了 2 个 PCB 上丝印为 TX 和 RX 的 LED 指示灯(LED3 和 LED4), TX 和 RX LED 灯会指示串口是否有数据发出或者是否有数据接受, 如下图所示,



3-5-3 USB 转串口信号指示灯

UART 转串口的 FPGA 引脚分配:

引脚名称	FPGA 引脚
UART1_RXD	AA15
UART1_TXD	AB15

## (八) RS232 接口

AXP202 开发板上含有一个 RS232 的公座。开发板上采用 MAX3232 芯片作为 RS232 和 UART 电平转换的桥梁, 用户需要准备一根 RS232 串口线(直连线) 连接开发板到 PC 或者其它外设进行 RS232 串口的数据通信。另外开发板上有两个 LED 灯用来分别指示数据发送和数据接收状态, RS232 部分的设计示意图如下图 3-8-1 所示:

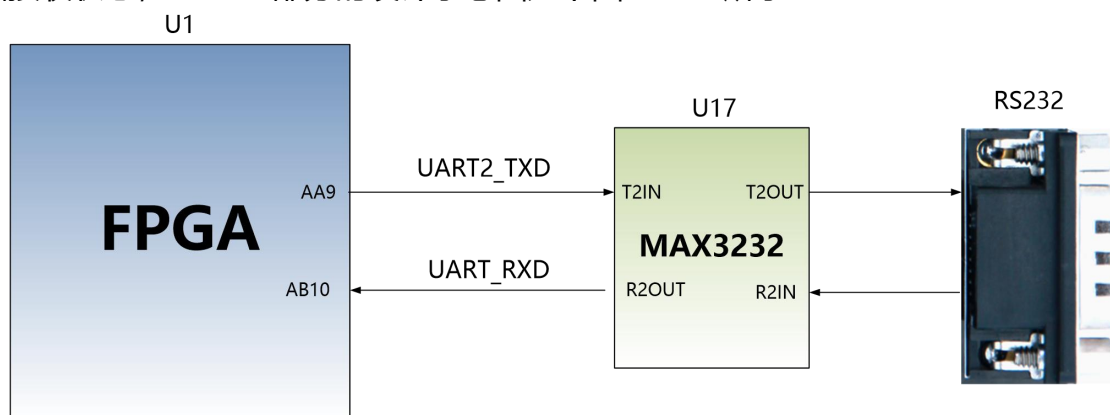


图 3-8-1 RS232 接口设计示意图

下图为 RS232 接口的实物图

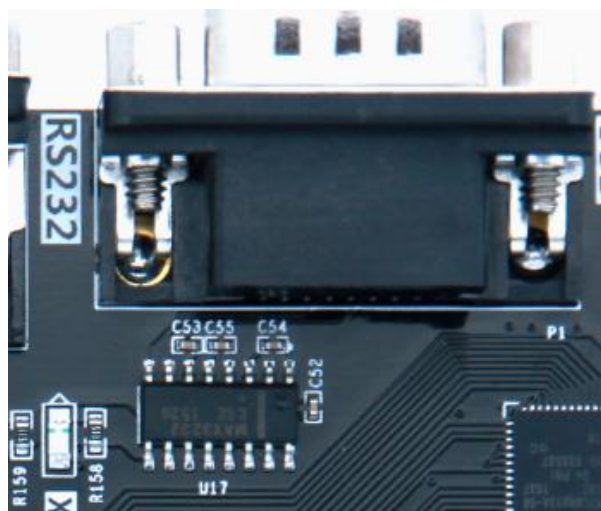


图 3-8-2 RS232 接口的实物图

RS232 串口的 FPGA 引脚分配:

引脚名称	FPGA 引脚
UART2_RXD	AB10
UART2_TXD	AA9

### (九) EEPROM 24LC04

AXP202 开发板板载了一片 EEPROM，型号为 24LC04,容量为：4Kbit (2\*256\*8bit) ，由 2 个 256byte 的 block 组成,通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 的 I2C 信号连接的 FPGA 端的 BANK14 IO 口上。下图 3-9-1 为 EEPROM 的设计示意图

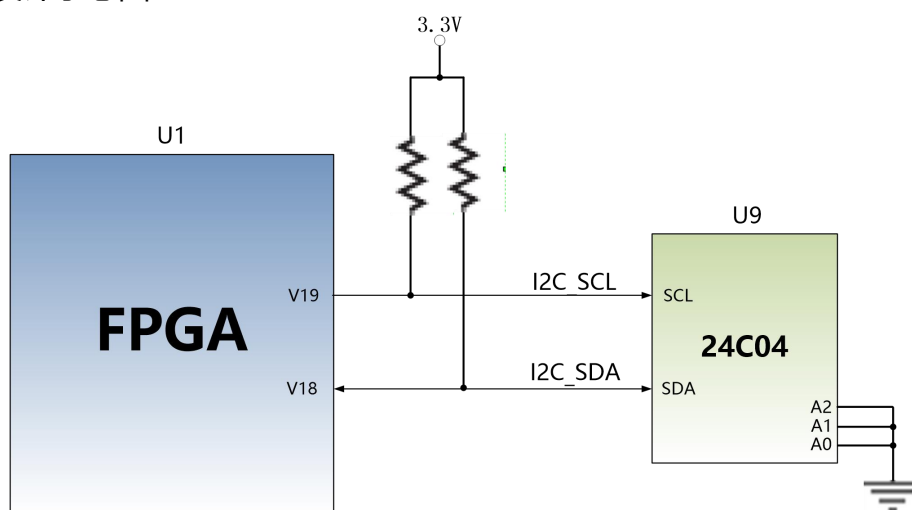


图 3-9-1 EEPROM 原理图部分

下图为 EEPROM 实物图

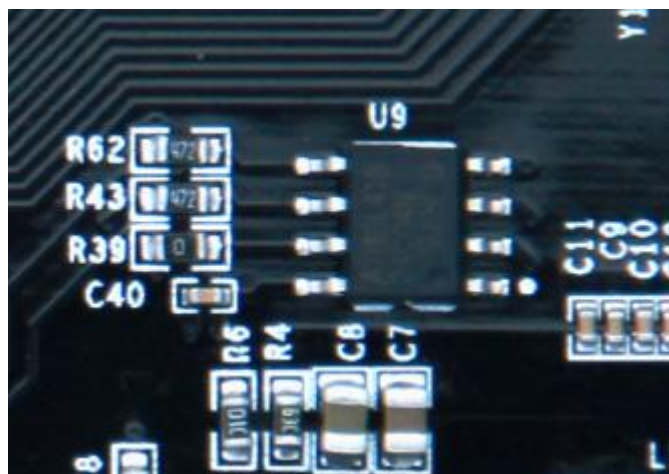


图 3-9-2 EEPROM 实物图

EEPROM 引脚分配:

引脚名称	FPGA 引脚
------	---------

I2C_SCL	V19
I2C_SDA	V18

## (十) 实时时钟 DS1302

开发板板载了一片实时时钟 RTC 芯片，型号 DS1302，他的功能是提供到 2099 年内的日历功能，年月日时分秒还有星期。如果系统中需要时间的话，那么 RTC 就需要涉及到产品中。他外部需要接一个 32.768KHz 的无源时钟，提供精确的时钟源给时钟芯片，这样才能让 RTC 可以准确的提供时钟信息给产品。同时为了产品掉电以后，实时时钟还可以正常运行，一般需要另外配一个电池给时钟芯片供电，图 3-10-2 中为 BT1 为电池座，我们将纽扣电池（型号 CR1220，电压为 3V）放入以后，当系统掉电，纽扣电池还可以给 DS1302 供电，这样，不管产品是否供电，DS1302 都会正常运行，不会间断，可以提供持续不断的时间信息。RTC 的接口信号也是连接到 FPGA 的 BANK16 IO 口上。图 3-10-1 为 DS1302 设计示意图：

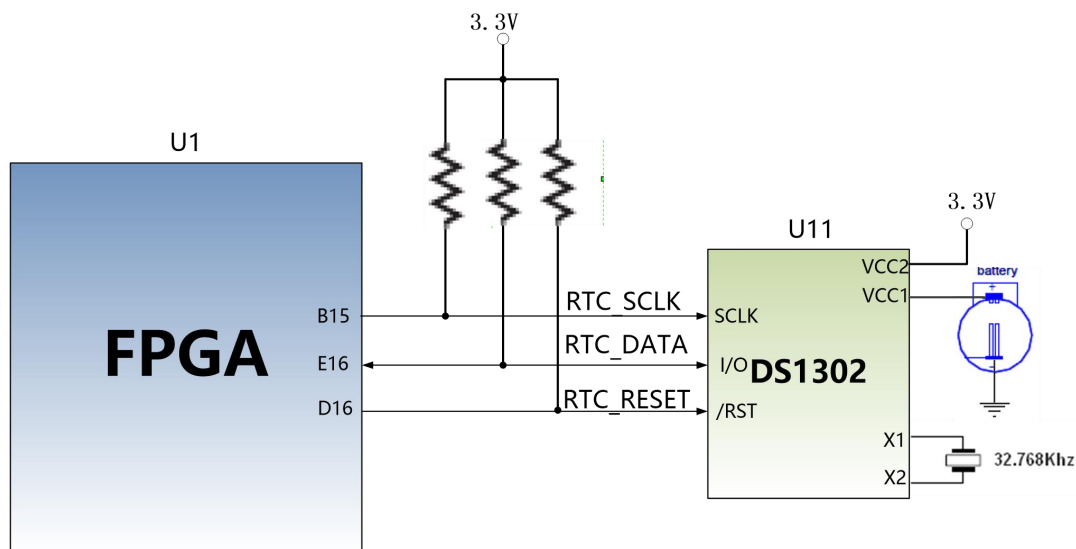


图 3-10-1 DS1302 设计示意图

图 3-10-2 为 DS1302 实物图

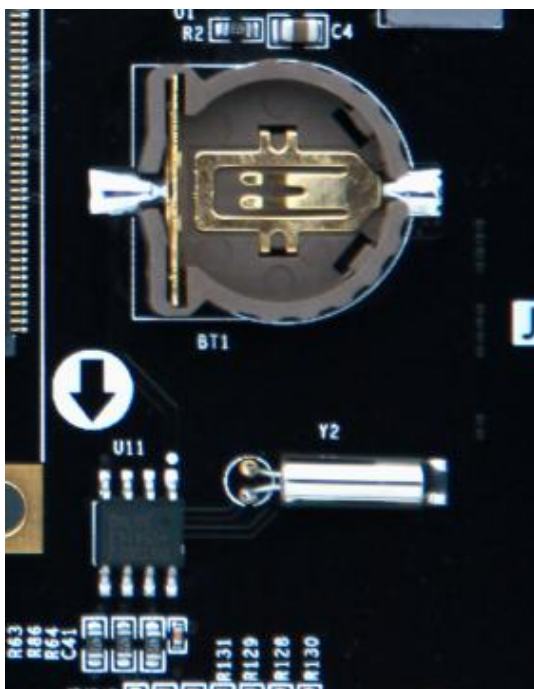


图 3-10-2 DS1302 实物图

DS1302 接口引脚分配:

引脚名称	FPGA 引脚
RTC_SCLK	B15
RTC_DATA	E16
RTC_RESET	D16

## (十一) 扩展口

扩展板预留 2 个 2.54mm 标准间距的 40 针的扩展口 J4 和 J5, 用于连接黑金的各个模块或者用户自己设计的外面电路, 扩展口有 40 个信号, 其中, 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接, 以免烧坏 FPGA。如果要接 5V 设备, 需要接电平转换芯片。**

在扩展口和 FPGA 连接之间串联了 33 欧姆的排阻, 用于保护 FPGA 以免外界电压或电流过高造成损坏, 扩展口(J4)的电路如下图 3-11-1 所示

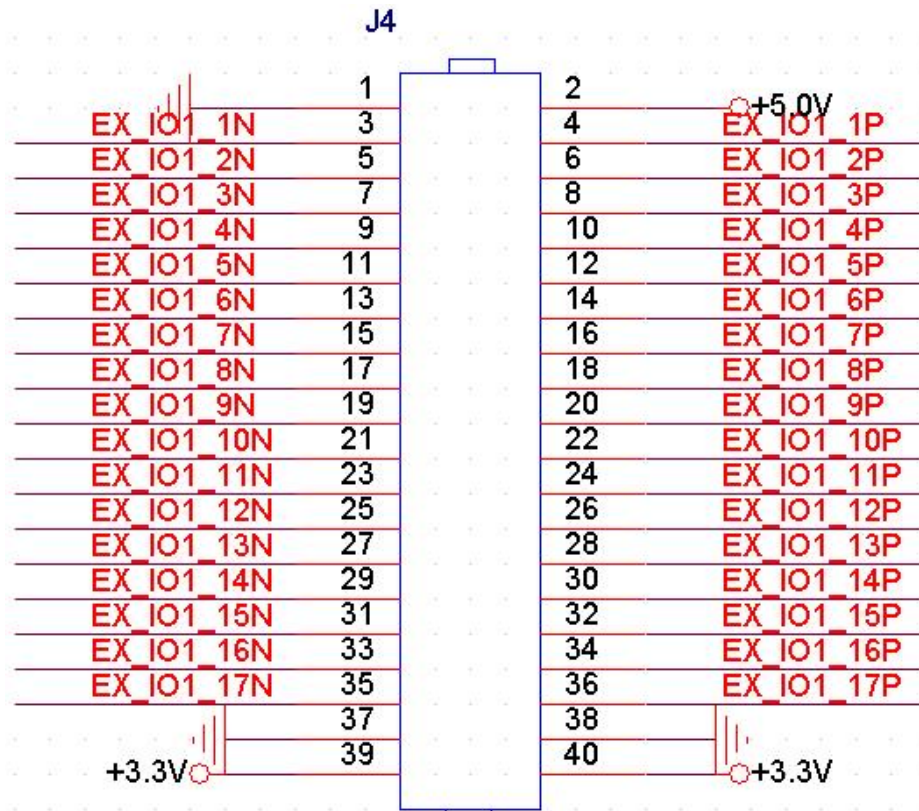


图 3-11-1 扩展口 J4 原理图

下图为 J4 扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。



图 3-11-2 扩展口 J4 实物图

#### J4 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	K14	4	K13
5	H14	6	J14
7	H15	8	J15
9	G13	10	H13
11	J21	12	J20
13	G16	14	G15

15	H19	16	J19
17	G18	18	G17
19	J16	20	F15
21	K22	22	K21
23	H22	24	J22
25	G20	26	H20
27	G22	28	G21
29	D22	30	E22
31	D21	32	E21
33	A21	34	B21
35	M17	36	F21
37	GND	38	GND
39	+3.3V	40	+3.3V

扩展口(J5)的电路如下图 3-11-3 所示

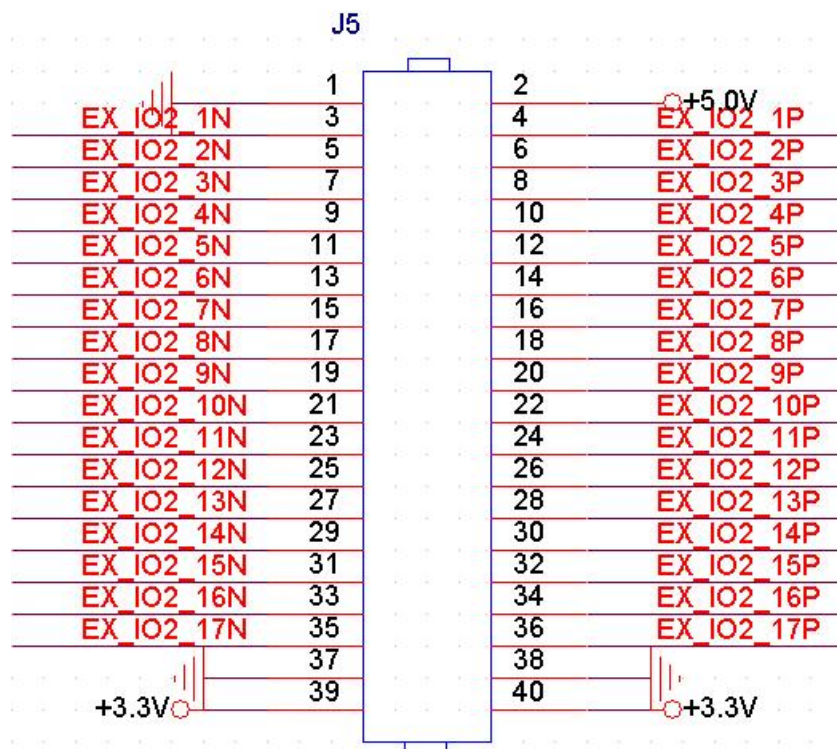


图 3-11-3 扩展口 J5 原理图

下图为 J5 扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。





图 3-11-4 扩展口 J5 实物图

## J5 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	AB15	4	AA15
5	AA14	6	Y13
7	AB17	8	AB16
9	AA16	10	Y16
11	AB12	12	AB11
13	Y14	14	W14
15	C19	16	C18
17	F14	18	F13
19	E14	20	E13
21	D15	22	D14
23	B13	24	C13
25	AB13	26	AA13
27	A19	28	A18
29	E18	30	F18
31	F20	32	F19
33	A20	34	B20
35	D19	36	E19
37	GND	38	GND
39	+3.3V	40	+3.3V

## (十二) JTAG 接口

开发板预留了一个 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

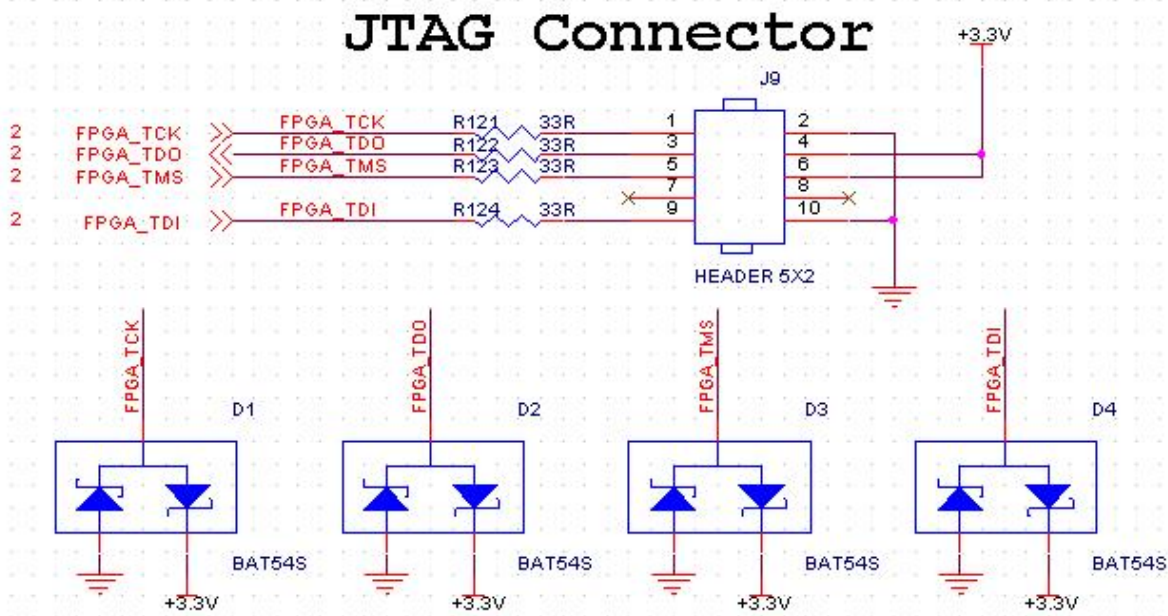


图 3-7-1 JTAG 接口原理图

下图为扩展板上 JTAG 接口实物图，JTAG 线插拔的时候注意不要热插拔。

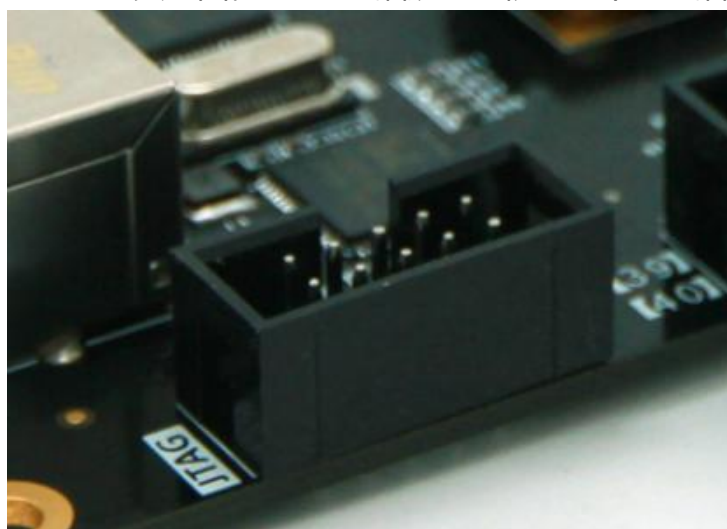


图 3-7-2 JTAG 接口实物图

### (十三) 按键

扩展板上含有四个用户按键 KEY1~KEY4，两个按键都连接到 FPGA 的普通的 IO 上，按键低电平有效，当按键按下，FPGA 的 IO 输入电压为低，当没有按键按下是，FPGA 的 IO 输入电压为高。按键部分电路如下图 3-13-1 所示

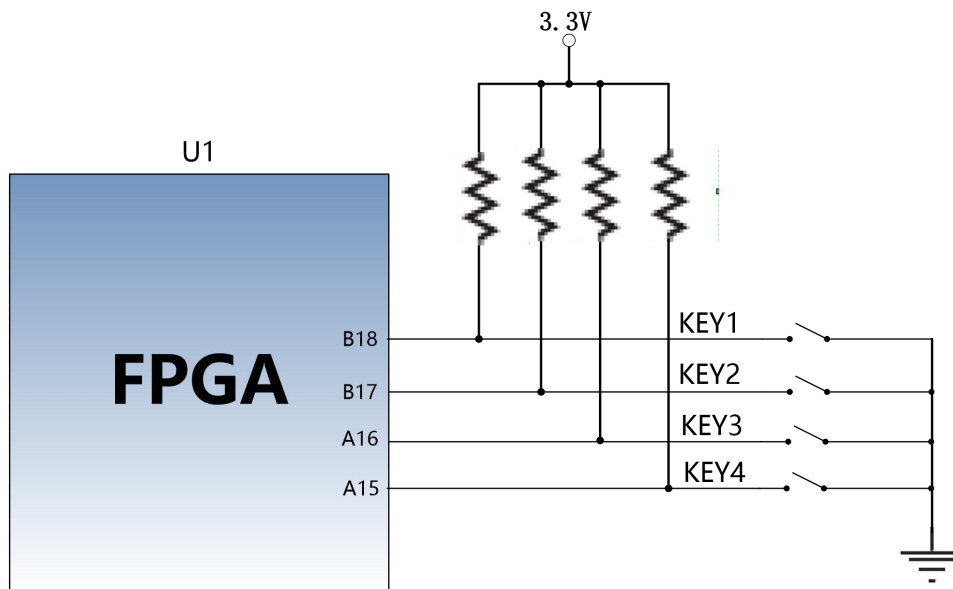


图 3-13-1 按键硬件设计示意图

图 3-13-2 为扩展板上 4 个用户按键实物图



图 3-13-2 按键实物图

按键 FPGA 引脚分配:

引脚名称	FPGA 引脚
KEY1	B18
KEY2	B17
KEY3	A16
KEY4	A15

### (十四) LED 灯

扩展板上有 9 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，2 个是 USB Uart 的数据

接收和发送指示灯，2 个是 RS232 的数据接收和发送指示灯，4 个是用户 LED 灯（LED1~LED4）。当开发板供电后，电源指示灯会亮起。用户 LED1~LED4 连接到 FPGA 的普通 IO，当连接用户 LED 灯的 IO 电压配置为低电平时，用户 LED 灯点亮，当连接 IO 电压为配置为高电平时，用户 LED 会被熄灭。

LED 灯硬件连接的示意图如图 3-14-1 所示

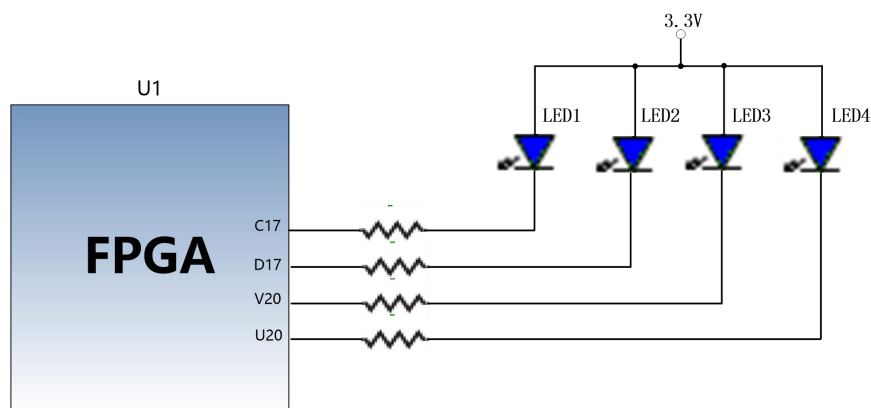


图 3-14-1 LED 灯硬件设计示意图

图 3-14-2 为扩展板上 2 个用户 LED 灯实物图

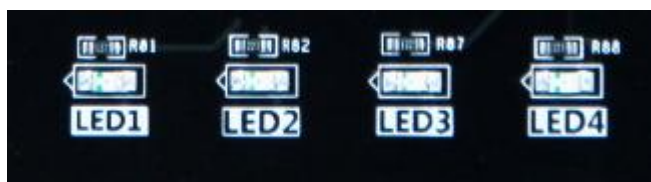


图 3-14-2 用户 LED 灯实物图

按键 FPGA 引脚分配:

引脚名称	FPGA 引脚
LED1	C17
LED2	D17
LED3	V20
LED4	U20

## (十五) 供电电源

开发板的电源输入电压为 DC12V，请使用开发板自带的电源，不要用其他规格电源，以免损坏开发板。扩展板上通过 2 路 DC/DC 电源芯片 MP1482 转化成 +5V 和 +3.3V 两路电源。另外扩展板上的 +5V 电源通过板间连接器给核心板供电，扩展上的电源设计如下图 3-15-1 所示:

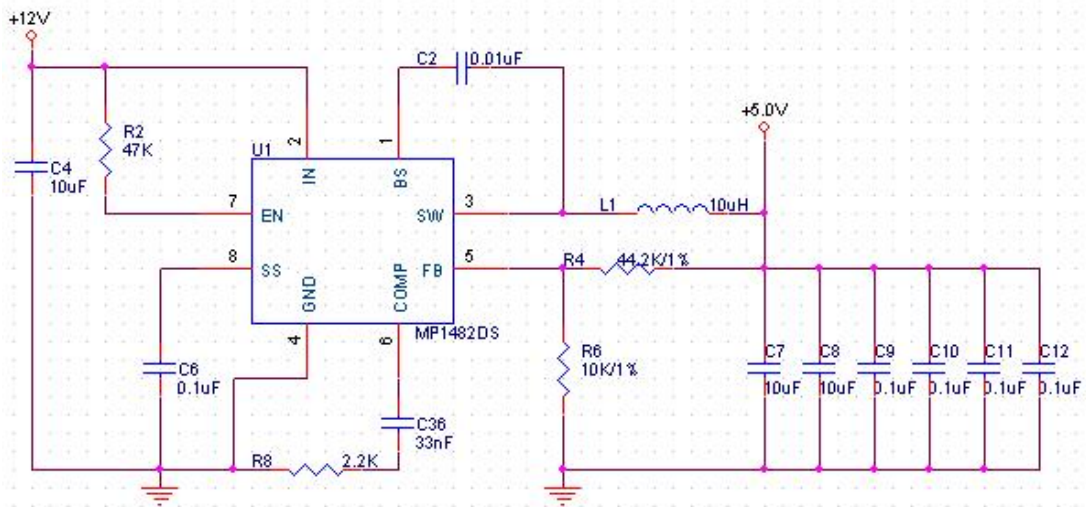
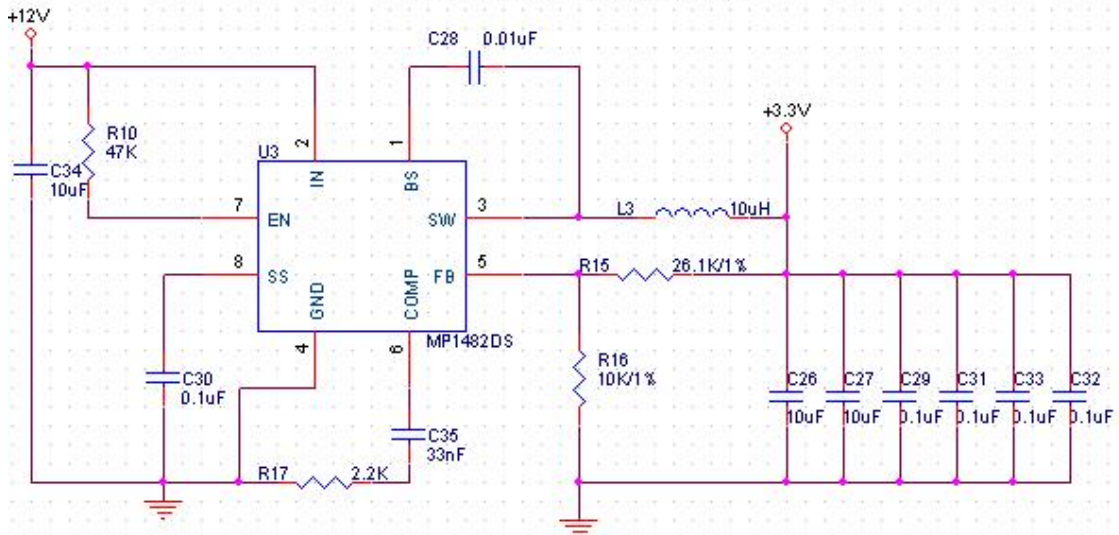
**+5.0V POWER****+3.3V POWER**

图 3-15-1 扩展板电源原理图

图 3-15-2 和图 3-15-3 为扩展板上电源电路的实物图

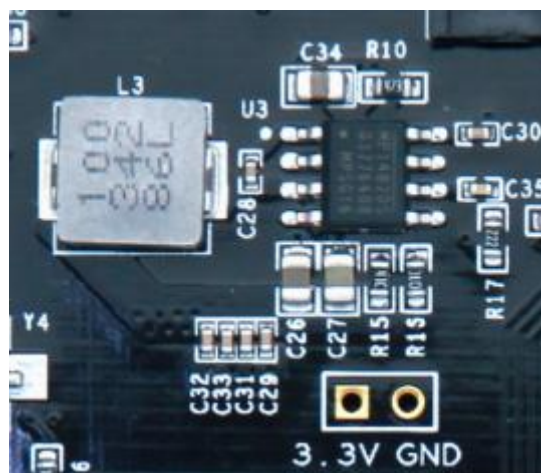


图 3-15-2 电源+3.3V 电路实物图

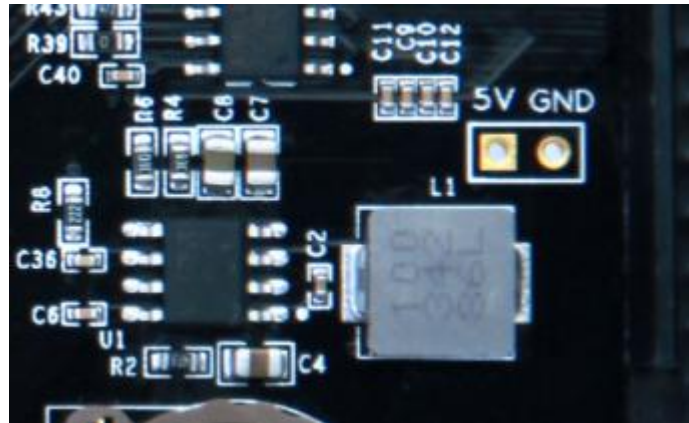


图 3-15-3 电源+5V 电路实物图

(十六) 结构尺寸图

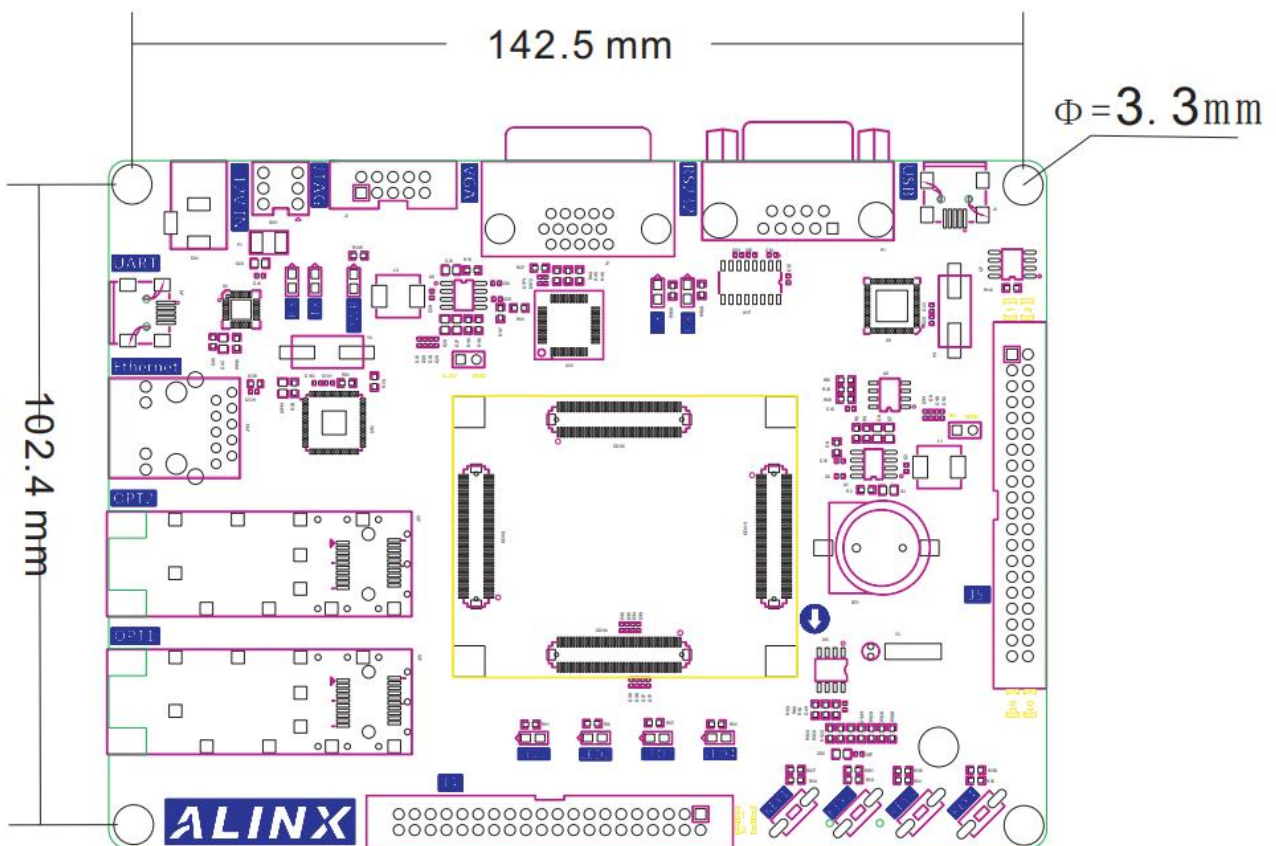


图 3-11-1 正面图 (Top View)