

# **FMC 4 通道高速 AD 模块 FL2514 用户手册**

**Rev 1.0**



版权声明:

Copyright ©2012-2023 芯驿电子科技（上海）有限公司

公司网址:

[Http://www.alinx.com.cn](http://www.alinx.com.cn)

技术论坛:

<http://www.heijin.org>

官方旗舰店:

<http://alinx.jd.com>

邮箱:

[avic@alinx.com.cn](mailto:avic@alinx.com.cn)

电话:

021-67676997

传真:

021-37737073

ALINX 微信公众号:



**文档修订记录:**

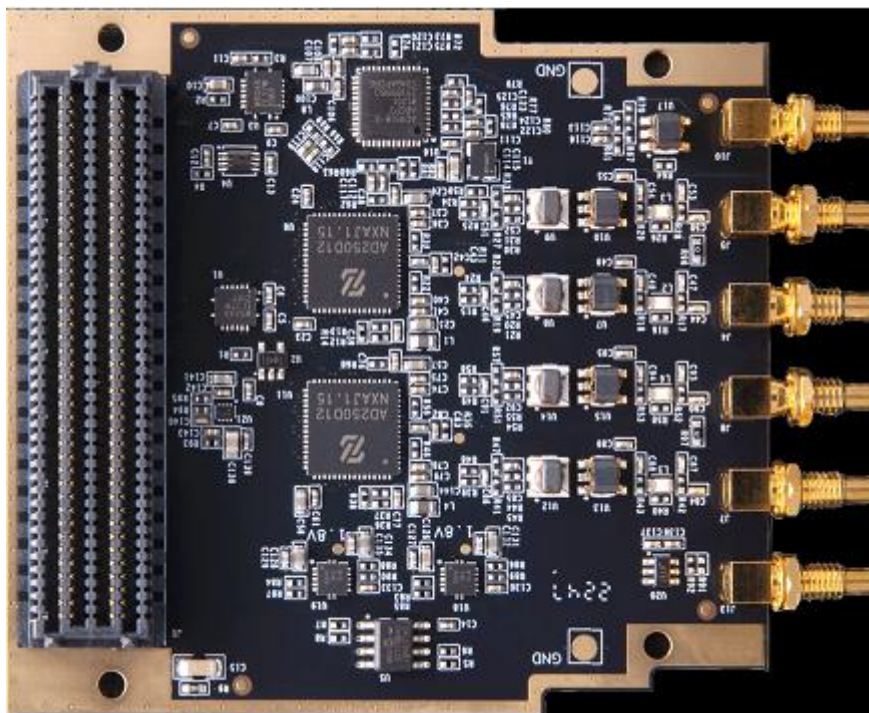
版本	时间	描述
1.0	2023/05/01	First Release

## 第一部分 FMC 高速 AD 模块说明介绍

黑金 FMC 高速 AD 模块 FL2514 为 4 路 250MSPS，14 位的模拟转数字模块。FMC 模块的 AD 转换采用了 2 片 ADI 公司的 ZGAD250D14 芯片，每个 ZGAD250D14 芯片支持 2 路 AD 输入，所以 2 片 ZGAD250D14 芯片一共支持 4 路的 AD 输入。模拟信号输入的电压范围为 1.5V P-P，接口为 SSMC。

FL2514 支持外部触发信号输入，也是 SSMC 接口；时钟模式支持内部参考时钟输入，外部参考时钟输入，时钟选择可通过 SPI 总线配置。

FL2514 的电气和机械设计依据 FMC 标准 (ANSI/VITA 57.1)，为标准的 LPC 的 FMC 接口，用于连接 FPGA 开发板，FMC 的连接器型号为：ASP\_134604\_01  
FL2514 模块实物照片如下：



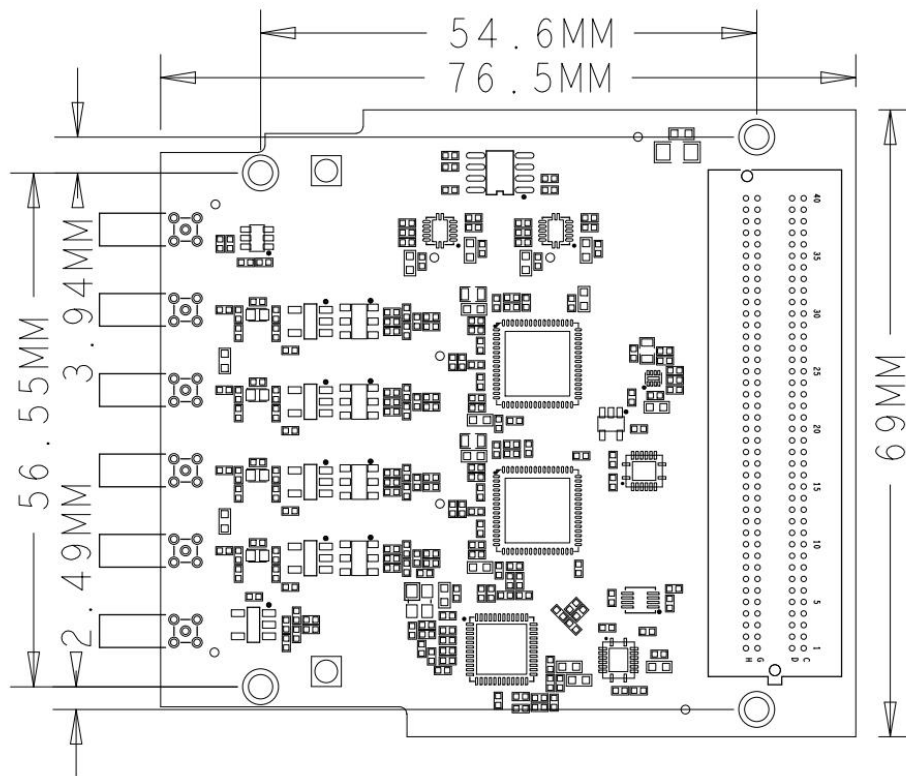
FL2514 模块实物图

## 1.1 FL2514 模块的参数说明

以下为 FL2514 高速 AD 模块的详细参数:

- AD 转换芯片: 2 片 ZGAD250D14
- AD 转换通道: 4 路;
- AD 采样速率: 250MSPS;
- AD 采样数据位数: 14 位;
- AD 模拟信号输入范围: 1.5V P-P;
- AD 输入阻抗: 50 欧姆;
- 模拟信号输入接口: SSMC 接口;
- 外部时钟输入: 1 路;
- 外部触发信号输入: 1 路
- 数字接口电平标准: LVDS 电平
- 配置接口: SPI 接口;
- 工作温度:  $-40^{\circ}\sim 85^{\circ}$ ;

## 1.2 FL2514 模块的结构图



FL2514 高速 AD 模块尺寸结构图

### 1.3 安装和使用要求

FL2514 模块必须配合带 FMC 接口的开发板使用，开发板的 FMC 必须符合 FMC 标准 (ANSI/VITA57.1)。开发板通过 FMC 连接器为模块提供直流 3.3V，直流 12V，直流 VADJ 三种电源。模块允许的 VADJ 的电压范围为 1.65V~3.3V，考虑 FPGA 开发板的 LVDS 数据通信，一般建议 VADJ 的运行电压为+2.5V 或者 1.8V。

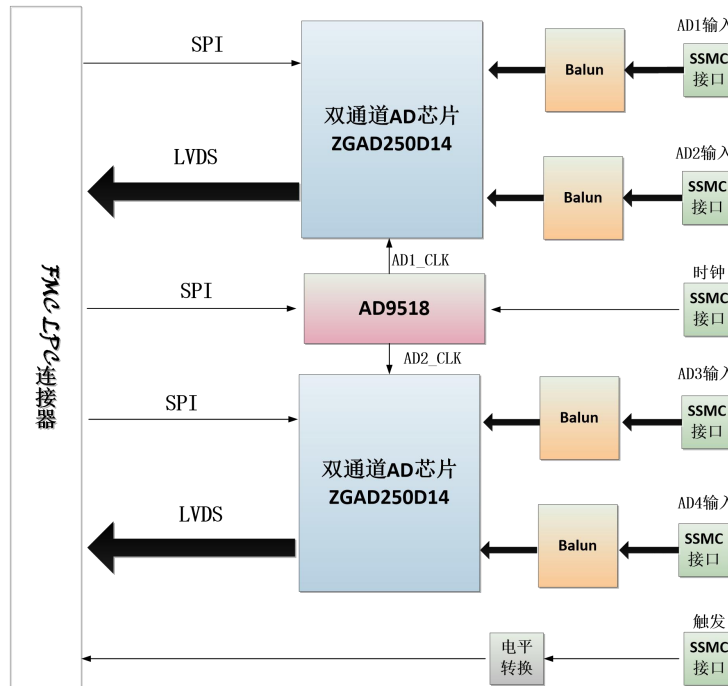
板卡安装时，操作人员注意做好精度防护，在无静电防护情况下，请不要直接接触板卡元器件。

FL2514 模块输出数据为 LVDS 信号，板卡的控制信号和触发信号为 LVCMOS 信号，电压标准取决于 VADJ 的电源电压。

## 第二部分 模块功能说明

### 2.1 FL2514 模块原理框图

FL2514 模块的原理设计框图如下：

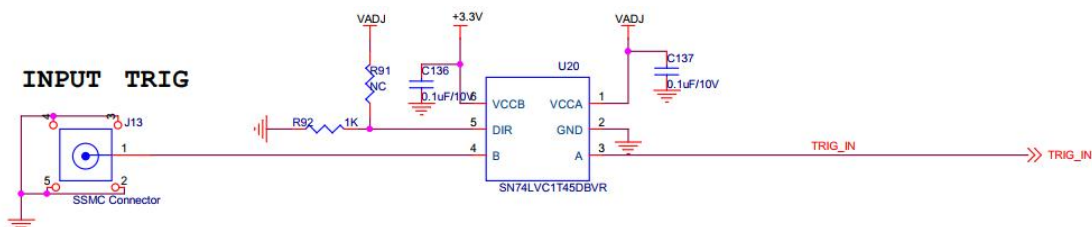


关于 ZGAD250D14 的电路具体参考设计请参考芯片手册。

### 2.2 输入接口描述

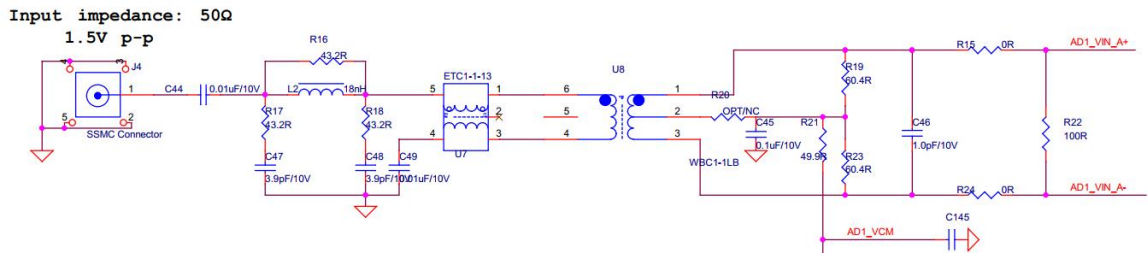
#### 2.2.1 外部触发输入接口

外部触发输入支持 LVTTTL/LVCMOS 3.3V 电平输入方式，通过板上的电平转换芯片转换成 VADJ 的电平后，连接到 FMC 连接器管脚上。



#### 2.2.2 AD 输入接口

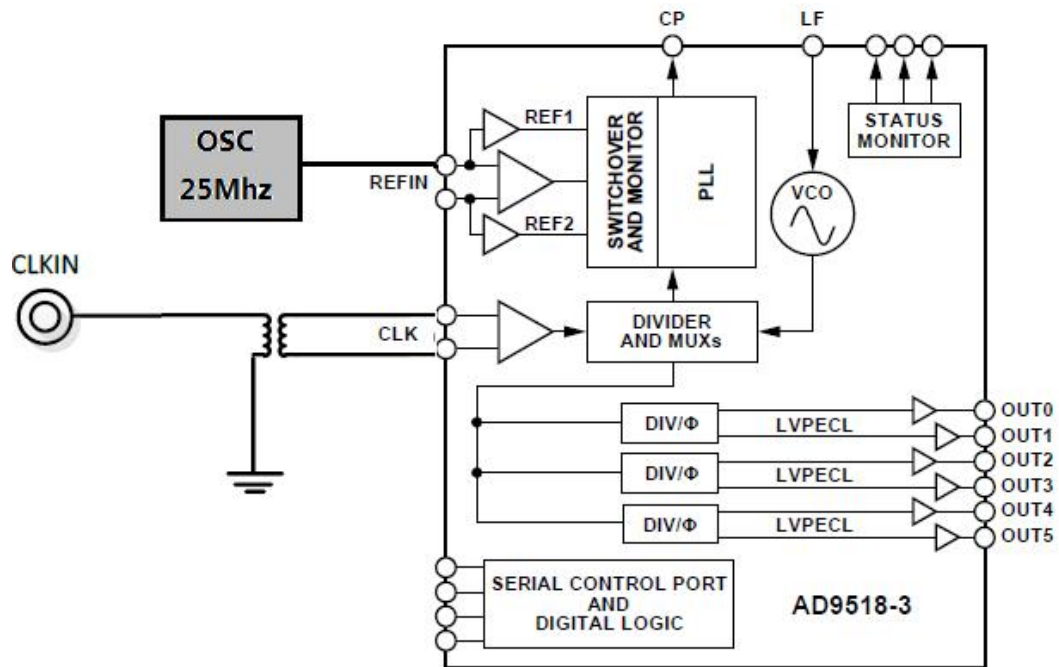
FL2514 设计输入为交流耦合方式，最高输入信号可达 300Mhz，输入阻抗为 50 欧姆，模拟信号的范围为 1.5Vp-p。



### 2.2.3 时钟输入

板上时钟产生模块选用 ADI 公司的 AD9518-3 芯片，设计使用内部 VCO，VCO 的频率范围为 1.55G~2.25G；内部时钟和外部参考时钟通过程序来切换；时钟模块配置通过连接到 FMC 的 SPI 总线实现。

内部参考时钟默认焊接 25M 晶振，连到 AD9518 的 REF1 脚；外参考时钟通过变压器转换成差分连到 CLK+/-脚。



## 2.3 FMC 接口描述

FL2514 模块的 FMC 接口为标准的 LPC，下面只列了 FMC 接口上电源和 AD 芯片接口的信号定义，GND 的信号没有列出，具体用户可以参考原理图。

Pin Number	Signal Name	Description
C35	+12V	12V 电源输入
C37	+12V	12V 电源输入
D32	+3.3V	3.3V 电源输入
G19	AD1_AD2_MOSI	AD1、AD2 寄存器配置输入串行端口



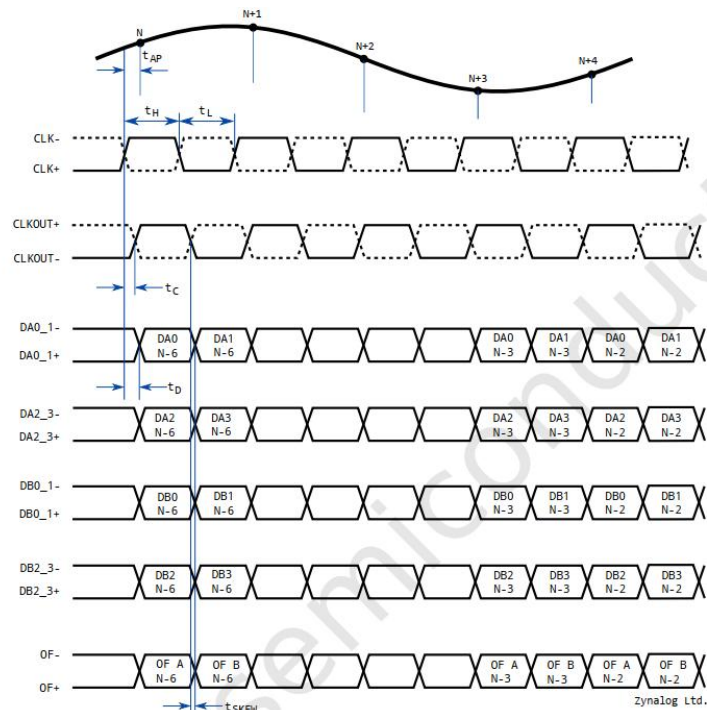
D20	AD1_CS	AD1 片选
G7	AD1_CLKOUT-	AD1 的 A 通道 LVDS 的数据时钟输出-N.
G6	AD1_CLKOUT+	AD1 的 A 通道 LVDS 的数据时钟输出-P.
G13	AD1_DA_0_1-	AD1 的 A 通道 LVDS 的数据位 0、1 输出-N.
G12	AD1_DA_0_1+	AD1 的 A 通道 LVDS 的数据位 0、1 输出-P.
D15	AD1_DA_2_3-	AD1 的 A 通道 LVDS 的数据位 2、3 输出-N.
D14	AD1_DA_2_3+	AD1 的 A 通道 LVDS 的数据位 2、3 输出-P.
G16	AD1_DA_4_5-	AD1 的 A 通道 LVDS 的数据位 4、5 输出-N.
G15	AD1_DA_4_5+	AD1 的 A 通道 LVDS 的数据位 4、5 输出-P.
D18	AD1_DA_6_7-	AD1 的 A 通道 LVDS 的数据位 6、7 输出-N.
D17	AD1_DA_6_7+	AD1 的 A 通道 LVDS 的数据位 6、7 输出-P.
H17	AD1_DA_8_9-	AD1 的 A 通道 LVDS 的数据位 8、9 输出-N.
H16	AD1_DA_8_9+	AD1 的 A 通道 LVDS 的数据位 8、9 输出-P.
C19	AD1_DA_10_11-	AD1 的 A 通道 LVDS 的数据位 10、11 输出-N.
C18	AD1_DA_10_11+	AD1 的 A 通道 LVDS 的数据位 10、11 输出-P.
G22	AD1_DA_12_13-	AD1 的 A 通道 LVDS 的数据位 12、13 输出-N.
G21	AD1_DA_12_13+	AD1 的 A 通道 LVDS 的数据位 12、13 输出-P.
H8	AD1_DB_0_1-	AD1 的 B 通道 LVDS 的数据位 0、1 输出-N.
H7	AD1_DB_0_1+	AD1 的 B 通道 LVDS 的数据位 0、1 输出-P.
C11	AD1_DB_2_3-	AD1 的 B 通道 LVDS 的数据位 2、3 输出-N.
C10	AD1_DB_2_3+	AD1 的 B 通道 LVDS 的数据位 2、3 输出-P.
D12	AD1_DB_4_5-	AD1 的 B 通道 LVDS 的数据位 4、5 输出-N.
D11	AD1_DB_4_5+	AD1 的 B 通道 LVDS 的数据位 4、5 输出-P.
H11	AD1_DB_6_7-	AD1 的 B 通道 LVDS 的数据位 6、7 输出-N.
H10	AD1_DB_6_7+	AD1 的 B 通道 LVDS 的数据位 6、7 输出-P.
G10	AD1_DB_8_9-	AD1 的 B 通道 LVDS 的数据位 8、9 输出-N.
G9	AD1_DB_8_9+	AD1 的 B 通道 LVDS 的数据位 8、9 输出-P.
C15	AD1_DB_10_11-	AD1 的 B 通道 LVDS 的数据位 10、11 输出-N.
C14	AD1_DB_10_11+	AD1 的 B 通道 LVDS 的数据位 10、11 输出-P.
H14	AD1_DB_12_13-	AD1 的 B 通道 LVDS 的数据位 12、13 输出-N.
H13	AD1_DB_12_13+	AD1 的 B 通道 LVDS 的数据位 12、13 输出-P.
D9	AD1_OR-	AD1 通道输入范围超出指示-N
D8	AD1_OR+	AD1 通道输入范围超出指示-P
H19	AD2_CS	AD2 芯片的 SPI 通信片选信号
C23	AD2_CLKOUT-	AD2 的 A 通道 LVDS 的数据时钟输出-N.
C22	AD2_CLKOUT+	AD2 的 A 通道 LVDS 的数据时钟输出-P.
G28	AD2_DA_0_1-	AD2 的 A 通道 LVDS 的数据位 0、1 输出-N.
G27	AD2_DA_0_1+	AD2 的 A 通道 LVDS 的数据位 0、1 输出-P.
G31	AD2_DA_2_3-	AD2 的 A 通道 LVDS 的数据位 2、3 输出-N.
G30	AD2_DA_2_3+	AD2 的 A 通道 LVDS 的数据位 2、3 输出-P.
H32	AD2_DA_4_5-	AD2 的 A 通道 LVDS 的数据位 4、5 输出-N.
H31	AD2_DA_4_5+	AD2 的 A 通道 LVDS 的数据位 4、5 输出-P.
G34	AD2_DA_6_7-	AD2 的 A 通道 LVDS 的数据位 6、7 输出-N.

G33	AD2_DA_6_7+	AD2 的 A 通道 LVDS 的数据位 6、7 输出-P.
H35	AD2_DA_8_9-	AD2 的 A 通道 LVDS 的数据位 8、9 输出-N.
H34	AD2_DA_8_9+	AD2 的 A 通道 LVDS 的数据位 8、9 输出-P.
G37	AD2_DA_10_11-	AD2 的 A 通道 LVDS 的数据位 10、11 输出-N.
G36	AD2_DA_10_11+	AD2 的 A 通道 LVDS 的数据位 10、11 输出-P.
H38	AD2_DA_12_13-	AD2 的 A 通道 LVDS 的数据位 12、13 输出-N.
H37	AD2_DA_12_13+	AD2 的 A 通道 LVDS 的数据位 12、13 输出-P.
D24	AD2_DB_0_1-	AD2 的 B 通道 LVDS 的数据位 0、1 输出-N.
D23	AD2_DB_0_1+	AD2 的 B 通道 LVDS 的数据位 0、1 输出-P.
H23	AD2_DB_2_3-	AD2 的 B 通道 LVDS 的数据位 2、3 输出-N.
H22	AD2_DB_2_3+	AD2 的 B 通道 LVDS 的数据位 2、3 输出-P.
C27	AD2_DB_4_5-	AD2 的 B 通道 LVDS 的数据位 4、5 输出-N.
C26	AD2_DB_4_5+	AD2 的 B 通道 LVDS 的数据位 4、5 输出-P.
G25	AD2_DB_6_7-	AD2 的 B 通道 LVDS 的数据位 6、7 输出-N.
G24	AD2_DB_6_7+	AD2 的 B 通道 LVDS 的数据位 6、7 输出-P.
H26	AD2_DB_8_9-	AD2 的 B 通道 LVDS 的数据位 8、9 输出-N.
H25	AD2_DB_8_9+	AD2 的 B 通道 LVDS 的数据位 8、9 输出-P.
D27	AD2_DB_10_11-	AD2 的 B 通道 LVDS 的数据位 10、11 输出-N.
D26	AD2_DB_10_11+	AD2 的 B 通道 LVDS 的数据位 10、11 输出-P.
H29	AD2_DB_12_13-	AD2 的 B 通道 LVDS 的数据位 12、13 输出-N.
H28	AD2_DB_12_13+	AD2 的 B 通道 LVDS 的数据位 12、13 输出-P.
H20	AD2_OR	AD2 通道输入范围超出指示
G3	CLK_CS	时钟芯片的 SPI 通信片选信号
G2	CLK_SCLK	时钟芯片、AD 的 SPI 通信时钟信号
G18	CLK_SDIO	时钟芯片的 SPI 通信数据双向信号
H5	FPGA_CLK-	FPGA 参考时钟输入-N
H4	FPGA_CLK+	FPGA 参考时钟输入-P
C34	GA0	EEPROM 地址位 0 位
D35	GA1	EEPROM 地址位 1 位
C30	SCL	EEPROM 的 I2C 时钟
C31	SDA	EEPROM 的 I2C 数据
D21	TRIG_IN	触发输入信号
G39	VADJ	VADJ 电源输入
H40	VADJ	VADJ 电源输入

## 第三部分 AD 采样时序和设计

### 3.1 FL2514 数字输出时序

ZGAD250D14 双通道 AD 的数字输出配置为 LVDS 输出模式，2 路通道(A 和 B) 共用一对差分时钟信号和独立的 6 对差分数据信号，双倍数据速率 DDR 采样，AD 数据输出如下图所示。

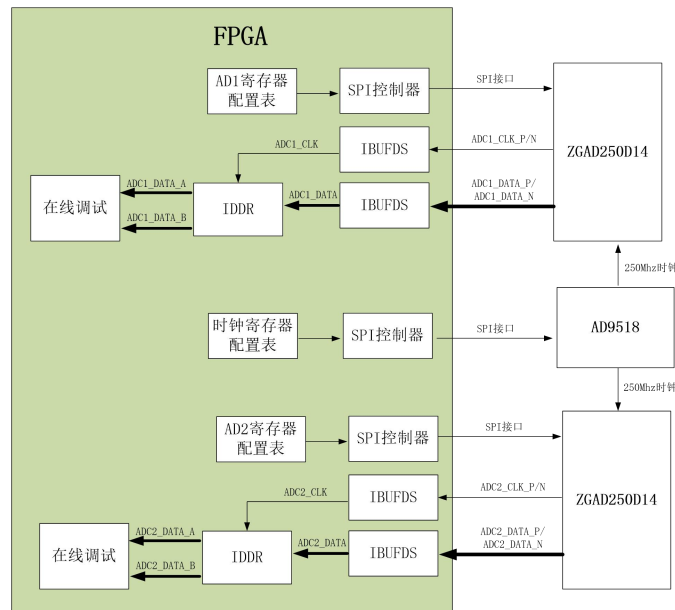


### 2.5 FL2514 程序设计

我们提供了开发板的 AD 采集和显示的例程，在这个例程中 2 个 ZGAD250D14 输入的差分 LVDS 时钟信号和差分 LVDS 数据信号通过差分转单端模块分别转换成单端信号，12 位的数据再通过 IDDR 模块转换成 A 通道 12 位数据和 B 通道 12 位数据。A 通道和 B 通道的 12 位数据通过在线调试进行观察。

上电后，首先需要通过 SPI 接口对时钟芯片 AD9518 的寄存器进行配置，使得输出 250Mhz 的差分时钟给 ZGAD250D14 芯片。另外也要通过 SPI 接口对 ZGAD250D14 的寄存器进行配置。

FPGA 的 AD 测试的功能框图如下：



下面对 FPGA 程序中用到的主要模块做一下简单的功能介绍：

### 1. ad2512\_lut\_config.v

ZGAD250D14 芯片寄存器配置表，芯片共涉及 5 个寄存器的配置，具体配置参数见程序设置。如下是寄存器功能说明。

寄存器 0x00 为复位寄存器

地址 (HEX)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初始值	备注
0x00	RESET	X	X	X	X	X	X	X	0x00	只写
bit7	RESET 软件复位位。写入 0 禁用；写入 1= 软件复位。复位完成后，该位自动设置回 0。									
bit6-0	未使用。									

寄存器 0x01 为掉电寄存器

地址 (HEX)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初始值	备注
0x01	X	X	X	X	SLEEP	LP	PDB	0	0x00	读写
bit7:4	未使用。读回为 0。									
bit3	SLEEP, 休眠位, 0= 正常工作模式; 1= 关断整个芯片。									
bit2	Low Power, 低功耗位, 0= 正常工作模式; 1= 两个通道均为低功耗模式。									
bit1	Power Down B, 通道 B 关断位, 0 = 正常工作模式; 1= 关断通道 B。通道 A 正常运行。									
bit0	写入 0, 写入 1 禁用。									

寄存器 0x02 为时序寄存器

地址 (HEX)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初始值	备注
0x02	X	X	X	X	CINV	CPH1	CPH0	DCS	0x00	读写
bit7:4	未使用。读回为 0。									
bit3	CLKOUT inverse, 输出时钟反转位。 0 = 正常 CLKOUT 极性 (如图 6所示); 1 = 反向 CLKOUT 极性。									
bit2:1	CLKOUT PHASE1:CLKOUT PHASE0 输出时钟相位延迟位 00 = 无 CLKOUT 延迟 (如图 6所示) 01 = CLKOUT+/CLKOUT-延迟 45°(时钟周期 • 1/8) 10 = CLKOUT+/CLKOUT-延迟 90°(时钟周期 • 1/4) 11 = CLKOUT+/CLKOUT-延迟 135°(时钟周期 • 3/8) 注意: 如果使用 CLKOUT 相位延迟功能, 则还必须打开时钟占空比稳定器。									
bit0	Duty Cycle Stabilizer, 时钟占空比稳定器位。 0 = 时钟占空比稳定器关闭 1 = 时钟占空比稳定器开启									

### 寄存器 0x03 为输出模式寄存器

地址 (HEX)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初始值	备注
0x03	X	X	X	ILVDS2	ILVDS1	ILVDS0	TON	OFF	0x00	读写
bit7:5	未使用。读回为 0。									
bit4:2	ILVDS2:ILVDS0 LVDS 输出电流位 000 = 3.5mA LVDS 输出驱动电流 001 = 4.0mA LVDS 输出驱动电流 010 = 4.5mA LVDS 输出驱动电流 011 = 未使用 100 = 3.0mA LVDS 输出驱动电流 101 = 2.5mA LVDS 输出驱动电流 110 = 2.1mA LVDS 输出驱动电流 111 = 1.75mA LVDS 输出驱动电流									
bit1	TERMINATION ON, LVDS 内部终端使能位 0 = 内部终端关闭 1 = 内部终端开启。LVDS 输出驱动电流等于 ILVDS2:ILVDS0 设置的电流的 2 倍									
bit0	OUTPUT OFF, 数字输出控制位 0 = 启用数字输出 1 = 数字输出被禁用 (高阻抗)									

### 寄存器 0x04 为数据格式寄存器

地址 (HEX)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初始值	备注
0x04	TEST2	TEST1	TEST0	ABP	0	TON	RAND	2SC	0x00	读写
bit7:5	OUTTEST2:OUTTEST0 数字输出测试模式位 000 = 所有数字输出 = 0 001 = 所有数字输出 = 1 010 = 交替输出模式。OF, D11-D0 在 0000000000000 和 1111111111111 之间交替 100 = 棋盘格输出模式。OF, D11-D0 在 1010101010101 和 0101010101010 之间交替 注 1: 不使用其他位组合。 注 2: 通道 A 和通道 B 的码型可能不同步。									
bit4	ABP 交替位极性模式控制位 0 = 交替位极性模式关闭 1 = 交替位极性模式开启。奇数位 D1,D3,D5...D11 极性反转。									
bit3	必须设置为 0									
bit2	TEST ON, 启用数字输出测试模式 (输出模式由位 7:5 设置) 0 = 正常模式 1 = 启用数字输出测试模式									
bit1	RAND 数据输出随机发生器模式控制位 0 = 随机发生器模式关闭 1 = 随机发生器模式开启									
bit0	Twos Complement Mode 补码模式控制位 0 = 偏移二进制数据格式 (Offset Binary Output) 1 = 二进制补码数据格式 (Twos Complement Mode)									

## 2. ad9518\_lut\_config.v

AD9518 寄存器配置表，这里配置的寄存器比较多，具体参考芯片手册。

## 3. spi\_config.v

此模块通过调用 SPI 通信模块对 AD9518 进行寄存器配置。

## 4. spi\_8bit\_config.v

此模块通过调用 SPI 通信模块对 ZGAD250D14 进行寄存器配置。

## 5. top.v

top 模块除了实例化上面的子模块外，还实现以下几个功能。

- ✧ 调用 IBUFDS 原语实现 LVDS 差分时钟信号和数据信号转换成单端时钟和单端数据。
- ✧ 调用 IDDR 原语实现双沿的 A, B 通道的数据转换成单沿的 A 通道数据和 B 通道数据。

## 6. xdc 约束文件

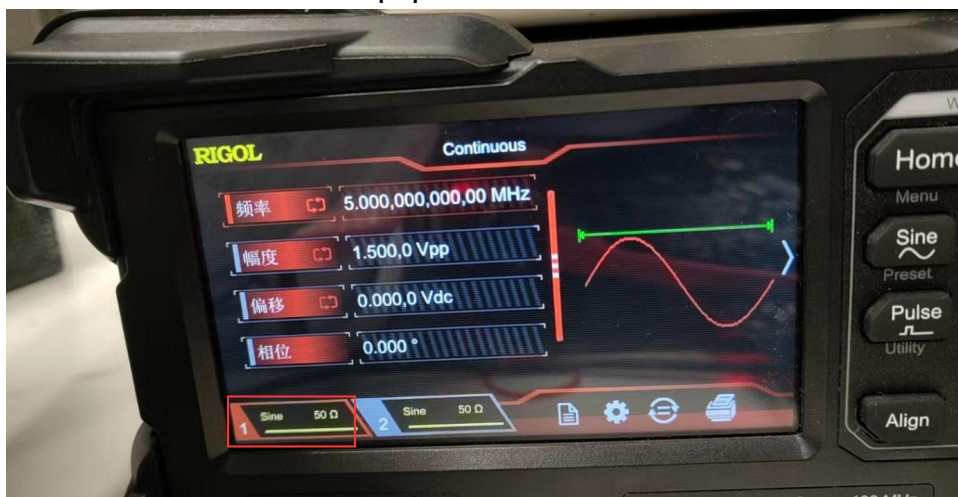
xdc 约束文件里定义了两个 AD 芯片和时钟芯片的通信的管脚。

## 第四部分 硬件连接和测试

FL2514 模块和 FPGA 开发板的硬件连接很简单，只要把 FMC 接口跟开发板的 FMC 接口对插就可以，然后用螺丝固定。我们这边使用信号发生器产生模拟信号连接到 AD1\_B 通道的 SMC 接口上。以下为 AXP390 开发板 FMC 接口和 FL2514 的硬件连接图：

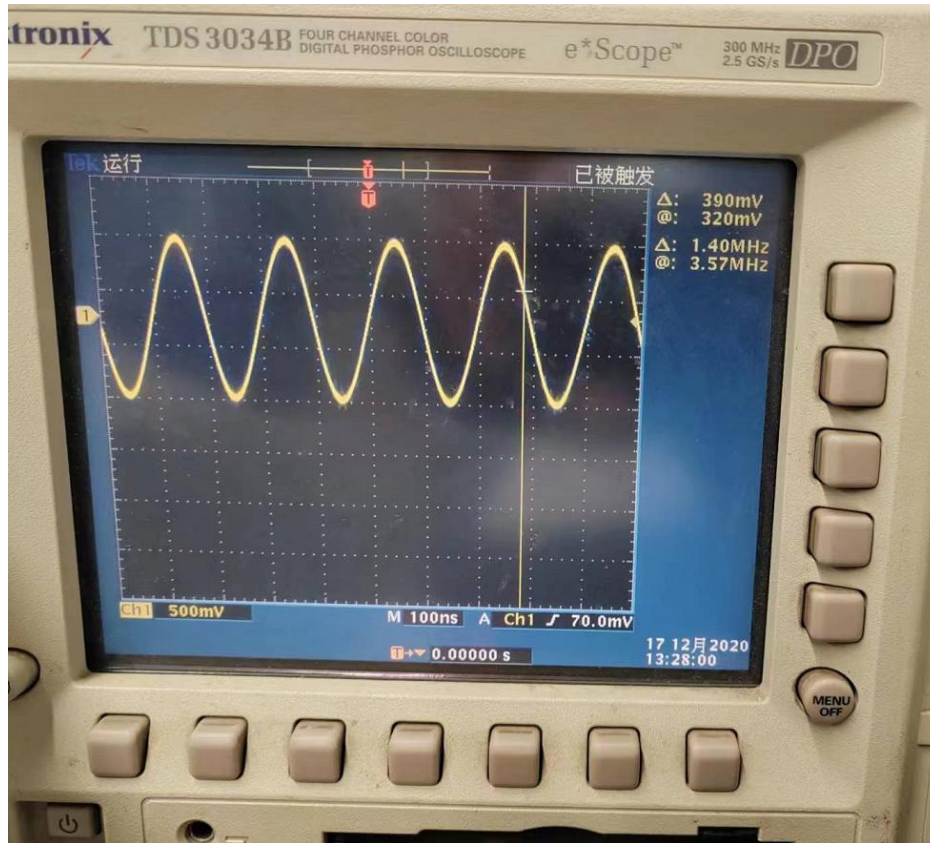


开发板上电，信号发生器产生的 1 路正弦波，频率为 5MHz，信号发生器内阻设定 50 欧姆，幅度峰峰值为 1.5 Vp-p。

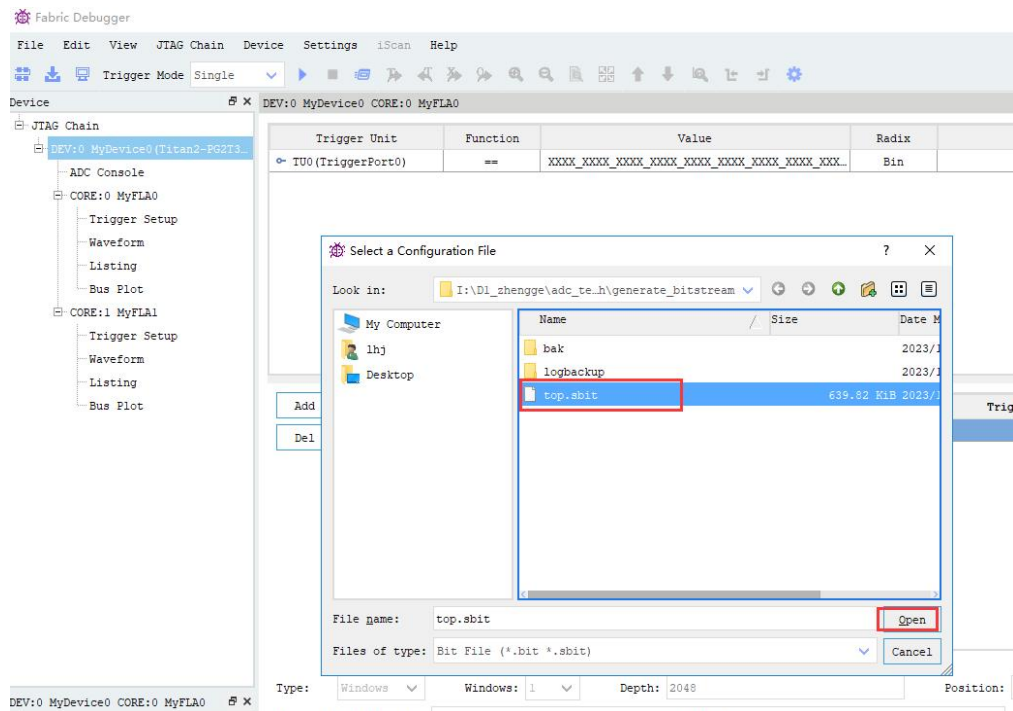


AD 输入的信号示波器测量波形如下

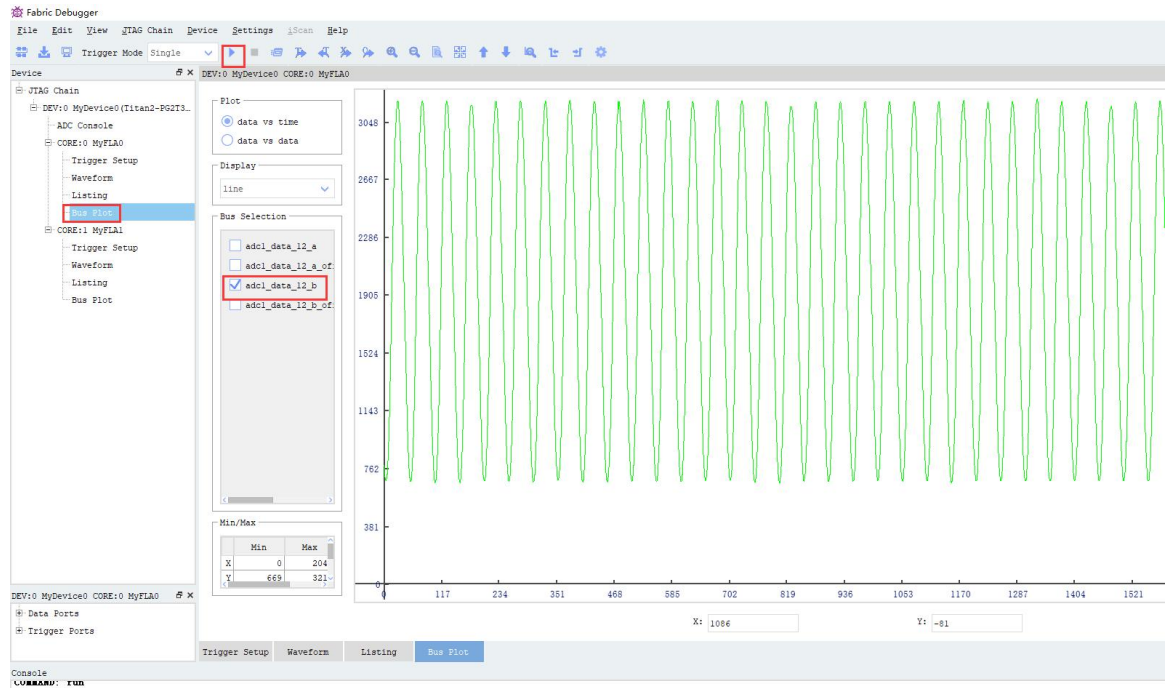




然后在同创开发软件 PDS 里下载程序。



在线调试界面中单击运行按钮可看到观察的数据波形如下图所示。



同时提供 Xilinx FPGA 板的 FL2514 DEMO 程序。