

# **FMC 4 通道高速 AD 模块 FL9627 用户手册**

**Rev 1.0**

**ALINX**

版权声明:

Copyright ©2012-2018 芯驿电子科技(上海)有限公司

公司网址:

[Http://www.alinx.com.cn](http://www.alinx.com.cn)

技术论坛:

<http://www.heijin.org>

官方旗舰店:

<http://alinx.jd.com>

邮箱:

[avic@alinx.com.cn](mailto:avic@alinx.com.cn)

电话:

021-67676997

传真:

021-37737073

ALINX 微信公众号:



## 文档修订记录:

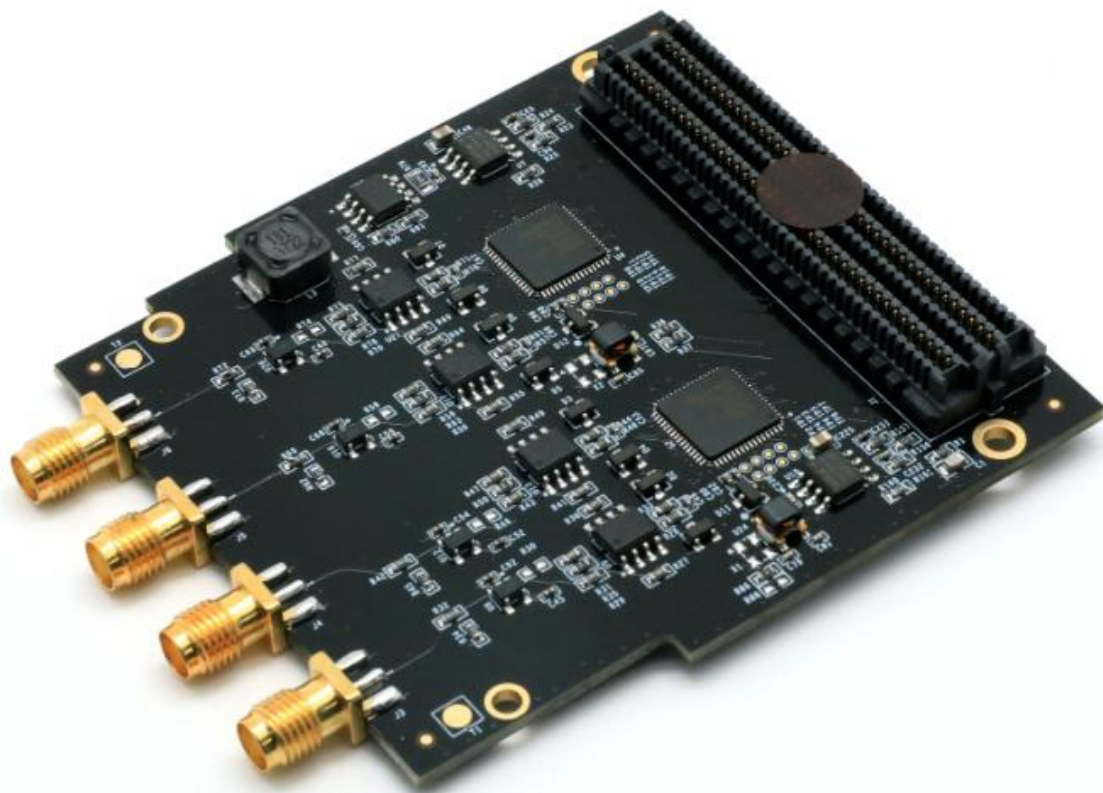
版本	时间	描述
1.0	2018/8/20	First Release

## 第一部分 FMC 高速 AD 模块说明介绍

黑金 FMC 高速 AD 模块 FL9627 为 4 路 125MSPS，12 位的模拟信号转数字信号模块。FMC 模块的 AD 转换采用了 2 片 ADI 公司的 AD9627 芯片，每个 AD9627 芯片支持 2 路 AD 输入转换，所以 2 片 AD9627 芯片一共支持 4 路的 AD 输入转换。模拟信号输入的电压范围为 -5V~+5V，接口为 SMA 插座。

模块有一个标准的 LPC 的 FMC 接口，用于连接 FPGA 开发板，FMC 的连接器型号为：ASP\_134604\_01

FL9627 模块实物照片如下：



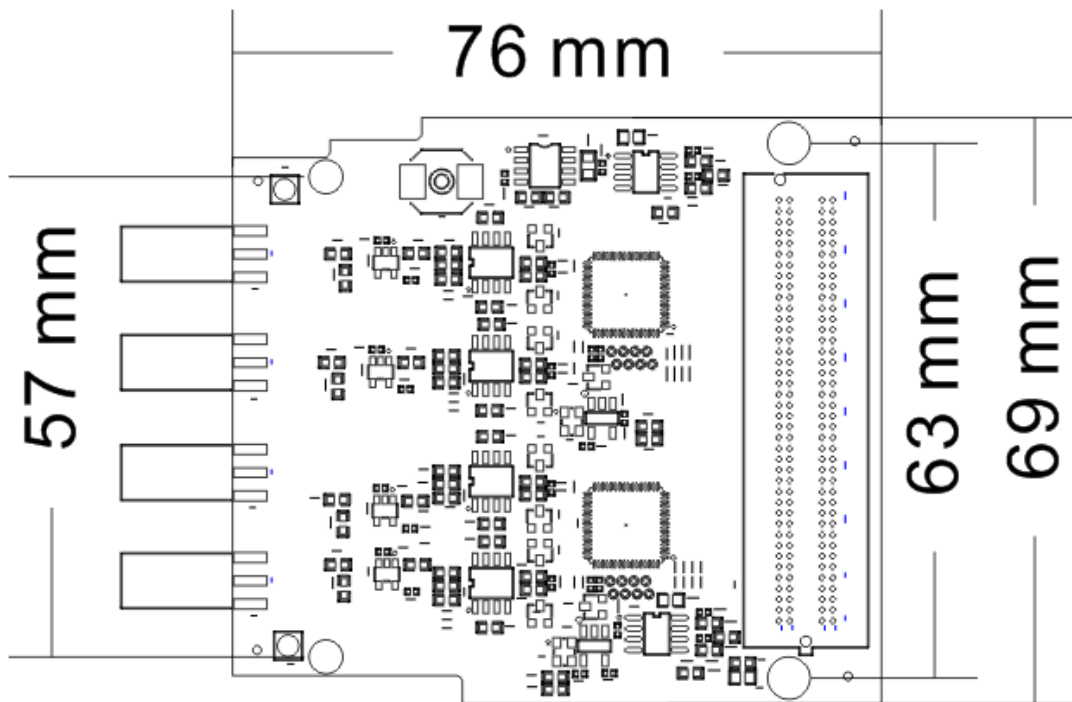
FL9627 模块实物图

## 1.1 FL9627 模块的参数说明

以下为 FL9627 高速 AD 模块的详细参数:

- AD 转换芯片：2 片 AD9627
- AD 转换通道：4 路;
- AD 采样速率：125MSPS；
- AD 采样数据位数：12 位；
- 数字接口电平标准：+1.8V 的 LVDS 电平
- AD 模拟信号输入范围：-5V~+5V；
- 模拟信号输入接口：SMA 接口；
- 配置接口：SPI 接口；
- 工作温度：-40°~85°；

## 1.2 FL9627 模块的结构图

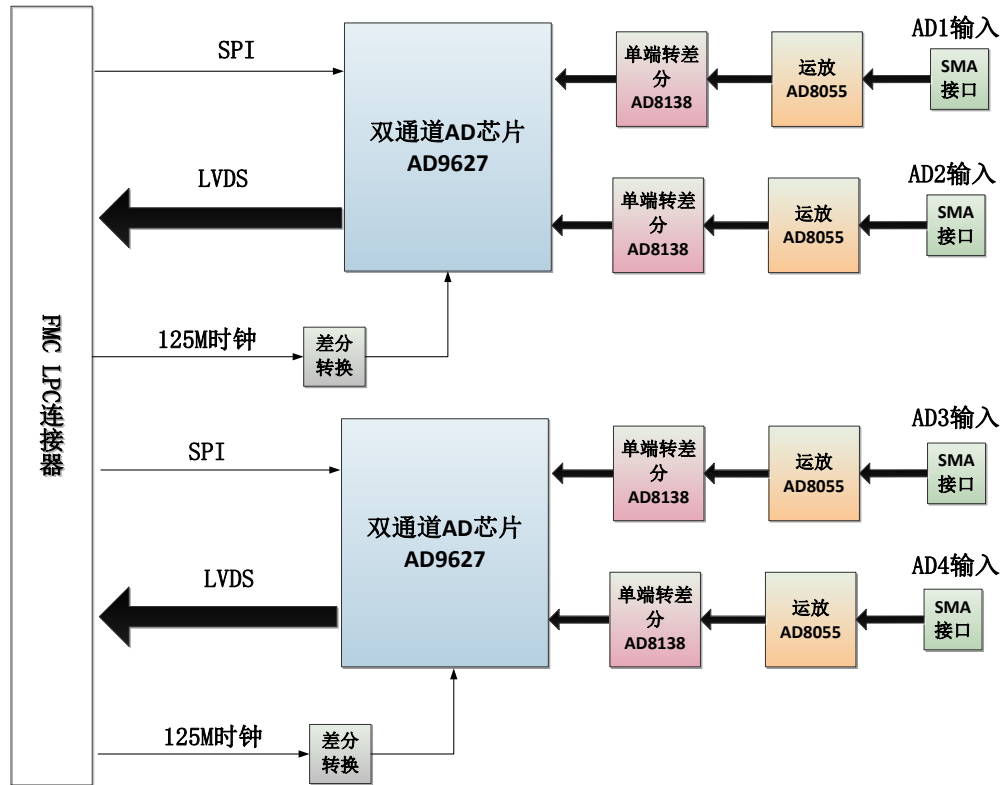


FL9627 高速 AD 模块尺寸结构图

## 第二部分 模块功能说明

### 2.1 FL9627 模块原理框图

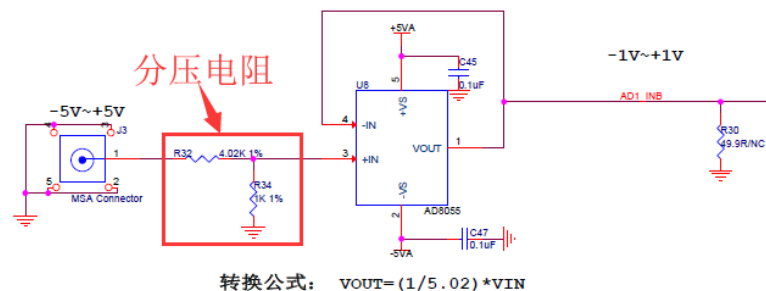
FL9627 模块的原理设计框图如下：



关于 AD9627 的电路具体参考设计请参考 AD9267 的芯片手册。

### 2.2 运放电路

板上通过 300Mhz 带宽的 AD8055 芯片和分压电阻把-5V~+5V 输入的电压缩小成-1V~+1V。如果用户想输入更宽范围的电压输入只要修改前端的分压电阻的阻值。

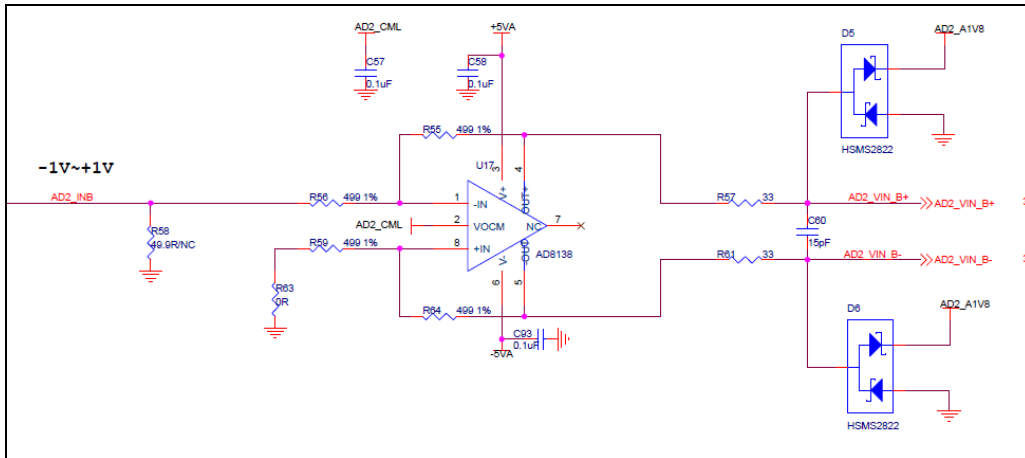


下表为模拟输入信号和 AD8055 运放输出后的电压对照表：

AD 模拟输入值	AD8055 运放输出
-5V	-1V
0V	0V
+5V	+1V

## 2.3 单端转差分及 AD 转换

-1V~+1V 的输入电压通过 AD8138 芯片转换成差分信号(  $V_{IN+} - V_{IN-}$  ), 差分信号的共模电平由 AD 的 CML 管脚决定。



下表为模拟输入信号到 AD8138 差分输出后的电压对照表：

AD 模拟输入值	AD8055 运放输出	AD8138 差分输出 ( $V_{IN+} - V_{IN-}$ )
-5V	-1V	+1V
0V	0V	0V
+5V	+1V	-1V

如果 AD 配置成 Offset Binary Output Mode 的时候，AD 转换的值如下图所示：

Table 16. Output Data Format

Input (V)	Condition (V)	Offset Binary Output Mode
VIN+ – VIN–	< –VREF – 0.5 LSB	0000 0000 0000
VIN+ – VIN–	= –VREF	0000 0000 0000
VIN+ – VIN–	= 0	1000 0000 0000
VIN+ – VIN–	= +VREF – 1.0 LSB	1111 1111 1111
VIN+ – VIN–	> +VREF – 0.5 LSB	1111 1111 1111

在模块电路设计中，AD9627 的 VREF 的值为 1V，这样最终的模拟信号输入和 AD 转换的数据如下：

AD 模拟输入值	AD8055 运放 输出	AD8138 差分输出 ( VIN+ – VIN– )	AD9627 数字输出
-5V	-1V	+1V	111111111111
0V	0V	0V	100000000000
+5V	+1V	-1V	000000000000

从表中我们可以看出，-5V 输入的时候，AD9627 转换的数字值最大，+5V 输入的时候，AD9627 转换的数字值反而最小。

## 2.4 FL9627 数字输出时序

AD9627 双通道 AD 的数字输出配置成了+1.8V 的 LVDS 输出模式，2 路通道(A 和 B ) 共用一对差分时钟信号和 12 对差分数据信号。数据输出的顺序为交替输出，一路 AD 在时钟的上升沿输出，另外一路 AD 数据在时钟的下降沿输出。



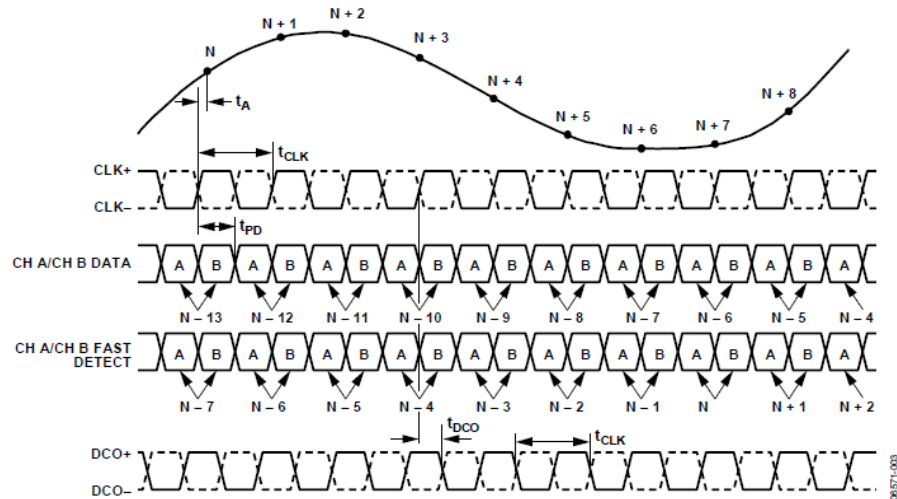


Figure 3. LVDS Mode Data and Fast Detect Output Timing (Fast Detect Mode Select Bits = 001 Through Fast Detect Mode Select Bits = 100)

## 2.5 FL9627 LVDS 标准

从 AD9627 的芯片手册里我们可以看到，AD9627 输出的+1.8V LVDS 的电平标准如下：

Parameter	Temperature	Min	Typ	Max	Unit
LVDS Mode—DRVDD = 1.8 V					
Differential Output Voltage ( $V_{OD}$ ), ANSI Mode	Full	250	350	450	mV
Output Offset Voltage ( $V_{OS}$ ), ANSI Mode	Full	1.15	1.25	1.35	V
Differential Output Voltage ( $V_{OD}$ ), Reduced Swing Mode	Full	150	200	280	mV
Output Offset Voltage ( $V_{OS}$ ), Reduced Swing Mode	Full	1.15	1.25	1.35	V

而 FPGA 芯片的+2.5V LVDS 输入的电平标准如下

Table 12: LVDS\_25 DC Specifications

Symbol	DC Parameter	Conditions	Min	Typ	Max	Units
$V_{CCO}$	Supply Voltage		2.375	2.500	2.625	V
$V_{IDIFF}$	Differential Input Voltage: ( $Q - \bar{Q}$ ), $\bar{Q} = \text{High}$ ( $\bar{Q} - Q$ ), $Q = \text{High}$		100	350	600	mV
$V_{ICM}$	Input Common-Mode Voltage		0.300	1.200	1.500	V

说明 AD9627 输出的差分信号完全满足 FPGA 的+2.5V 的 LVDS 输入电平标准。

## 2.6 模块 FMC LPC 的引脚分配：

下面只列了电源和 AD 芯片接口的信号，GND 的信号没有列出，具体用户可以参考原理图。

Pin Number	Signal Name	Description
C35	+12V	12V 电源输入
C37	+12V	12V 电源输入
D32	+3.3V	3.3V 电源输入
C34	GA0	EEPROM 地址位 0 位
D35	GA1	EEPROM 地址位 1 位
D8	CLK1_125M	AD1 芯片的 125M 参考时钟输入
G6	AD1_DC0+	AD1 通道 A 和通道 B LVDS 的数据时钟输出-P.
G7	AD1_DC0-	AD1 通道 A 和通道 B LVDS 的数据时钟输出-N.
H7	AD1_D0+	AD1 通道 A 和通道 B LVDS 的数据 0 输出-P.
H8	AD1_D0-	AD1 通道 A 和通道 B LVDS 的数据 0 输出-N.
C10	AD1_D1+	AD1 通道 A 和通道 B LVDS 的数据 1 输出-P.
C11	AD1_D1-	AD1 通道 A 和通道 B LVDS 的数据 1 输出-N.
D11	AD1_D2+	AD1 通道 A 和通道 B LVDS 的数据 2 输出-P.
D12	AD1_D2-	AD1 通道 A 和通道 B LVDS 的数据 2 输出-N.
H10	AD1_D3+	AD1 通道 A 和通道 B LVDS 的数据 3 输出-P.
H11	AD1_D3-	AD1 通道 A 和通道 B LVDS 的数据 3 输出-N.
C14	AD1_D4+	AD1 通道 A 和通道 B LVDS 的数据 4 输出-P.
C15	AD1_D4-	AD1 通道 A 和通道 B LVDS 的数据 4 输出-N.
G12	AD1_D5+	AD1 通道 A 和通道 B LVDS 的数据 5 输出-P.
G13	AD1_D5-	AD1 通道 A 和通道 B LVDS 的数据 5 输出-N.
H13	AD1_D6+	AD1 通道 A 和通道 B LVDS 的数据 6 输出-P.
H14	AD1_D6-	AD1 通道 A 和通道 B LVDS 的数据 6 输出-N.
D14	AD1_D7+	AD1 通道 A 和通道 B LVDS 的数据 7 输出-P.
D15	AD1_D7-	AD1 通道 A 和通道 B LVDS 的数据 7 输出-N.
G15	AD1_D8+	AD1 通道 A 和通道 B LVDS 的数据 8 输出-P.
G16	AD1_D8-	AD1 通道 A 和通道 B LVDS 的数据 8 输出-N.
H16	AD1_D9+	AD1 通道 A 和通道 B LVDS 的数据 9 输出-P.
H17	AD1_D9-	AD1 通道 A 和通道 B LVDS 的数据 9 输出-N.
D17	AD1_D10+	AD1 通道 A 和通道 B LVDS 的数据 10 输出-P.
D18	AD1_D10-	AD1 通道 A 和通道 B LVDS 的数据 10 输出-N.
C18	AD1_D11+	AD1 通道 A 和通道 B LVDS 的数据 11 输出-P.
C19	AD1_D11-	AD1 通道 A 和通道 B LVDS 的数据 11 输出-N.
G9	AD1_SPI_CS	AD1 芯片的 SPI 通信片选信号
G10	AD1_SPI_SDIO	AD1 芯片的 SPI 通信数据信号
D9	AD1_SPI_SCLK	AD1 芯片的 SPI 通信时钟信号
G19	AD1_SMI_SCLK	AD1 监控信号串行输出时钟信号
G18	AD1_SMI_SDFS	AD1 监控信号串行输出数据帧同步信号

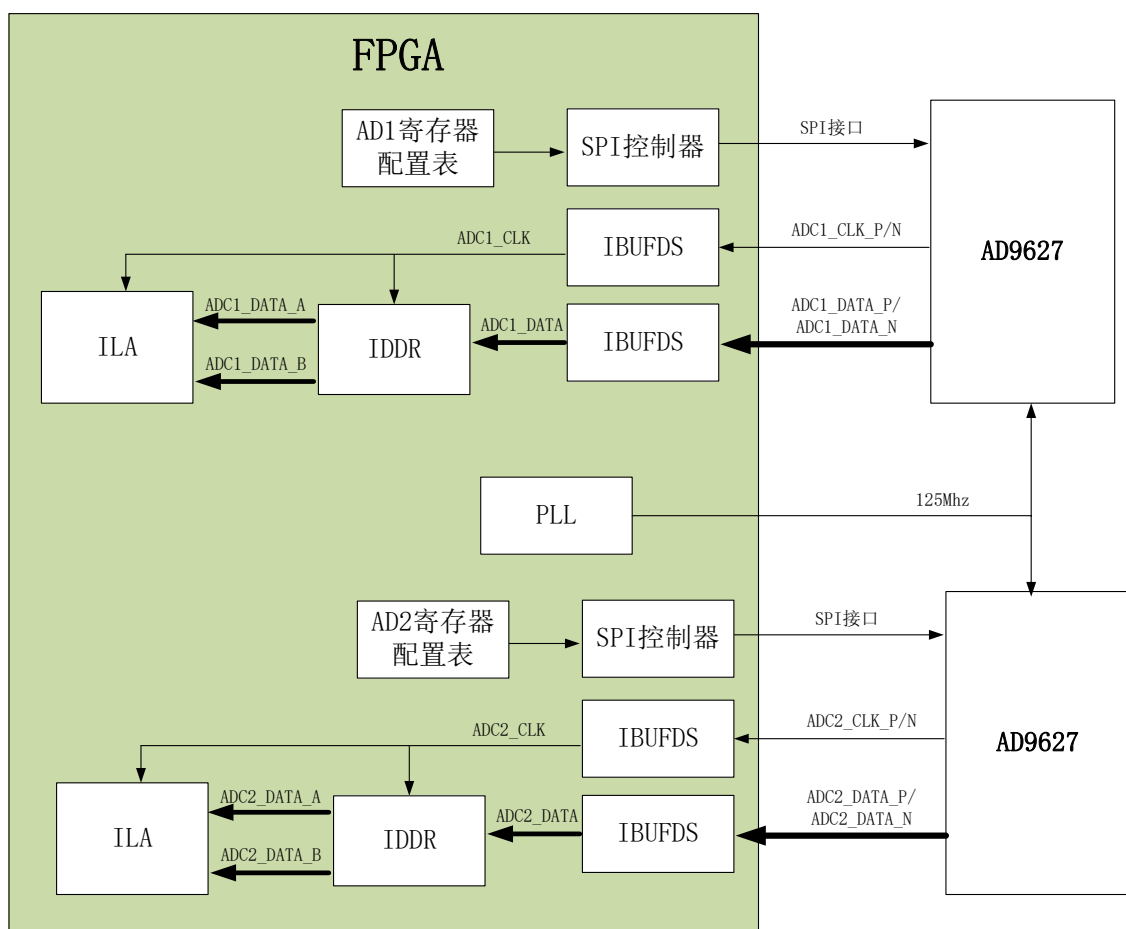
H19	AD1_SMI_SDO	AD1 监控信号串行输出数据信号
D20	CLK2_125M	AD2 芯片的 125M 参考时钟输入
C22	AD2_DCO+	AD2 通道 A 和通道 B LVDS 的数据时钟输出-P.
C23	AD2_DCO-	AD2 通道 A 和通道 B LVDS 的数据时钟输出-N.
G21	AD2_D0+	AD2 通道 A 和通道 B LVDS 的数据 0 输出-P.
G22	AD2_D0-	AD2 通道 A 和通道 B LVDS 的数据 0 输出-N.
H22	AD2_D1+	AD2 通道 A 和通道 B LVDS 的数据 1 输出-P.
H23	AD2_D1-	AD2 通道 A 和通道 B LVDS 的数据 1 输出-N.
C26	AD2_D2+	AD2 通道 A 和通道 B LVDS 的数据 2 输出-P.
C27	AD2_D2-	AD2 通道 A 和通道 B LVDS 的数据 2 输出-N.
G24	AD2_D3+	AD2 通道 A 和通道 B LVDS 的数据 3 输出-P.
G25	AD2_D3-	AD2 通道 A 和通道 B LVDS 的数据 3 输出-N.
H25	AD2_D4+	AD2 通道 A 和通道 B LVDS 的数据 4 输出-P.
H26	AD2_D4-	AD2 通道 A 和通道 B LVDS 的数据 4 输出-N.
D26	AD2_D5+	AD2 通道 A 和通道 B LVDS 的数据 5 输出-P.
D27	AD2_D5-	AD2 通道 A 和通道 B LVDS 的数据 5 输出-N.
G27	AD2_D6+	AD2 通道 A 和通道 B LVDS 的数据 6 输出-P.
G28	AD2_D6-	AD2 通道 A 和通道 B LVDS 的数据 6 输出-N.
H28	AD2_D7+	AD2 通道 A 和通道 B LVDS 的数据 7 输出-P.
H29	AD2_D7-	AD2 通道 A 和通道 B LVDS 的数据 7 输出-N.
G30	AD2_D8+	AD2 通道 A 和通道 B LVDS 的数据 8 输出-P.
G31	AD2_D8-	AD2 通道 A 和通道 B LVDS 的数据 8 输出-N.
H31	AD2_D9+	AD2 通道 A 和通道 B LVDS 的数据 9 输出-P.
H32	AD2_D9-	AD2 通道 A 和通道 B LVDS 的数据 9 输出-N.
G33	AD2_D10+	AD2 通道 A 和通道 B LVDS 的数据 10 输出-P.
G34	AD2_D10-	AD2 通道 A 和通道 B LVDS 的数据 10 输出-N.
H34	AD2_D11+	AD2 通道 A 和通道 B LVDS 的数据 11 输出-P.
H35	AD2_D11-	AD2 通道 A 和通道 B LVDS 的数据 11 输出-N.
D21	AD2_SPI_CS	AD2 芯片的 SPI 通信片选信号
D23	AD2_SPI_SDIO	AD2 芯片的 SPI 通信数据信号
D24	AD2_SPI_SCLK	AD2 芯片的 SPI 通信时钟信号
G37	AD2_SMI_SCLK	AD2 芯片监控信号串行输出时钟信号
G36	AD2_SMI_SDFS	AD2 芯片监控信号串行输出数据帧同步信号
H37	AD2_SMI_SDO	AD2 芯片监控信号串行输出数据信号
H20	AD_SYNC	数字同步信号
C30	SCL	EEPROM 的 I2C 时钟
C31	SDA	EEPROM 的 I2C 数据
G39	VADJ	VADJ 电源输入
H40	VADJ	VADJ 电源输入

## 第三部分 AD 采样 DEMO 程序说明

我们提供了黑金 FPGA 开发板的 AD 采集和显示的例程，在这个例程中 2 个 AD9627 输入的差分 LVDS 时钟信号和差分 LVDS 数据信号通过 IBUFDS 模块分别转换成单端信号，12 位的数据再通过 IDDR 模块转换成 A 通道 12 位数据和 B 通道 12 位数据。A 通道和 B 通道的 12 位数据通过 ILA 在线 debug 观察。

上电后，需要对 AD9627 的寄存器进行配置，这里使用 SPI 总线对每个 AD9627 芯片进行寄存器配置，使得 AD9627 工作在 LVDS 模式。

FPGA 的 AD 测试的功能框图如下：



下面对 FPGA 程序中用到的各个模块做一下简单的功能介绍：

### 1. lut\_config.v

AD9627 寄存器配置表 这里只配置了 2 个寄存器的值，一个是寄存器 0x14，另一个是寄存器 0x FF。

对寄存器 0x14 配置成 LVDS 输出格式，输出为 offset binary 模式。

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
0x14	Output Mode	Drive strength 0 V to 3.3 V CMOS or ANSI LVDS; 1 V to 1.8 V CMOS or reduced LVDS (global)	Output type 0 = CMOS 1 = LVDS (global)	Open	Output enable bar (local)	Open	Output invert (local)	00 = offset binary 01 = twos complement 10 = gray code 11 = offset binary (local)	0x00	Configures the outputs and the format of the data	

对寄存器 0x14 配置后，需要对 0xFF 寄存器的最低位写 1 后才能生效。

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
0xFF	Transfer	Open	Open	Open	Open	Open	Open	Open	Transfer	0x00	Synchronously transfers data from the master shift register to the slave

具体的寄存器含义大家参考 AD9627 芯片手册。

## 2. spi\_config.v

此模块通过调用 SPI 通信模块(adc\_spi.v)对 AD9627 芯片进行寄存器配置，配置的寄存器地址和值定义在 lut\_config.v 文件里。

## 3. top.v

top 模块除了实例化上面的子模块外，还实现以下几个功能。

- ✧ 调用 PLL IP 产生 AD9627 芯片所需的 125Mhz 参考时钟。
- ✧ 调用 IBUFDS 原语实现 LVDS 差分时钟信号和数据信号转换成单端时钟和单端数据。
- ✧ 调用 IDDR 原语实现双沿的 A，B 通道的数据转换成单沿的 A 通道数据和 B 通道数据。

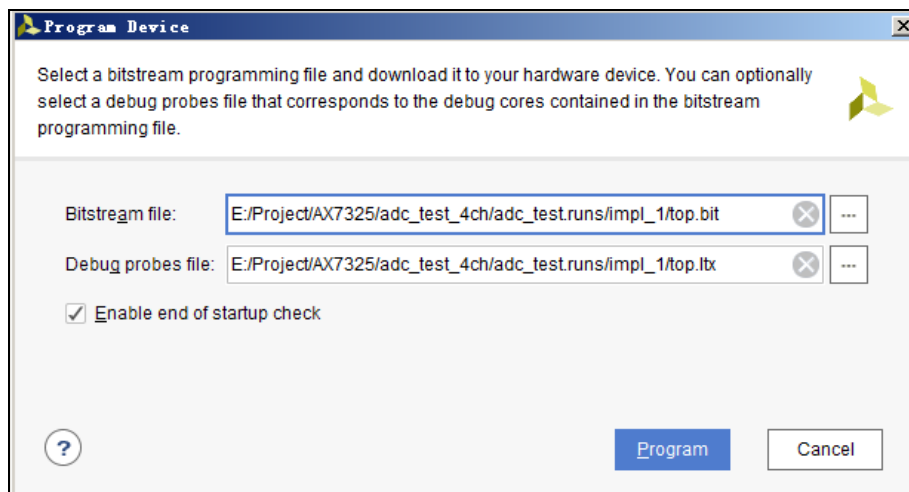
#### 4. xdc 约束文件

xdc 约束文件里定义了两个 AD 的通信的管脚及 ILA 调试接口，用户可以自己修改 ILA 的接口信号来观察自己想观察的信号。

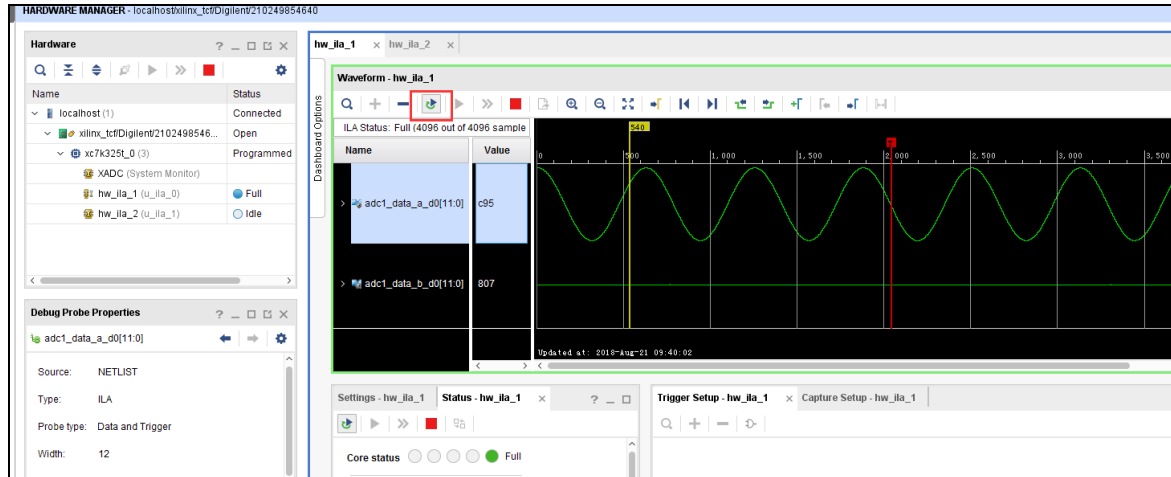
## 第四部分 硬件连接和测试

FL9627 模块和 FPGA 开发板的硬件连接很简单，只要把 FMC 接口跟开发板的 FMC 接口对插就可以，然后用螺丝固定。我们这边使用信号发生器产生模拟信号连接到 AD1\_A 通道的 SMA 接口上。以下为黑金 AX7325 开发板的和 FL9627 的硬件连接图：

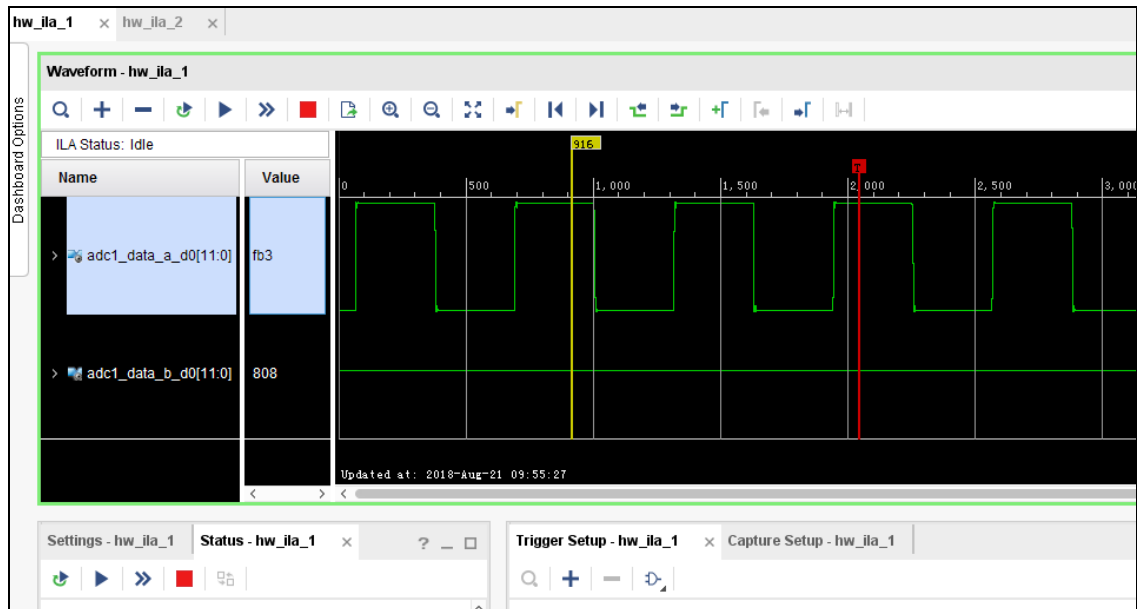
开发板上电，信号发生器产生-5V~+5V 的正选波，频率为 200Khz，然后在 Vivado 环境下下载程序，



这里会出现 hw\_ila\_1 的界面，在 hw\_ila\_1 界面里显示第一路 AD 模块的通道 A 和通道 B 的 AD 采集数据。点击"Run trigger mode for this ILA core"按钮，adc1\_data\_a\_d0 通道会显示正选波。



改变信号发送器使它产生-5V~+5V 的方波，再点击"Run trigger mode for this ILA core"按钮，adc1\_data\_a\_d0 通道会显示方波。我们这里可以看到+5V 的时候，AD 采集的数据为 04e, -5V 的时候 AD 采集的数据为 fb3。



如果用户需要测量另外一个 AD2 的波形，需要把模拟信号输入到 AD2 的通道 A 或者通道 B 上。然后双击 hw\_ila\_2 就会显示 hw\_ila\_2 的界面。

