

Versal AI Edge 系列

开发板用户手册

VD100

REV 1.0 版

芯驿电子科技（上海）有限公司

WWW.ALINX.COM

目录

目录.....	2
一、 开发板简介.....	5
二、 VE2302 核心板.....	7
(一) 简介.....	7
(二) VE2302.....	9
(三) 时钟配置.....	10
(四) DDR4 DRAM.....	11
(五) QSPI Flash.....	16
(六) eMMC Flash.....	17
(七) LED 灯.....	19
(八) 电源.....	19
(九) 扩展接口.....	21
(十) 结构图.....	27
三、 扩展板.....	27
(一) 简介.....	27
(二) 千兆以太网接口.....	28
(三) PCIe4.0 X4 接口.....	30
(四) 光纤接口.....	32
(五) USB 转串口.....	33
(六) USB2.0 接口.....	34
(七) LVDS 显示屏接口.....	35
(八) MIPI 接口.....	36
(九) SD 卡.....	38
(十) EEPROM 24LC04 和温度传感器.....	39
(十一) JTAG 接口.....	39
(十二) CANFD 通信接口.....	40
(十三) 拓展口.....	41

(十四) 按键.....	42
(十五) LED 灯.....	42
(十六) 供电电源.....	43
(十七) 结构尺寸图.....	44

ALINX Versal AI Edge 系列的自适应计算加速平台(ACAP) (型号: VD100) 正式发布了, 为了让您对此开发平台可以快速了解, 我们编写了此用户手册。

这款 Versal AI Edge 开发平台采用核心板加扩展板的模式, 方便用户对核心板的二次开发利用。在底板设计上我们采用了 1 路 12pin 的 PMOD 接口, 2 路万兆光纤接口, 2 路以太网口, 2 路 MIPI 接口, 1 路 USB2.0 接口, 1 路 UART 接口和 1 路 PCIe4.0X4接口。满足用户的高速数据传输和交换的要求, 是一款数据通信的“专业级”和“全能级”开发平台。相信这样的一款产品非常适合从事人工智能, 数据加速和视频图像处理的学生、工程师等群体。



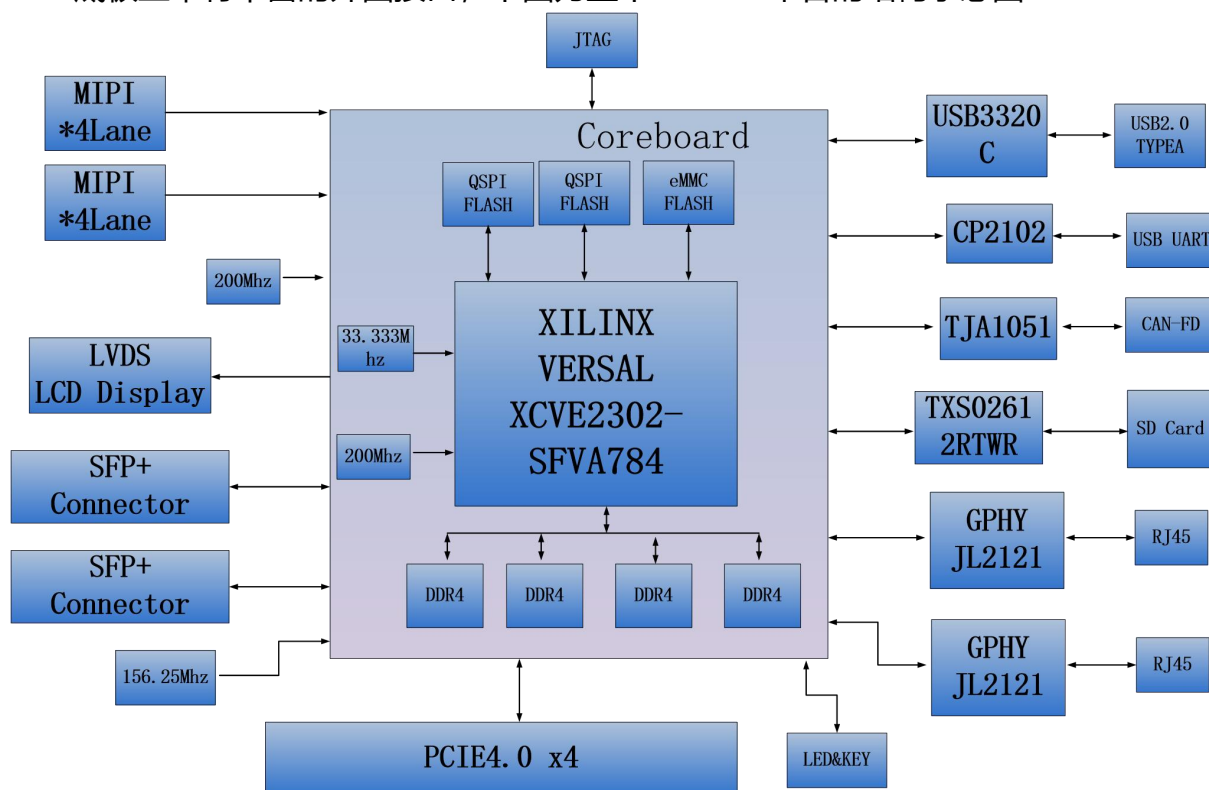
一、开发板简介

在这里，对这款 Versal AI VD100 平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 Versal AI VE2302 + 4 个 DDR4 + QSPI FLASH+EMMC 构成，我们选用的 Versal AI Series 的 VE2302 芯片，SFVA784 封装。VE2302 和 DDR4 的数据位宽为 64 位，DDR4 容量高达 4GB，数据速率为 3200bps。满足数据处理过程中对高缓冲区的需求。另外核心板上有 8G 的 EMMC 和 512Mbit 的 QSPI FLASH，用于系统启动和数据存储。

底板上带有丰富的外围接口，下图为整个 VD100 平台的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- Versal AI VE2302 核心板

由 VE2302+4GB DDR4+8G EMMC+512Mb QSPI FLASH 组成，另外有两个高精度 Sitime 公司的晶振，一个是单端 33.3333MHz，另一个是差分 200MHz，为 VE2302 系统和逻辑单元提供稳定的时钟输入。

- 10/100M/1000M 以太网 RJ-45 接口

2 路千兆以太网接口，芯片采用景略公司的 JL2121 以太网 PHY 芯片为用户提供网络通信服务。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率；全双工和自适应。

- USB Uart 调试接口

1 路 Uart 转 USB 接口,用于和电脑通信,方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口。

- PCIe x4 接口

支持 PCI Express 4.0 标准, 提供标准的 PCIe x4 高速数据传输接口。

- Micro SD 卡座

1 路 Micro SD 卡座, 用于存储操作系统镜像和文件系统。

- USB2.0 接口

1 路高速 USB2.0 接口, 可用于开发板连接鼠标、键盘和 U 盘等 USB 外设。

- MIPI 接口

2 路 MIPI 接口, 支持 MIPI 4xLane, 可以连接 ALINX 的 MIPI 摄像头 (AN5010)。

- LVDS 接口

1 路 LVDS 接口, 用于连接 ALINX 的 LVDS 显示屏。

- 2 路 SFP+光纤接口

GTY 收发器的 2 路高速收发器连接到 2 个光模块的发送和接收, 实现 2 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 12.5Gb/s。

- CAN 通信接口

1 路 CAN/CAN FD 总线接口, 选用 TI 公司的 TJA1051T 芯片, 接口采用 3Pin 的绿色接线端子。

- 12 针 PMOD 扩展口

预留 1 个 12 针 2.54mm 间距的扩展 IO 口, 扩展口包含 2 路 3.3V 电源, 2 路地, 8 路 3.3V IO 口。

- JTAG 口

10 针 2.54mm 标准的 JTAG 口, 用于 VE2302 程序的下载和调试;

- 按键

扩展板上 2 个用户按键, 一个连接到 PS 的 MIO, 一个连接到 PL 的 IO;

- LED 灯

5 个 LED (2 个在核心板, 3 个在扩展板) ;

二、 VE2302 核心板

(一) 简介

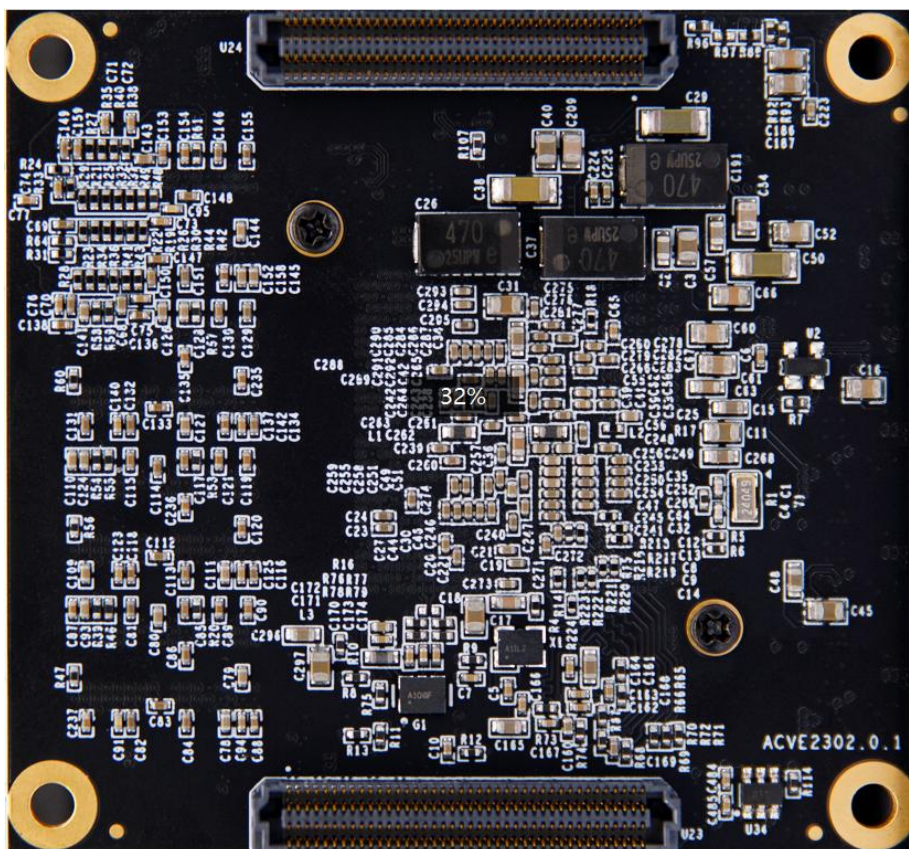
V100(核心板型号, 下同)核心板, 是基于 XILINX 公司的 Versal ACAP 系列的 XCVE2302-SFVA784-1LP-E-S 这款芯片开发的高性能核心板, 具有高性能, 低延迟, 边缘计算, 低功耗等特点, 适合数据中心, 视频图像处理, 高速数据处理等方面使用。

这款核心板使用了 4 片 MICRON 公司的 MT40A512M16LY-062E 这款 DDR4 芯片, 有 64 位数据总线带宽和 4GB 的容量; DDR4 SDRAM 的最高运行速度可达 1600MHz(数据速率 3200Mbps)。另外核心板上也集成了 2 片 256MBit 大小的 QSPI FLASH 和 1 片 8GB 大小的 EMMC 芯片, 用于启动存储配置和系统文件。

这款核心板 PS 端扩展了 53 个 1.8V 电平标准的 MIO, PL 端扩展了 22 个 3.3V 电平标准 IO, 54 个 1.8V 电平标准 IO 口, 30 个 1.2V 电平标准 IO, 还有 8 对 GTY 高速 RX/TX 差分信号。而且, FPGA 芯片到接口之间走线做了等长和差分处理, 并且核心板尺寸仅为 65*60 (mm), 对于二次开发来说, 非常适合。



V100 核心板正面图



V100 核心板背面图

(二) VE2302

前面已经介绍过了，我们所使用的 Versal ACAP 型号为 XCVE2302-SFVA784-1LP-E-S，速度等级为 1，工作温度 0~100℃，封装为 SFVA784。Versal ACAP 的芯片命名规则如下：

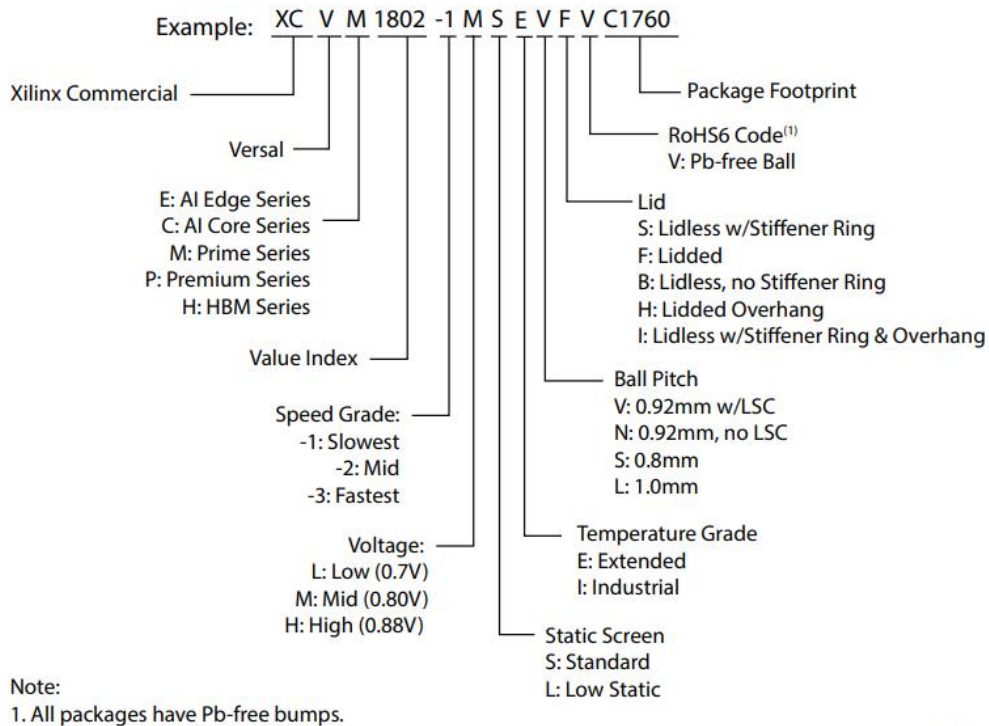


Figure 3: Versal ACAP Ordering Information

VE2302 芯片的集成了 2 个 ARM Cortex™-A72 处理器和 2 个 Cortex-R5F 处理器，另外还有 34 个 AI Engines-ML 加速单元和 464 个 DSP 处理单元。VE2302 的内部资源如下所示：

	VE2002	VE2102	VE2202	VE2302	VE1752	VE2602	VE2802
AI Engines-ML	8	12	24	34	0	152	304
AI Engines	0	0	0	0	304	0	0
AIE/AIE-ML Data Memory (Mb)	4	6	12	17	76	76	152
AIE-ML Shared Memory (Mb)	48	48	68	68	0	304	304
AIE to NoC Interface Tiles	2	2	6	6	12	12	12
AIE to PL Interface Tiles	7	7	12	12	27	28	28
DSP Engines	90	176	324	464	1,312	984	1,312
System Logic Cells	43,750	80,080	229,688	328,720	981,120	820,313	1,139,040
CLB Flip-Flops	40,000	73,216	210,000	300,544	897,024	750,000	1,041,408
LUTs	20,000	36,608	105,000	150,272	448,512	375,000	520,704
Distributed RAM (Mb)	0.6	1.1	3.2	4.6	13.7	11.4	15.9
Block RAM Blocks	24	47	108	155	954	476	600
Block RAM (Mb)	0.8	1.7	3.8	5.4	33.5	16.7	21.1
UltraRAM Blocks	24	47	108	155	462	224	264
UltraRAM (Mb)	6.8	13.2	30.4	43.6	129.9	63.0	74.3
Accelerator RAM (Mb)	32	32	32	32	0	0	0
APU	Dual-core Arm® Cortex-A72, 48KB/32KB L1 Cache w/ parity & ECC; 1MB L2 Cache w/ ECC						
RPU	Dual-core Arm Cortex-R5F, 32KB/32KB L1 Cache, and 256KB TCM w/ECC						
Memory	256KB On-Chip Memory w/ECC						
Connectivity	Ethernet (x2); UART (x2); CAN-FD (x2); USB 2.0 (x1); SPI (x2); I2C (x2)						
NoC to PL Master/ Slave Ports	2	2	5	5	21	21	21
DDR Bus Width	64	64	64	64	192	192	192
DDR Memory Controllers (DDRMC)	1	1	1	1	3	3	3
PCIe w/DMA & CCIX (CPM4)	-	-	-	-	1 x Gen4x16, CCIX	-	-
PCIe w/DMA & CCIX (CPM5)	-	-	-	-	-	1 x Gen4x16, CCIX	1 x Gen4x16, CCIX
PCIe (PLPCIe4)	-	-	1 x Gen4x8	1 x Gen4x8	4 x Gen4x8	-	-
PCIe (PLPCIe5)	-	-	-	-	-	4 x Gen4x8	4 x Gen4x8
40G Multirate Ethernet MAC	0	0	1	1	2	2	2
XPIO	216	216	216	216	486	486	486
HDIO	0	0	22	22	44	44	44
GTY Transceivers ⁽¹⁾	0	0	0	0	44	0	0
GTYP Transceivers ⁽¹⁾	0	0	8	8	0	32 ⁽²⁾	32 ⁽²⁾
Video Decoder Engines (VDEs)	-	-	-	-	-	2	4

(三) 时钟配置

V100 核心板上分别为 PS 系统, PL 逻辑部分提供了参考时钟和 RTC 实时时钟, 使 PS 系统和 PL 逻辑可以单独工作。时钟电路设计的示意图如下图 2-3-1 所示:

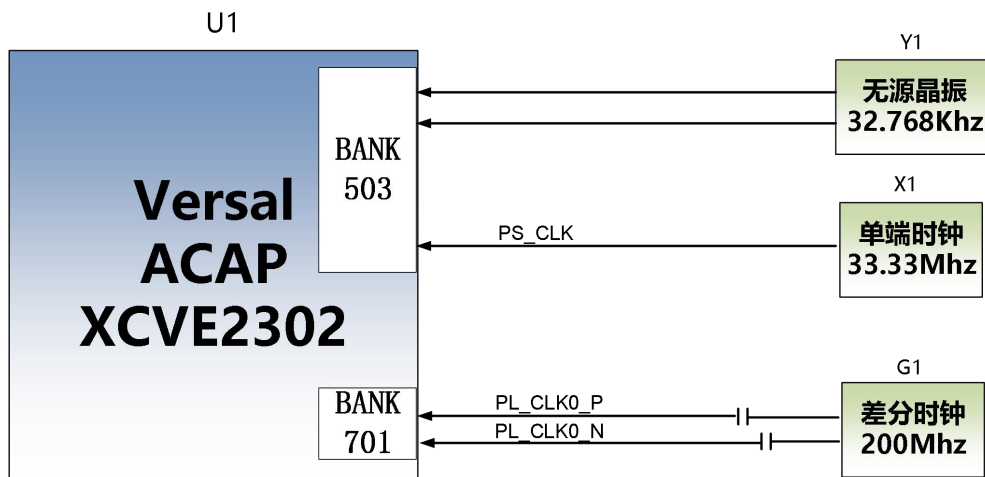


图 2-3-1 核心板时钟源

PS 系统 RTC 实时时钟

核心板上的无源晶体 Y1 为 PS 系统的提供 32.768KHz 的实时时钟源。晶体连接到 VE2302 芯片的 BANK503 的 RTC_PADI_503 和 RTC_PADO_503 的管脚上。

PS 系统时钟源

核心板上的 X1 晶振为 PS 系统提供 33.333MHz 的时钟输入。时钟的输入连接到 VE2302 芯片的 BANK503 的 PS_REF_CLK_503 的管脚上。

PL 系统时钟源

板上提供了一个差分 200MHz 的 PL 系统时钟源，用于 DDR4 控制器的参考时钟。晶振输出连接到 PL BANK701 的全局时钟(GC)，这个全局时钟可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。

PL 时钟引脚分配：

信号名称	VE2302 管脚名	VE2302 管脚号
PL_CLK0_N	IO_L24N_GC_XCC_N8P1_MOP103_701	AC23
PL_CLK0_P	IO_L24P_GC_XCC_N8P0_MOP102_701	AB23

(四) DDR4 DRAM

V100核心板上配有4片Micron(美光) 的1GB的DDR4芯片,型号为 MT40A512M16LY-062E, 4片DDR4挂在BANK700, 701和702的XPIO上, 组成64位数据总线带宽和4GB的容量。DDR4 SDRAM的最高运行速度可达1600MHz(数据速率 3200Mbps)。DDR4 SDRAM的具体配置如下表2-4-1所示。

位号	芯片型号	容量	厂家
U5,U8,U9,U10	MT40A512M16LY-062E	512M x 16bit	Micron

表 2-4-1 DDR4 SDRAM 配置

DDR4 的硬件设计需要严格考虑信号完整性, 我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制, 走线等长控制, 保证 DDR4 的高速稳定的工作。DDR4 的硬件连接方式如图 2-4-1 所示:

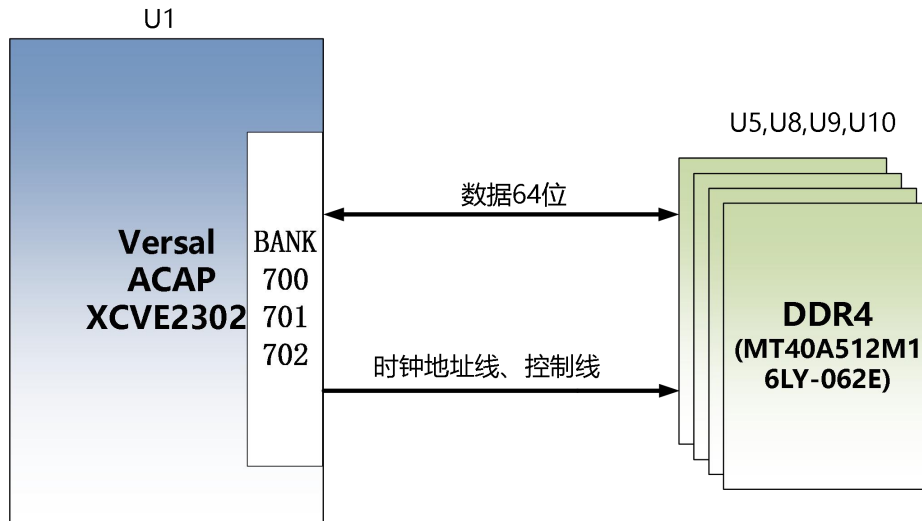


图2-4-1 DDR4 DRAM原理图部分

DDR4 SDRAM 引脚分配:

信号名称	引脚名	引脚号
PL_DDR4_A0	IO_L18P_XCC_N6P0_M0P36_700	AB12
PL_DDR4_A1	IO_L17N_N5P5_M0P35_700	AE22
PL_DDR4_A2	IO_L17P_N5P4_M0P34_700	AD22
PL_DDR4_A3	IO_L20P_N6P4_M0P40_700	AB15
PL_DDR4_A4	IO_L12P_GC_XCC_N4P0_M0P24_700	AD12
PL_DDR4_A5	IO_L26P_N8P4_M0P52_700	AE17
PL_DDR4_A6	IO_L24P_GC_XCC_N8P0_M0P48_700	AD16
PL_DDR4_A7	IO_L6N_GC_XCC_N2P1_M0P13_700	AG11
PL_DDR4_A8	IO_L25N_N8P3_M0P51_700	AE14
PL_DDR4_A9	IO_L19P_N6P2_M0P38_700	AB14
PL_DDR4_A10	IO_L21N_XCC_N7P1_M0P43_700	AB17
PL_DDR4_A11	IO_L25P_N8P2_M0P50_700	AE13
PL_DDR4_A12	IO_L0N_XCC_N0P1_M0P1_700	AH12
PL_DDR4_A13	IO_L24N_GC_XCC_N8P1_M0P49_700	AD15
PL_DDR4_CLK_N	IO_L15N_XCC_N5P1_M0P31_700	AD19
PL_DDR4_CLK_P	IO_L15P_XCC_N5P0_M0P30_700	AC19
PL_DDR4_BA0	IO_L20N_N6P5_M0P41_700	AC16
PL_DDR4_BA1	IO_L12N_GC_XCC_N4P1_M0P25_700	AD11
PL_DDR4_WE_B	IO_L16N_N5P3_M0P33_700	AD21

PL_DDR4_CAS_B	IO_L14N_N4P5_M0P29_700	AD17
PL_DDR4_CS_B	IO_L14P_N4P4_M0P28_700	AC17
PL_DDR4_ACT_B	IO_L18N_XCC_N6P1_M0P37_700	AC11
PL_DDR4_RAS_B	IO_L19N_N6P3_M0P39_700	AC13
PL_DDR4_BG0	IO_L21P_XCC_N7P0_M0P42_700	AB18
PL_DDR4_ODT	IO_L23N_N7P5_M0P47_700	AC22
PL_DDR4_CKE	IO_L23P_N7P4_M0P46_700	AB21
PL_DDR4_RST	IO_L25P_N8P2_M0P104_701	AC24
PL_DDR4_DQS0_N	IO_L9N_GC_XCC_N3P1_M0P19_700	AG16
PL_DDR4_DQS0_P	IO_L9P_GC_XCC_N3P0_M0P18_700	AG17
PL_DDR4_DQS1_N	IO_L3N_XCC_N1P1_M0P7_700	AH19
PL_DDR4_DQS1_P	IO_L3P_XCC_N1P0_M0P6_700	AG20
PL_DDR4_DQS2_N	IO_L6N_GC_XCC_N2P1_M0P67_701	AD27
PL_DDR4_DQS2_P	IO_L6P_GC_XCC_N2P0_M0P66_701	AC28
PL_DDR4_DQS3_N	IO_L3N_XCC_N1P1_M0P61_701	AF23
PL_DDR4_DQS3_P	IO_L3P_XCC_N1P0_M0P60_701	AF24
PL_DDR4_DQS4_N	IO_L15N_XCC_N5P1_M0P85_701	AA23
PL_DDR4_DQS4_P	IO_L15P_XCC_N5P0_M0P84_701	Y24
PL_DDR4_DQS5_N	IO_L21N_XCC_N7P1_M0P97_701	Y27
PL_DDR4_DQS5_P	IO_L21P_XCC_N7P0_M0P96_701	Y28
PL_DDR4_DQS6_N	IO_L0N_XCC_N0P1_M0P109_702	U28
PL_DDR4_DQS6_P	IO_L0P_XCC_N0P0_M0P108_702	U27
PL_DDR4_DQS7_N	IO_L9N_GC_XCC_N3P1_M0P127_702	N27
PL_DDR4_DQS7_P	IO_L9P_GC_XCC_N3P0_M0P126_702	P26
PL_DDR4_DM0	IO_L6P_GC_XCC_N2P0_M0P12_700	AG12
PL_DDR4_DM1	IO_L0P_XCC_N0P0_M0P0_700	AH13
PL_DDR4_DM2	IO_L9P_GC_XCC_N3P0_M0P72_701	AE28
PL_DDR4_DM3	IO_L0P_XCC_N0P0_M0P54_701	AD24
PL_DDR4_DM4	IO_L12P_GC_XCC_N4P0_M0P78_701	V22
PL_DDR4_DM5	IO_L18P_XCC_N6P0_M0P90_701	V28
PL_DDR4_DM6	IO_L3P_XCC_N1P0_M0P114_702	N28

PL_DDR4_DM7	IO_L6P_GC_XCC_N2P0_M0P120_702	U25
PL_DDR4_DQ0	IO_L8P_N2P4_M0P16_700	AF14
PL_DDR4_DQ1	IO_L10N_N3P3_M0P21_700	AG18
PL_DDR4_DQ2	IO_L8N_N2P5_M0P17_700	AG15
PL_DDR4_DQ3	IO_L10P_N3P2_M0P20_700	AF18
PL_DDR4_DQ4	IO_L7P_N2P2_M0P14_700	AF13
PL_DDR4_DQ5	IO_L11N_N3P5_M0P23_700	AF19
PL_DDR4_DQ6	IO_L7N_N2P3_M0P15_700	AG13
PL_DDR4_DQ7	IO_L11P_N3P4_M0P22_700	AE19
PL_DDR4_DQ8	IO_L2P_N0P4_M0P4_700	AH17
PL_DDR4_DQ9	IO_L4P_N1P2_M0P8_700	AG21
PL_DDR4_DQ10	IO_L2N_N0P5_M0P5_700	AH18
PL_DDR4_DQ11	IO_L4N_N1P3_M0P9_700	AH20
PL_DDR4_DQ12	IO_L1P_N0P2_M0P2_700	AH14
PL_DDR4_DQ13	IO_L5N_N1P5_M0P11_700	AH22
PL_DDR4_DQ14	IO_L1N_N0P3_M0P3_700	AH15
PL_DDR4_DQ15	IO_L5P_N1P4_M0P10_700	AG22
PL_DDR4_DQ16	IO_L8N_N2P5_M0P71_701	AF26
PL_DDR4_DQ17	IO_L7N_N2P3_M0P69_701	AE26
PL_DDR4_DQ18	IO_L10N_N3P3_M0P75_701	AH27
PL_DDR4_DQ19	IO_L8P_N2P4_M0P70_701	AE27
PL_DDR4_DQ20	IO_L11N_N3P5_M0P77_701	AG27
PL_DDR4_DQ21	IO_L7P_N2P2_M0P68_701	AD26
PL_DDR4_DQ22	IO_L11P_N3P4_M0P76_701	AG26
PL_DDR4_DQ23	IO_L10P_N3P2_M0P74_701	AG28
PL_DDR4_DQ24	IO_L1N_N0P3_M0P57_701	AE24
PL_DDR4_DQ25	IO_L1P_N0P2_M0P56_701	AD25
PL_DDR4_DQ26	IO_L5P_N1P4_M0P64_701	AH24
PL_DDR4_DQ27	IO_L2P_N0P4_M0P58_701	AF25
PL_DDR4_DQ28	IO_L4P_N1P2_M0P62_701	AG23
PL_DDR4_DQ29	IO_L2N_N0P5_M0P59_701	AG25

PL_DDR4_DQ30	IO_L4N_N1P3_M0P63_701	AH23
PL_DDR4_DQ31	IO_L5N_N1P5_M0P65_701	AH25
PL_DDR4_DQ32	IO_L17P_N5P4_M0P88_701	Y22
PL_DDR4_DQ33	IO_L13P_N4P2_M0P80_701	V23
PL_DDR4_DQ34	IO_L16P_N5P2_M0P86_701	Y23
PL_DDR4_DQ35	IO_L13N_N4P3_M0P81_701	W24
PL_DDR4_DQ36	IO_L16N_N5P3_M0P87_701	AA22
PL_DDR4_DQ37	IO_L14P_N4P4_M0P82_701	V24
PL_DDR4_DQ38	IO_L17N_N5P5_M0P89_701	AA21
PL_DDR4_DQ39	IO_L14N_N4P5_M0P83_701	W25
PL_DDR4_DQ40	IO_L19P_N6P2_M0P92_701	V25
PL_DDR4_DQ41	IO_L20P_N6P4_M0P94_701	W27
PL_DDR4_DQ42	IO_L22P_N7P2_M0P98_701	AA28
PL_DDR4_DQ43	IO_L19N_N6P3_M0P93_701	W26
PL_DDR4_DQ44	IO_L20N_N6P5_M0P95_701	Y26
PL_DDR4_DQ45	IO_L23P_N7P4_M0P100_701	AA26
PL_DDR4_DQ46	IO_L22N_N7P3_M0P99_701	AB28
PL_DDR4_DQ47	IO_L23N_N7P5_M0P101_701	AB26
PL_DDR4_DQ48	IO_L2P_N0P4_M0P112_702	P27
PL_DDR4_DQ49	IO_L5P_N1P4_M0P118_702	K27
PL_DDR4_DQ50	IO_L2N_N0P5_M0P113_702	R28
PL_DDR4_DQ51	IO_L4N_N1P3_M0P117_702	L28
PL_DDR4_DQ52	IO_L1P_N0P2_M0P110_702	R27
PL_DDR4_DQ53	IO_L5N_N1P5_M0P119_702	K28
PL_DDR4_DQ54	IO_L1N_N0P3_M0P111_702	T28
PL_DDR4_DQ55	IO_L4P_N1P2_M0P116_702	M27
PL_DDR4_DQ56	IO_L8P_N2P4_M0P124_702	P25
PL_DDR4_DQ57	IO_L10N_N3P3_M0P129_702	L26
PL_DDR4_DQ58	IO_L8N_N2P5_M0P125_702	R26
PL_DDR4_DQ59	IO_L10P_N3P2_M0P128_702	M26
PL_DDR4_DQ60	IO_L7P_N2P2_M0P122_702	T25

PL_DDR4_DQ61	IO_L11N_N3P5_M0P131_702	K26
PL_DDR4_DQ62	IO_L7N_N2P3_M0P123_702	T26
PL_DDR4_DQ63	IO_L11P_N3P4_M0P130_702	J25

(五) QSPI Flash

核心板上使用了 2 片 256Mbit 大小的 QSPI FLASH 芯片，型号为 MT25QU256ABA1EW9-0SIT，它使用 1.8V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

QSPI FLASH 的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U3, U4	MT25QU256ABA1EW9-0SIT	256M Bit	Micron

表2-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 Versal ACAP 芯片的 PS 部分 BANK500 的 XPIO 口上，在系统设计中需要配置这些 PS 端的 MIO 口功能为 QSPI FLASH 接口。

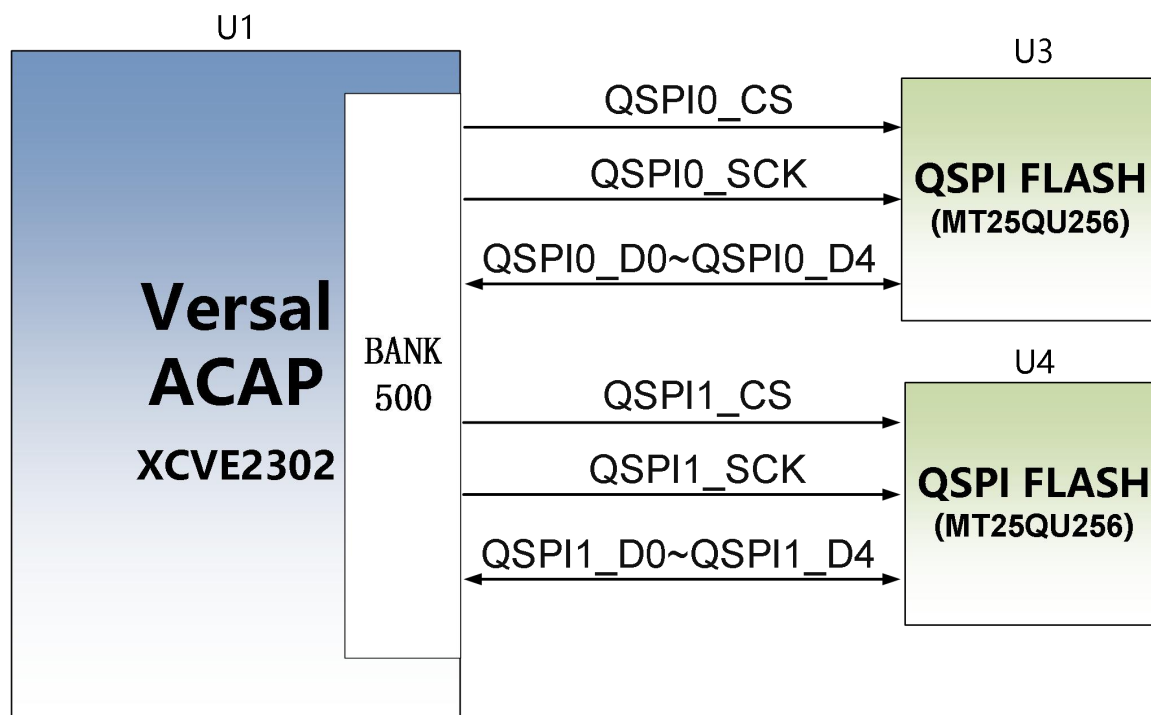


图 2-5-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	引脚名	引脚号
MIO0_QSPI0_SCLK	PMC_MIO0_500	AA1
MIO1_QSPI0_IO1	PMC_MIO1_500	AB1
MIO2_QSPI0_IO2	PMC_MIO2_500	AD1
MIO3_QSPI0_IO3	PMC_MIO3_500	AE1
MIO4_QSPI0_IO0	PMC_MIO4_500	AF1
MIO5_QSPI0_SS_B	PMC_MIO5_500	AG1
MIO7_QSPI1_SS_B	PMC_MIO7_500	AG2
MIO8_QSPI1_IO0	PMC_MIO8_500	AE2
MIO9_QSPI1_IO1	PMC_MIO9_500	AD2
MIO10_QSPI1_IO2	PMC_MIO10_500	AC2
MIO11_QSPI1_IO3	PMC_MIO11_500	AB2
MIO12_QSPI1_SCLK	PMC_MIO12_500	AA3

(六) eMMC Flash

V100 核心板配有一片大容量的 8GB 大小的 eMMC FLASH 芯片，型号为 MTFC8GAKAJCN-4M，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V 或者 3.3V。eMMC FLASH 和 ACAP 连接的数据宽度为 8bit。由于 eMMC FLASH 的大容量和非易失特性，在 ACAP 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-6-1。

位号	芯片类型	容量	厂家
U8	MTFC8GAKAJCN-4M	8G Byte	Micron

表2-6-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 Versal ACAP 的 PS 部分 BANK501 的 PMC MIO 口上，在系统设计中需要配置这些 PMC MIO 口功能为 EMMC 接口。为图 2-6-1 为 eMMC Flash 在原理图中的部分。

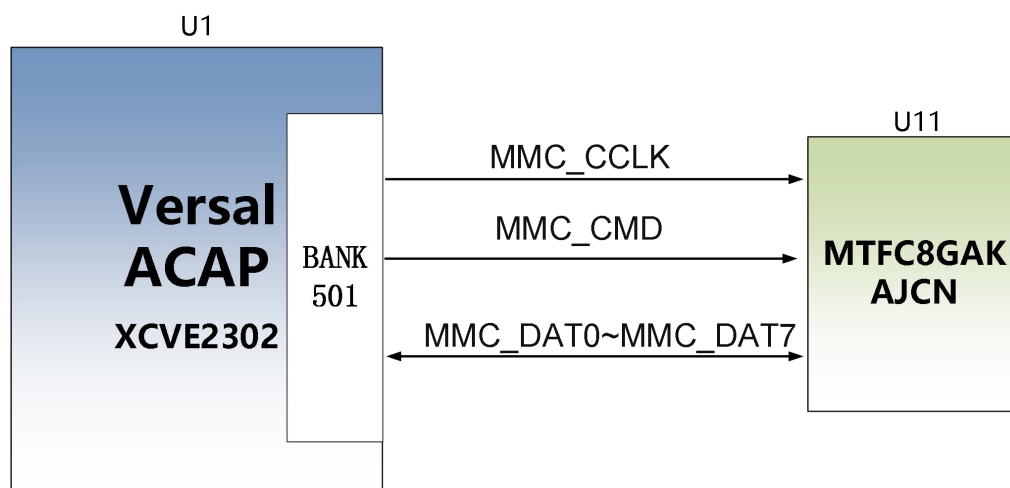


图 2-6-1 eMMC Flash 连接示意图

配置芯片引脚分配:

信号名称	引脚名	引脚号
MMC_CCLK	PMC_MIO38_501	AE8
MMC_CMD	PMC_MIO40_501	AB8
MMC_DAT0	PMC_MIO41_501	AA8
MMC_DAT1	PMC_MIO42_501	AA9
MMC_DAT2	PMC_MIO43_501	AC9
MMC_DAT3	PMC_MIO44_501	AD9
MMC_DAT4	PMC_MIO45_501	AE9
MMC_DAT5	PMC_MIO46_501	AF9
MMC_DAT6	PMC_MIO47_501	AF10
MMC_DAT7	PMC_MIO48_501	AD10
MMC_RSTN	PMC_MIO49_501	AC10

(七) LED 灯

V100 核心板上有 1 个红色电源指示灯(PWR), 1 个是配置 LED 灯(DONE)。当核心板供电后, 电源指示灯会亮起; 当 FPGA 配置程序后, 配置 LED 灯会亮起。LED 灯硬件连接的示意图如图 2-7-1 所示:

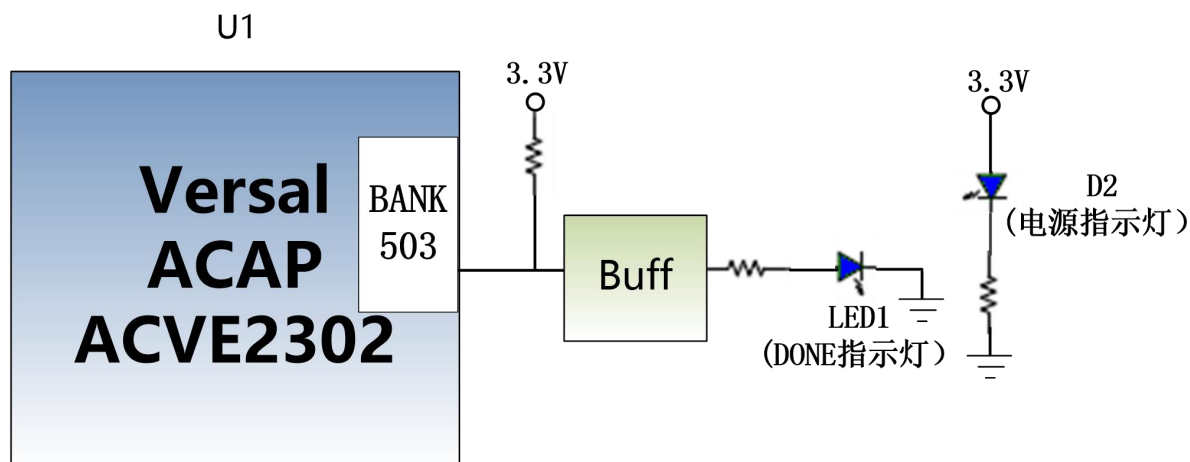
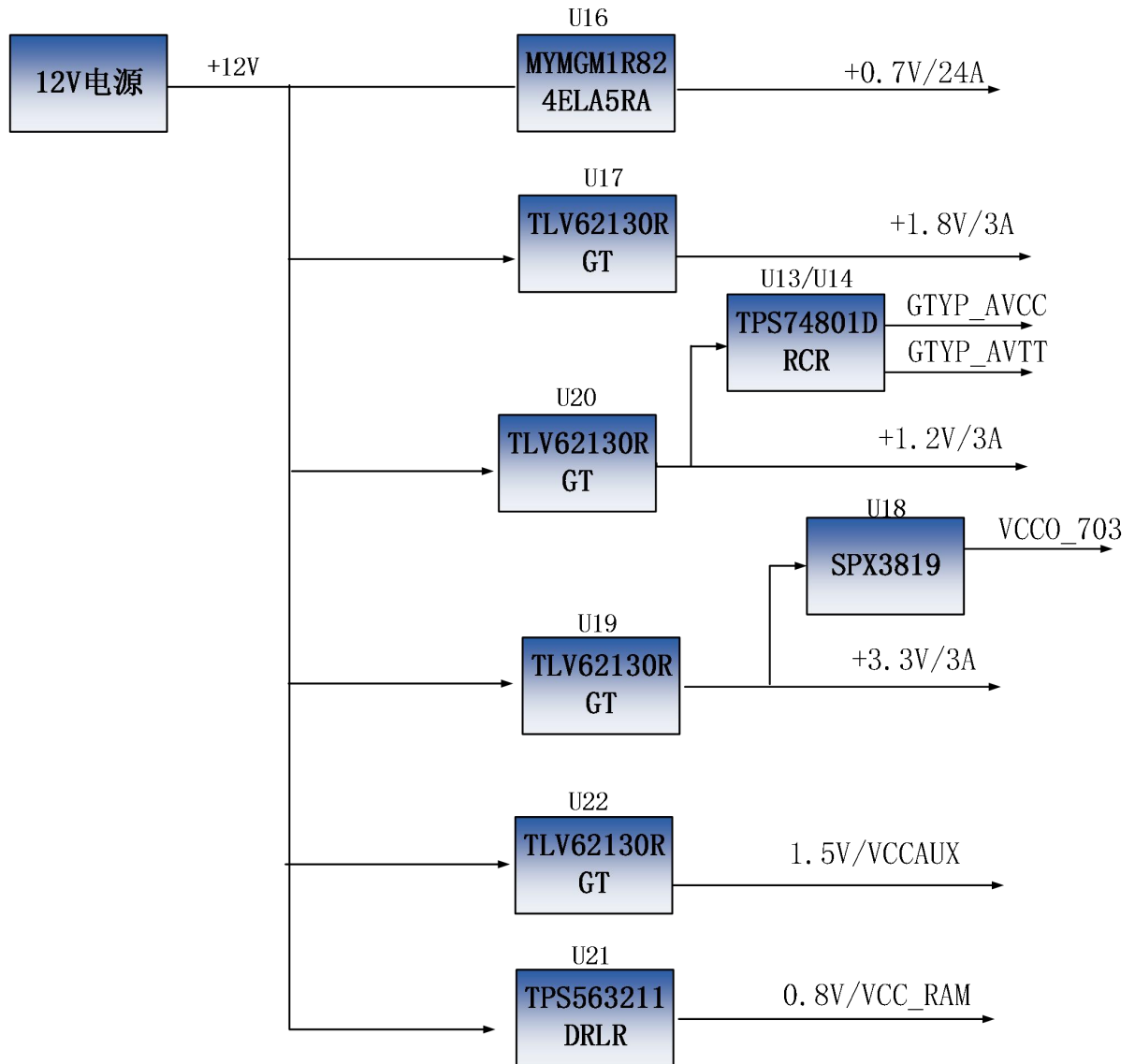


图 2-7-1 开发板 LED 灯硬件连接示意图

(八) 电源

V100 核心板供电电压为 7.5V~15V(典型值 12V), 通过连接底板给核心板供电。核心板上通过 MYMG1R824ELA5RA 电源芯片为 XCVE2302 提供核心电源 0.7V, 另外 BANK503, BANK700, BANK302 的电源用 DCDC 芯片 TLV62130RGT 产生。BANK703 和 GTY 收发器的电源由 LDO 芯片产生。



因为 Versal ACAP FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照芯片的电源要求设计上电依次为：

- 1). VCCIO503(3.3V), VCCO302(3.3V), VCCIO_501/502/503 (1.8 V),
VCCIO700/701/702(1.2V)
- 2). VCCINT/VCC_PMC/VCC_PSF/ VCC_PSLP(0.7V)
- 3). VCCBRAM/VCC_SOC/VCC_IO (0.8V)
- 4). VCCAUX/VCCAUX_PMC/VCCAUX_SMON(1.5V)
- 5). GTYP_AVCC (0.9V)
- 6). GTYP_AVTT(1.2V)

(九) 扩展接口

核心板的背面一共扩展出 2 个高速扩展口，使用 2 个 160Pin 的板间连接器 (Samtec:ADF6-40-03.5-L-4-2-A-TR) 和底板连接，FPGA 的 IO 口通过差分走线方式连接到这 2 个扩展口上。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器配置实现高速数据通信。

扩展口 U23A

160Pin 的连接器 U23 用来连接底板的 VCCIN 电源(+12V),地和 FPGA 的普通 IO，这里需要注意，U23 的 A 和 B 列的是连接到 BANK702 和 PS 端的 IO 口的。U23_AB 扩展口的管脚分配如表 2-9-1 所示：

2-9-1 表：扩展口 U23_AB 引脚分配

U23 管脚	信号 名称	FPGA 管脚号	电平 标准	U23 管脚	信号 名称	FPGA 管脚号	电平 标准
A1	B702_L17_N	J24	1.2V	B1	B702_L12_N	T24	1.2V
A2	B702_L17_P	K23	1.2V	B2	B702_L12_P	U23	1.2V
A3	GND	-	地	B3	GND	-	地
A4	B702_L25_N	L25	1.2V	B4	B702_L16_N	K24	1.2V
A5	B702_L25_P	L24	1.2V	B5	B702_L16_P	L23	1.2V
A6	GND	-	地	B6	GND	-	地
A7	B702_L24_N	N24	1.2V	B7	B702_L21_N	M21	1.2V
A8	B702_L24_P	N23	1.2V	B8	B702_L21_P	N21	1.2V
A9	GND	-	地	B9	GND	-	地
A10	B702_L22_N	L22	1.2V	B10	B302_L5_N	C12	3.3V
A11	B702_L22_P	K21	1.2V	B11	B302_L5_P	D11	3.3V
A12	GND	-	地	B12	GND	-	地
A13	B302_L2_N	D14	3.3V	B13	B302_L0_N	E14	3.3V
A14	B302_L2_P	E13	3.3V	B14	B302_L0_P	F14	3.3V
A15	GND	-	地	B15	GND	-	地
A16	PS_MIO31	AD6	1.8V	B16	PS_MIO35	AC7	1.8V
A17	PS_MIO25	Y4	1.8V	B17	PS_MIO37	AE7	1.8V
A18	GND	-	地	B18	GND	-	地
A19	PS_MIO26	AA5	1.8V	B19	PS_MIO22	AD4	1.8V

A20	PS_MIO33	AA6	1.8V	B20	PS_MIO19	AH4	1.8V
A21	GND	-	地	B21	GND	-	地
A22	PS_MIO32	AB6	1.8V	B22	PS_MIO20	AF4	1.8V
A23	PS_MIO27	AB5	1.8V	B23	PS_MIO28	AC5	1.8V
A24	GND	-	地	B24	GND	-	地
A25	PS_MIO14	AC3	1.8V	B25	PS_MIO23	AC4	1.8V
A26	PS_MIO13	AB3	1.8V	B26	PS_MIO24	AA4	1.8V
A27	GND	-	地	B27	GND	-	地
A28	LPD_MIO24	Y8	1.8V	B28	LPD_MIO4	Y2	1.8V
A29	LPD_MIO23	Y7	1.8V	B29	LPD_MIO3	Y1	1.8V
A30	GND	-	地	B30	GND	-	地
A31	LPD_MIO5	W2	1.8V	B31	LPD_MIO18	W5	1.8V
A32	LPD_MIO2	W1	1.8V	B32	LPD_MIO12	W4	1.8V
A33	GND	-	地	B33	GND	-	地
A34	LPD_MIO7	U2	1.8V	B34	LPD_MIO1	U1	1.8V
A35	LPD_MIO6	V2	1.8V	B35	LPD_MIO13	V4	1.8V
A36	GND	-	地	B36	GND	-	地
A37	FPGA_TDI	AG10	1.8V	B37	FPGA_TCK	AH10	1.8V
A38	FPGA_TMS	AH9	1.8V	B38	FPGA_TDO	AF8	1.8V
A39	GND	-	地	B39	GND	-	地
A40	+12V		+12V	B40	+12V		+12V

扩展口 U23_CD

U23B 扩展口的管脚分配如表 2-9-2 所示：

2-10-2 表：扩展口 U23_CD 引脚分配

U23 管脚	信号 名称	FPGA 管脚号	电平标 准	U23 管脚	信号 名称	FPGA 管脚号	电平 标准
C1	B702_L13_N	R24	1.2V	D1	B702_L14_N	P24	1.2V
C2	B702_L13_P	T23	1.2V	D2	B702_L14_P	R23	1.2V
C3	GND	-	地	D3	GND	-	地
C4	B702_L26_N	M25	1.2V	D4	B702_L18_N	U22	1.2V
C5	B702_L26_P	N25	1.2V	D5	B702_L18_P	V21	1.2V

C6	GND	-	地	D6	GND	-	地
C7	B702_L23_N	J22	1.2V	D7	B702_L19_N	R22	1.2V
C8	B702_L23_P	J21	1.2V	D8	B702_L19_P	T21	1.2V
C9	GND	-	地	D9	GND	-	地
C10	B702_L15_N	M23	1.2V	D10	B702_L20_N	P22	1.2V
C11	B702_L15_P	M22	1.2V	D11	B702_L20_P	R21	1.2V
C12	GND	-	地	D12	GND	-	地
C13	B302_L3_N	D12	3.3V	D13	B302_L4_N	E11	3.3V
C14	B302_L3_P	E12	3.3V	D14	B302_L4_P	F11	3.3V
C15	GND	-	地	D15	GND	-	地
C16	PS_MIO34	AB7	1.8V	D16	B302_L6_N	C10	3.3V
C17	PS_MIO30	AE6	1.8V	D17	B302_L6_P	D10	3.3V
C18	GND	-	地	D18	GND	-	地
C19	PS_MIO29	AD5	1.8V	D19	PS_MIO15	AE3	1.8V
C20	PS_MIO18	AH3	1.8V	D20	PS_MIO21	AE4	1.8V
C21	GND	-	地	D21	GND	-	地
C22	PS_MIO17	AG3	1.8V	D22	PS_MIO51	AA10	1.8V
C23	PS_MIO16	AF3	1.8V	D23	PS_MIO50	AB10	1.8V
C24	GND	-	地	D24	GND	-	地
C25	LPD_MIO22	T6	1.8V	D25	PS_MIO36	AD7	1.8V
C26	LPD_MIO15	T5	1.8V	D26	LPD_MIO20	W6	1.8V
C27	GND	-	地	D27	GND	-	地
C28	LPD_MIO19	Y6	1.8V	D28	LPD_MIO21	U6	1.8V
C29	LPD_MIO16	U5	1.8V	D29	LPD_MIO25	Y9	1.8V
C30	GND	-	地	D30	GND	-	地
C31	LPD_MIO11	Y3	1.8V	D31	LPD_MIO8	T3	1.8V
C32	LPD_MIO17	V5	1.8V	D32	LPD_MIO14	T4	1.8V
C33	GND	-	地	D33	GND	-	地
C34	LPD_MIO10	V3	1.8V	D34	LPD_MIO0	T1	1.8V
C35	VCC_BATT		-	D35	LPD_MIO9	U3	1.8V
C36	GND	-	地	D36	GND	-	地

C37	PS_MODE0	AG8	3.3V	D37	PS_MODE2	AG6	3.3V
C38	PS_MODE1	AG7	3.3V	D38	PS_MODE3	AG5	3.3V
C39	GND	-	地	D39	GND	-	地
C40	+12V		+12V	D40	+12V		+12V

扩展口 U24_AB

160Pin 的连接器 U24 用来扩展 FPGA 的 BANK302, BANK703 的普通 IO, 以及收发器。U24_AB 扩展口的管脚分配如表 2-9-3 所示:

2-9-3 表: 扩展口 U24_AB 引脚分配

U24 管脚	信号 名称	FPGA 管脚号	电平 标准	U24 管脚	信号 名称	FPGA 管脚号	电平 标准
A1	GND	-	地	B1	GND	-	地
A2	104_TX2_N	C4	1.2V	B2	104_TX0_N	E4	1.2V
A3	104_TX2_P	C5	1.2V	B3	104_TX0_P	E5	1.2V
A4	GND	-	地	B4	GND	-	地
A5	104_TX3_N	B7	1.2V	B5	104_TX1_N	D7	1.2V
A6	104_TX3_P	B8	1.2V	B6	104_TX1_P	D8	1.2V
A7	GND	-	地	B7	GND	-	地
A8	104_CLK1_N	F6	1.2V	B8	104_CLK0_N	H6	1.2V
A9	104_CLK1_P	F7	1.2V	B9	104_CLK0_P	H7	1.2V
A10	GND	-	地	B10	GND	-	地
A11	103_TX2_N	J4	1.2V	B11	103_TX3_N	G4	1.2V
A12	103_TX2_P	J5	1.2V	B12	103_TX3_P	G5	1.2V
A13	GND	-	地	B13	GND	-	地
A14	103_TX0_N	N4	1.2V	B14	103_TX1_N	L4	1.2V
A15	103_TX0_P	N5	1.2V	B15	103_TX1_P	L5	1.2V
A16	GND	-	地	B16	GND	-	地
A17	GND	-	地	B17	GND	-	地
A18	B302_L10_N	A14	3.3V	B18	B302_L9_N	A13	3.3V
A19	B302_L10_P	B13	3.3V	B19	B302_L9_P	B12	3.3V
A20	GND	-	地	B20	GND	-	地
A21	B302_L1_N	C13	3.3V	B21	B703_L20_N	D21	1.5V

A22	B302_L1_P	C14	3.3V	B22	B703_L20_P	D20	1.5V
A23	GND	-	地	B23	GND	-	地
A24	B703_L21_N	C21	1.5V	B24	B703_L18_N	H22	1.5V
A25	B703_L21_P	B20	1.5V	B25	B703_L18_P	G21	1.5V
A26	GND	-	地	B26	GND	-	地
A27	B703_L16_N	B23	1.5V	B27	B703_L24_N	F24	1.5V
A28	B703_L16_P	C23	1.5V	B28	B703_L24_P	F23	1.5V
A29	GND	-	地	B29	GND	-	地
A30	B703_L8_N	E26	1.5V	B30	B703_L26_N	D26	1.5V
A31	B703_L8_P	F26	1.5V	B31	B703_L26_P	D25	1.5V
A32	GND	-	地	B32	GND	-	地
A33	B703_L1_N	G28	1.5V	B33	B703_L7_N	G26	1.5V
A34	B703_L1_P	H27	1.5V	B34	B703_L7_P	G25	1.5V
A35	GND	-	地	B35	GND	-	地
A36	B703_L6_N	J26	1.5V	B36	B703_L0_N	H28	1.5V
A37	B703_L6_P	H25	1.5V	B37	B703_L0_P	J27	1.5V
A38	GND	-	地	B38	GND	-	地
A39	B703_L5_N	B28	1.5V	B39	B703_L12_N	H24	1.5V
A40	B703_L5_P	C27	1.5V	B40	B703_L12_P	H23	1.5V

扩展口 U24_CD

U24_CD 扩展口的管脚分配如表 2-9-4 所示：

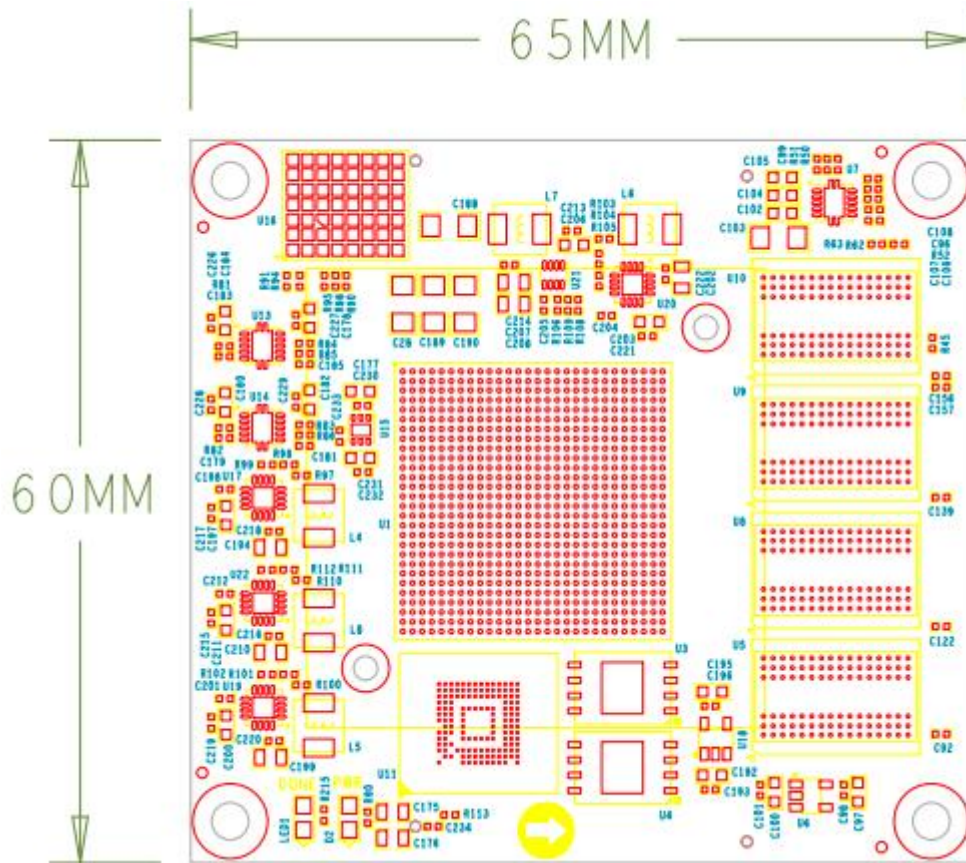
2-9-4 表：扩展口 U24_CD 引脚分配

U24 管脚	信号 名称	FPGA 管脚号	电平 标准	U24 管脚	信号 名称	FPGA 管脚号	电平 标准
C1	GND	-	地	D1	GND	-	地
C2	104_RX1_N	D1	1.2V	D2	104_RX0_N	F1	1.2V
C3	104_RX1_P	D2	1.2V	D3	104_RX0_P	F2	1.2V
C4	GND	-	地	D4	GND	-	地
C5	104_RX3_N	A4	1.2V	D5	104_RX2_N	B1	1.2V
C6	104_RX3_P	A5	1.2V	D6	104_RX2_P	B2	1.2V
C7	GND	-	地	D7	GND	-	地

C8	103_CLK1_N	K6	1.2V	D8	103_CLK0_N	M6	1.2V
C9	103_CLK1_P	K7	1.2V	D9	103_CLK0_P	M7	1.2V
C10	GND	-	地	D10	GND	-	地
C11	103_RX2_N	K1	1.2V	D11	103_RX3_N	H1	1.2V
C12	103_RX2_P	K2	1.2V	D12	103_RX3_P	H2	1.2V
C13	GND	-	地	D13	GND	-	地
C14	103_RX1_N	M1	1.2V	D14	103_RX0_N	P1	1.2V
C15	103_RX1_P	M2	1.2V	D15	103_RX0_P	P2	1.2V
C16	GND	-	地	D16	GND	-	地
C17	GND	-	地	D17	GND	-	地
C18	B302_L8_N	A11	3.3V	D18	B302_L7_N	A10	3.3V
C19	B302_L8_P	B11	3.3V	D19	B302_L7_P	B10	3.3V
C20	GND	-	地	D20	GND	-	地
C21	B703_L19_N	F21	1.5V	D21	B703_L13_N	G23	1.5V
C22	B703_L19_P	E20	1.5V	D22	B703_L13_P	F22	1.5V
C23	GND	-	地	D23	GND	-	地
C24	B703_L14_N	E23	1.5V	D24	B703_L22_N	A21	1.5V
C25	B703_L14_P	E22	1.5V	D25	B703_L22_P	A20	1.5V
C26	GND	-	地	D26	GND	-	地
C27	B703_L9_N	B25	1.5V	D27	B703_L23_N	B22	1.5V
C28	B703_L9_P	C25	1.5V	D28	B703_L23_P	C22	1.5V
C29	GND	-	地	D29	GND	-	地
C30	B703_L25_N	F25	1.5V	D30	B703_L17_N	A24	1.5V
C31	B703_L25_P	E24	1.5V	D31	B703_L17_P	A23	1.5V
C32	GND	-	地	D32	GND	-	地
C33	B703_L15_N	C24	1.5V	D33	B703_L10_N	A26	1.5V
C34	B703_L15_P	D24	1.5V	D34	B703_L10_P	A25	1.5V
C35	GND	-	地	D35	GND	-	地
C36	B703_L2_N	F28	1.5V	D36	B703_L11_N	B27	1.5V
C37	B703_L2_P	G27	1.5V	D37	B703_L11_P	B26	1.5V
C38	GND	-	地	D38	GND	-	地

C39	B703_L4_N	C28	1.5V	D39	B703_L3_N	E28	1.5V
C40	B703_L4_P	D27	1.5V	D40	B703_L3_P	E27	1.5V

(十) 结构图



正面图 (TOP View)

三、 扩展板

(一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 2 路千兆以太网 RJ-45 接口
- PCIe4.0 x4 接口
- 2 路 SFP+ 高速光纤接口
- 1 路 USB Uart 调试接口

- 1 路 USB HOST 接口
- 1 路 LVDS 显示屏接口
- 2 路 MIPI 摄像头接口
- 1 路 Micro SD 卡座
- JTAG 调试口
- 1 路温度传感器
- 1 路 EEPROM
- 1 路 CANFD 通信接口
- 1 路 22 针拓展口

(二) 千兆以太网接口

VD100 拓展板上有两路千兆以太网接口，1 路连接到 PS 端，另 1 路连接到 PL 端。通过景略半导体的工业级以太网 GPHY 芯片 (JL2121-N040I) 为用户提供网络通信服务。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率,通过 RGMII 接口跟 FPGA 的 MAC 层进行数据通信。JL2121D 支持 MDI/MDX 自适应, 各种速度自适应, Master/Slave 自适应, 支持 MDIO 总线进行 PHY 的寄存器管理。

JL2121 上电会检测一些特定的 IO 的电平状态,从而确定自己的工作模式。表 3-2-1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

表 3-2-1 PHY 芯片默认配置值

当网络连接到千兆以太网时, FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信, 传输时钟为 125Mhz, 数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时, FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信, 传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

千兆以太网的设计示意图如图 3-2-1 所示:

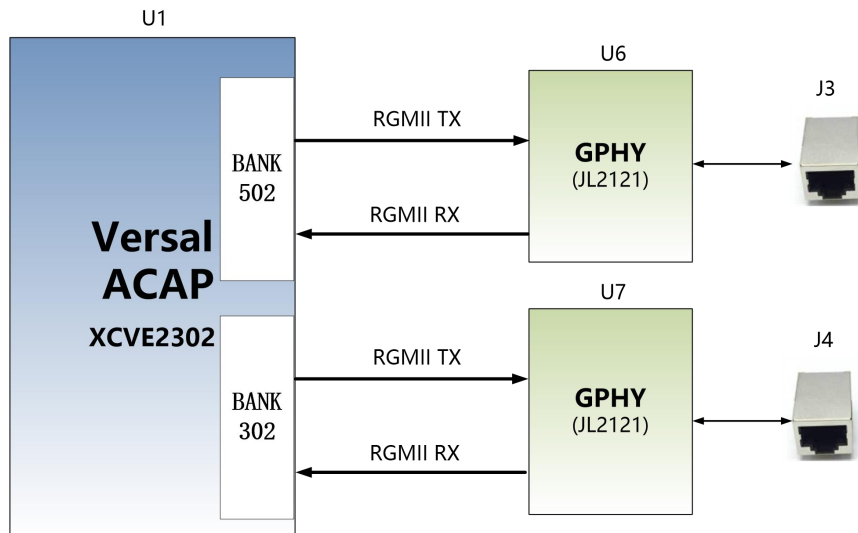


图 3-2-1 千兆以太网接口设计示意图

千兆以太网引脚分配如下：

信号名称	引脚名	引脚号	备注
PHY1_TXCK	LPD_MIO0	T1	以太网 1RGMII 发送时钟
PHY1_TXD0	LPD_MIO1	U1	以太网 1 发送数据 bit 0
PHY1_TXD1	LPD_MIO2	W1	以太网 1 发送数据 bit1
PHY1_TXD2	LPD_MIO3	Y1	以太网 1 发送数据 bit2
PHY1_TXD3	LPD_MIO4	Y2	以太网 1 发送数据 bit3
PHY1_TXCTL	LPD_MIO5	W2	以太网 1 发送使能信号
PHY1_RXCK	LPD_MIO6	V2	以太网 1RGMII 接收时钟
PHY1_RXD0	LPD_MIO7	U2	以太网 1 接收数据 Bit0
PHY1_RXD1	LPD_MIO8	T3	以太网 1 接收数据 Bit1
PHY1_RXD2	LPD_MIO9	U3	以太网 1 接收数据 Bit2
PHY1_RXD3	LPD_MIO10	V3	以太网 1 接收数据 Bit3
PHY1_RXCTL	LPD_MIO11	Y3	以太网 1 接收数据有效信号
PHY1_MDIO	PS_MIO51	AA10	以太网 1MDIO 管理数据
PHY1_MDC	PS_MIO50	AB10	以太网 1MDIO 管理时钟
PHY1_RESET	LPD_MIO15	T5	以太网 1 复位信号
PHY2_TXCK	B302_L9_N	A13	以太网 2 RGMII 发送时钟
PHY2_TXD0	B302_L8_N	A11	以太网 2 发送数据 bit 0

PHY2_TXD1	B302_L8_P	B11	以太网 2 发送数据 bit1
PHY2_TXD2	B302_L7_N	A10	以太网 2 发送数据 bit2
PHY2_TXD3	B302_L7_P	B10	以太网 2 发送数据 bit3
PHY2_TXCTL	B302_L9_P	B12	以太网 2 发送使能信号
PHY2_RXCK	B302_L6_P	D10	以太网 2 RGMII 接收时钟
PHY2_RXD0	B302_L5_N	C12	以太网 2 接收数据 Bit0
PHY2_RXD1	B302_L5_P	D11	以太网 2 接收数据 Bit1
PHY2_RXD2	B302_L10_N	A14	以太网 2 接收数据 Bit2
PHY2_RXD3	B302_L10_P	B13	以太网 2 接收数据 Bit3
PHY2_RXCTL	B302_L6_N	C10	以太网 2 接收数据有效信号
PHY2_MDIO	B302_L1_P	C14	以太网 2 MDIO 管理数据
PHY2_MDC	B302_L1_N	C13	以太网 2 MDIO 管理时钟
PHY2_RESET	B703_L12_P	H23	以太网 2 复位信号

(三) PCIe4.0 X4 接口

VD100 扩展板上提供一个工业级高速数据传输 PCIe4.0 x4 接口, PCIe 卡的外形尺寸符合标准 PCIe 卡电气规范要求, 可直接在普通 PC 的 x4 PCIe 插槽上使用。

PCIe 接口的收发信号直接跟 FPGA 的 GTY 收发器相连接, 四通道的 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA, 单通道通信速率可高达 8G bit 带宽。PCIe 的参考时钟由 PC 的 PCIe 插槽提供给开发板, 参考时钟频率为 100Mhz。

开发板的 PCIe 接口的设计示意图如下图 3-3-1 所示,其中 TX 发送信号和参考时钟 CLK 信号用 AC 耦合模式连接。

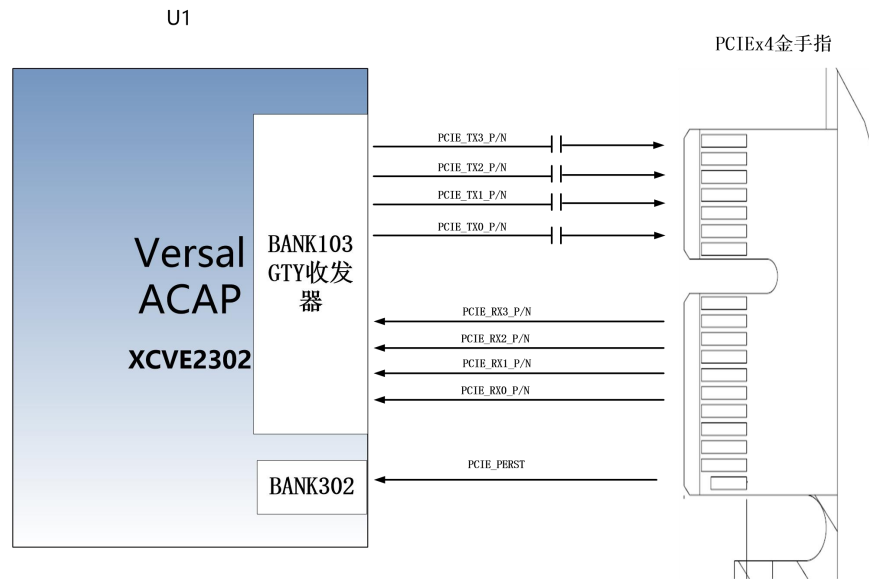


图 3-3-1 PCIe x4 设计示意图

PCIE x4 接口 FPGA 引脚分配如下:

网络名称	FPGA 引脚	备注
PCIE_RX0_P	P2	PCIE 通道 0 数据接收 Positive
PCIE_RX0_N	P1	PCIE 通道 0 数据接收 Negative
PCIE_RX1_P	M2	PCIE 通道 1 数据接收 Positive
PCIE_RX1_N	M1	PCIE 通道 1 数据接收 Negative
PCIE_RX2_P	K2	PCIE 通道 2 数据接收 Positive
PCIE_RX2_N	K1	PCIE 通道 2 数据接收 Negative
PCIE_RX3_P	H2	PCIE 通道 3 数据接收 Positive
PCIE_RX3_N	H1	PCIE 通道 3 数据接收 Negative
PCIE_TX0_P	N5	PCIE 通道 0 数据发送 Positive
PCIE_TX0_N	N4	PCIE 通道 0 数据发送 Negative
PCIE_TX1_P	L5	PCIE 通道 1 数据发送 Positive
PCIE_TX1_N	L4	PCIE 通道 1 数据发送 Negative
PCIE_TX2_P	J5	PCIE 通道 2 数据发送 Positive
PCIE_TX2_N	J4	PCIE 通道 2 数据发送 Negative
PCIE_TX3_P	G5	PCIE 通道 3 数据发送 Positive
PCIE_TX3_N	G4	PCIE 通道 3 数据发送 Negative
PCIE_CLK_P	M7	PCIE 的参考时钟 Positive

PCIE_CLK_N	M6	PCIE 的参考时钟 Negative
PCIE_PERST	B13	PCIE 复位信号

(四) 光纤接口

VD100 开发板上有 2 路 SFP+ 光纤接口, 用户可以购买 SFP 光模块(市场上 1.25G, 2.5G, 10G 光模块) 插入到这 2 个光纤接口中进行光纤数据通信。2 路光纤接口分别跟 FPGA 的 BANK104 的 GTY 收发器的 2 路 RX/TX 相连接, TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 FPGA 和光模块, 每路 TX 发送和 RX 接收数据速率高达 10Gb/s。BANK104 的 GTY 收发器的参考时钟由是 156.25Mhz 差分晶振提供。

FPGA 和 SFP 光纤设计示意图如下图 3-4-1 所示:

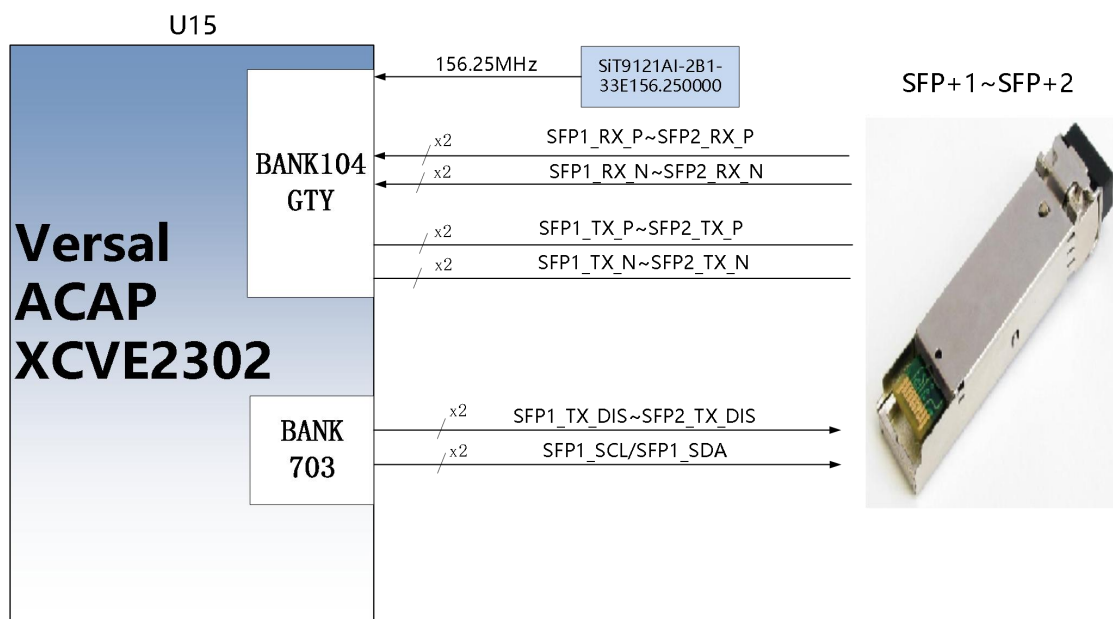


图 3-4-1 光纤设计示意图

第 1 路光纤接口 FPGA 引脚分配如下:

网络名称	FPGA 引脚	备注
SFP1_TX_P	E5	SFP 光模块数据发送 Positive
SFP1_TX_N	E4	SFP 光模块数据发送 Negative
SFP1_RX_P	F2	SFP 光模块数据接收 Positive
SFP1_RX_N	F1	SFP 光模块数据接收 Negative

SFP1_TX_DIS	D26	SFP 光模块光发射禁止, 低有效
SFP1_SCL	D21	I2C 时钟信号
SFP1_SDA	D20	I2C 数据信号

第 2 路光纤接口 FPGA 引脚分配如下:

网络名称	FPGA 引脚	备注
SFP2_TX_P	D8	SFP 光模块数据发送 Positive
SFP2_TX_N	D7	SFP 光模块数据发送 Negative
SFP2_RX_P	D2	SFP 光模块数据接收 Positive
SFP2_RX_N	D1	SFP 光模块数据接收 Negative
SFP2_TX_DIS	D25	SFP 光模块光发射禁止, 低有效
SFP_CLK_N	H6	FPGA 输入时钟 Negative
SFP_CLK_P	H7	FPGA 输入时钟 Positive

(五) USB 转串口

VD100 扩展板上配备了 1 个连接到 PS 端的 Uart 转 USB 接口。转换芯片采用了 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口, 可以用一根 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。

USB Uart 电路设计的示意图如图 3-5-1 所示

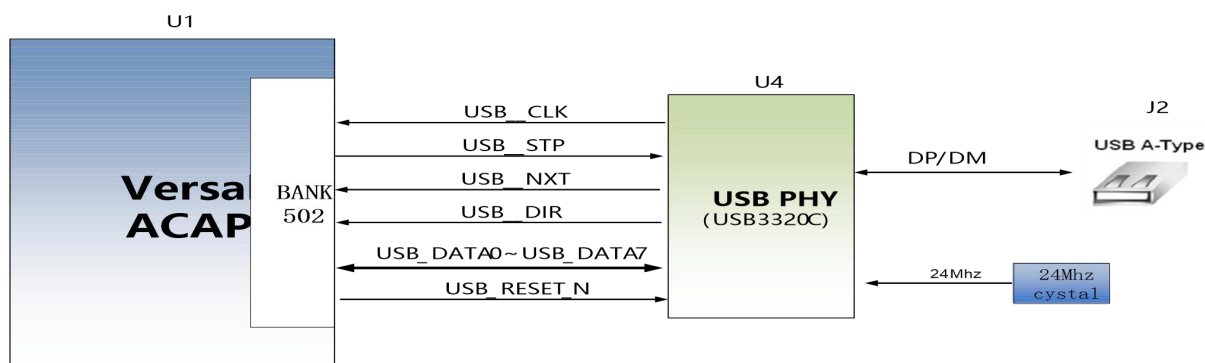


图 3-5-1 USB 转串口示意图

UART 转串口的 FPGA 引脚分配:

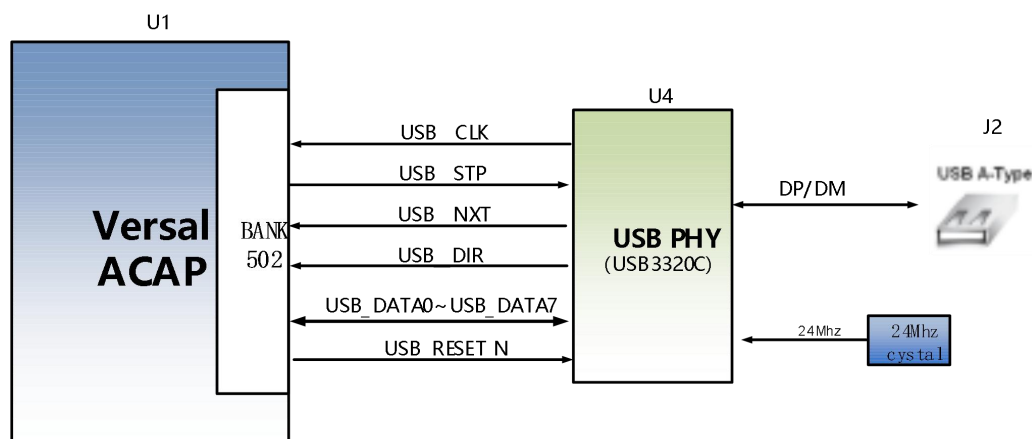
信号名称	FPGA 引脚名	FPGA 引脚号	备注
PS_UART0_RX	LPD_MIO16	U5	Uart 数据输入

PS_UART0_TX	LPD_MIO17	V5	Uart 数据输出
-------------	-----------	----	-----------

(六) USB2.0 接口

VD100 扩展板上有 1 个 USB2.0 接口，支持 HOST 工作模式。USB2.0 通过 ULPI 接口连接外部的 USB3320C 芯片，实现高速 USB2.0 的数据通信。

USB 接口为扁型 USB 接口(USB Type A)，方便用户同时连接不同的 USB Slave 外设(比如 USB 鼠标，键盘或 U 盘)。USB2.0 连接的示意图如 3-6-1 所示：



3-6-1 USB3.0 接口示意图

USB 接口引脚分配：

信号名称	引脚名	引脚号	备注
USB_DATA0	PS_MIO14	AC3	USB2.0 数据 Bit0
USB_DATA1	PS_MIO15	AE3	USB2.0 数据 Bit1
USB_DATA2	PS_MIO16	AF3	USB2.0 数据 Bit2
USB_DATA3	PS_MIO17	AG3	USB2.0 数据 Bit3
USB_DATA4	PS_MIO19	AH4	USB2.0 数据 Bit4
USB_DATA5	PS_MIO20	AF4	USB2.0 数据 Bit5
USB_DATA6	PS_MIO21	AE4	USB2.0 数据 Bit6
USB_DATA7	PS_MIO22	AD4	USB2.0 数据 Bit7
USB_STP	PS_MIO24	AA4	USB2.0 停止信号
USB_DIR	PS_MIO23	AC4	USB2.0 数据方向信号
USB_CLK	PS_MIO18	AH3	USB2.0 时钟信号
USB_NXT	PS_MIO25	Y4	USB2.0 下一数据信号
USB_RESET_N	PS_MIO13	AB3	USB2.0 复位信号

(七) LVDS 显示屏接口

扩展板上包含了一个 LVDS 显示屏接口，可以用来接我们的 7 寸显示屏模块 (AN7000)。LVDS 接口是 40PIN 的 FPC 连接器，有 4 对 LVDS 的数据和 1 对时钟，以及其它的控制信号通过电平转换芯片连接到 BANK703 的差分 IO 管脚上，电平标准为 1.5V。

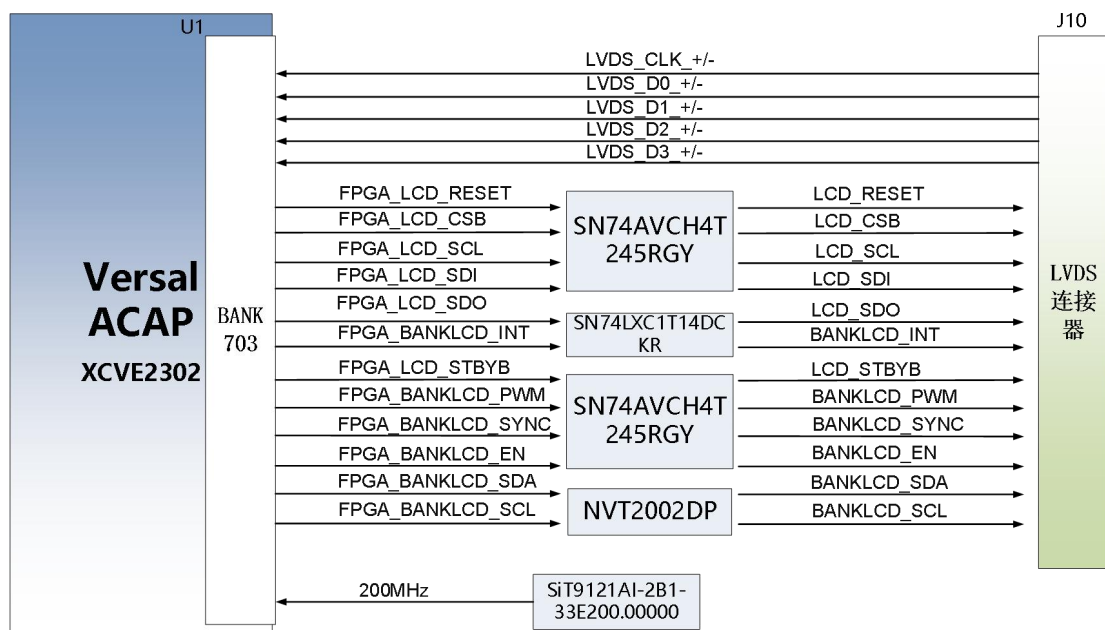


图 3-7-1 LVDS 接口设计原理图

LVDS 接口引脚分配

信号名称	引脚名	引脚号	备注
LVDS_CLK-	B703_L17_N	A24	LVDS屏输入时钟负
LVDS_CLK+	B703_L17_P	A23	LVDS屏输入时钟正
LVDS_D0-	B703_L13_N	G23	LVDS屏输入的数据DATA0负
LVDS_D0+	B703_L13_P	F22	LVDS屏输入的数据DATA0正

LVDS_D1-	B703_L22_N	A21	LVDS屏输入的数据DATA1负
LVDS_D1+	B703_L22_P	A20	LVDS屏输入的数据DATA1正
LVDS_D2-	B703_L23_N	B22	LVDS屏输入的数据DATA2负
LVDS_D2+	B703_L23_P	C22	LVDS屏输入的数据DATA2正
LVDS_D3-	B703_L10_N	A26	LVDS屏输入的数据DATA3负
LVDS_D3+	B703_L10_P	A25	LVDS屏输入的数据DATA3正
FPGA_LCD_SDI	B703_L11_N	B27	LCD屏串行接口地址和SPI数据输入
FPGA_LCD_CSB	B703_L11_P	B26	LCD屏串行接口芯片SPI片选信号
FPGA_LCD_SCL	B703_L3_N	E28	LCD屏串行接口SPI时钟
FPGA_LCD_SDO	B703_L9_N	B25	LCD屏串行接口SPI数据输出
FPGA_LCD_RESET	B703_L3_P	E27	LCD屏复位信号
FPGA_LCD_STBYB	B703_L25_N	F25	LCD屏模式设置信号
FPGA_BANKLCD_SDA	B703_L12_N	H24	背光I2C数据
FPGA_BANKLCD_SCL	B703_L14_P	E22	背光I2C时钟
FPGA_BANKLCD_INT	B703_L9_P	C25	背光故障中断信号
FPGA_BANKLCD_EN	B703_L25_P	E24	背光使能信号
FPGA_BANKLCD_PWM	B703_L15_N	C24	背光亮度调节信号
FPGA_BANKLCD_SYNC	B703_L15_P	D24	背光同步升压输入
LVDS_CLK_N	B703_L24_N	F24	FPGA输入时钟负
LVDS_CLK_P	B703_L24_P	F23	FPGA输入时钟正

(八) MIPI 接口

VD100 扩展板上包含了 2 个 MIPI 4 Lane 摄像头接口，可以用来接我们的 MIPI OS05A10 像头模块 (AN5010)。MIPI 接口是 20PIN 的 FPC 连接器，为 4 个 LANE 的数据和 1 对时钟，连接到 BANK702 的差分 IO 管脚上，电平标准为 1.2V；其它的控制信号通过电平转换连接到 BANK703 的 IO 上，电平标准为 1.5V。

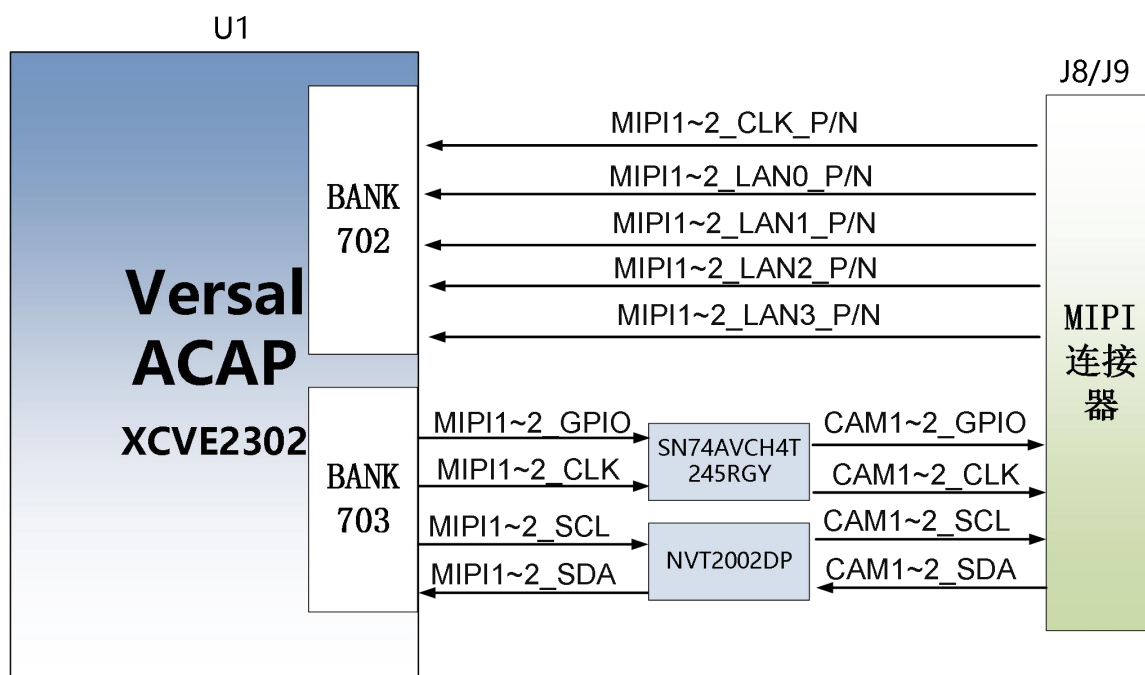


图 3-8-1 MIPI 接口设计原理图

MIPI 接口引脚分配

信号名称	引脚名	引脚号	备注
MIPI1_CLK_N	B702_L12_N	T24	MIPI1输入时钟负
MIPI1_CLK_P	B702_L12_P	U23	MIPI1输入时钟正
MIPI1_LAN0_N	B702_L13_N	R24	MIPI1输入的数据LANE0负
MIPI1_LAN0_P	B702_L13_P	T23	MIPI1输入的数据LANE0正
MIPI1_LAN1_N	B702_L14_N	P24	MIPI1输入的数据LANE1负
MIPI1_LAN1_P	B702_L14_P	R23	MIPI1输入的数据LANE1正
MIPI1_LAN2_N	B702_L16_N	K24	MIPI1输入的数据LANE2负
MIPI1_LAN2_P	B702_L16_P	L23	MIPI1输入的数据LANE2正
MIPI1_LAN3_N	B702_L15_N	M23	MIPI1输入的数据LANE3负
MIPI1_LAN3_P	B702_L15_P	M22	MIPI1输入的数据LANE3正
MIPI1_SDA	B703_L2_N	F28	MIPI1摄像头的I2C数据
MIPI1_SCL	B703_L2_P	G27	MIPI1摄像头的I2C时钟
MIPI1_GPIO	B703_L7_N	G26	MIPI1摄像头的GPIO控制
MIPI1_CLK	B703_L7_P	G25	MIPI1摄像头的时钟输入
MIPI2_CLK_N	B702_L18_N	U22	MIPI2输入时钟负
MIPI2_CLK_P	B702_L18_P	V21	MIPI2输入时钟正

MIPI2_LAN0_N	B702_L19_N	R22	MIPI2输入的数据LANE0负
MIPI2_LAN0_P	B702_L19_P	T21	MIPI2输入的数据LANE0正
MIPI2_LAN1_N	B702_L20_N	P22	MIPI2输入的数据LANE1负
MIPI2_LAN1_P	B702_L20_P	R21	MIPI2输入的数据LANE1正
MIPI2_LAN2_N	B702_L21_N	M21	MIPI2输入的数据LANE2负
MIPI2_LAN2_P	B702_L21_P	N21	MIPI2输入的数据LANE2正
MIPI2_LAN3_N	B702_L22_N	L22	MIPI2输入的数据LANE3负
MIPI2_LAN3_P	B702_L22_P	K21	MIPI2输入的数据LANE3正
MIPI2_SDA	B703_L4_N	C28	MIPI2摄像头的I2C数据
MIPI2_SCL	B703_L4_P	D27	MIPI2摄像头的I2C时钟
MIPI2_GPIO	B703_L0_N	H28	MIPI2摄像头的GPIO控制
MIPI2_CLK	B703_L0_P	J27	MIPI2摄像头的时钟输入

(九)SD 卡

VD100扩展板包含了一个Micro型的SD卡接口，以提供用户访问SD卡存储器，用于存储XCVE2302芯片的BOOT程序，Linux操作系统内核，文件系统以及其它的用户数据文件。

SDIO信号与XCVE2302的PS BANK501的IO信号相连，因为501的VCCIO设置为1.8V，但SD卡的数据电平为3.3V，我们这里通过TXS02612电平转换器来连接。

XCVE2302 PS和SD卡连接器的原理图如图3-9-1所示。

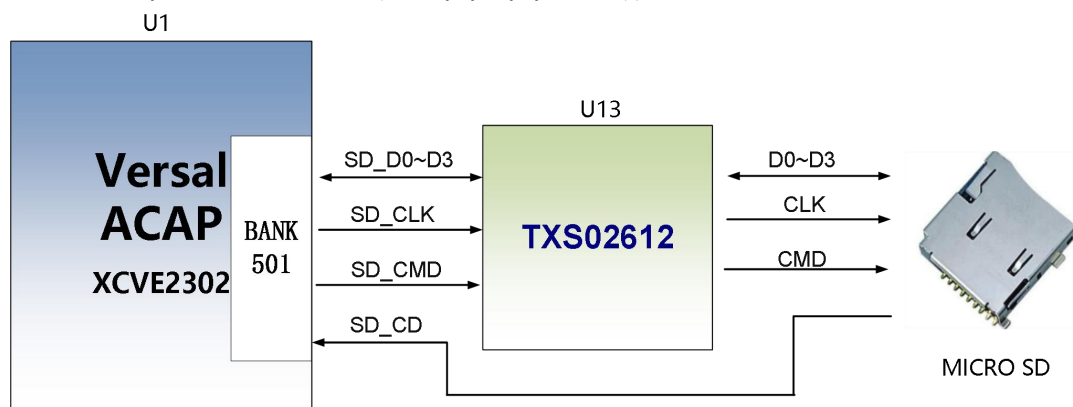


图 3-9-1 SD 卡连接示意图

SD 卡槽引脚分配

信号名称	引脚名	引脚号	备注
------	-----	-----	----

SD_CLK	PS_MIO26	AA5	SD 时钟信号
SD_CD	PS_MIO28	AC5	SD 卡检测信号
SD_CMD	PS_MIO29	AD5	SD 命令信号
SD_D0	PS_MIO30	AE6	SD 数据 Data0
SD_D1	PS_MIO31	AD6	SD 数据 Data1
SD_D2	PS_MIO32	AB6	SD 数据 Data2
SD_D3	PS_MIO33	AA6	SD 数据 Data3

(十) EEPROM 24LC04 和温度传感器

VD100开发板板载了一片EEPROM, 型号为24LC04,容量为: 4Kbit (2*256*8bit), 通过IIC总线连接到PS端进行通信。另外板上还带有一个高精度、低功耗、数字温度传感器芯片, 型号为ON Semiconductor公司的LM75, LM75芯片的温度精度为0.5度。EEPROM和温度传感器通过I2C总线挂载到Versal ACAP的Bank501 MIO上。图3-10-1为EEPROM和温度传感器的原理图

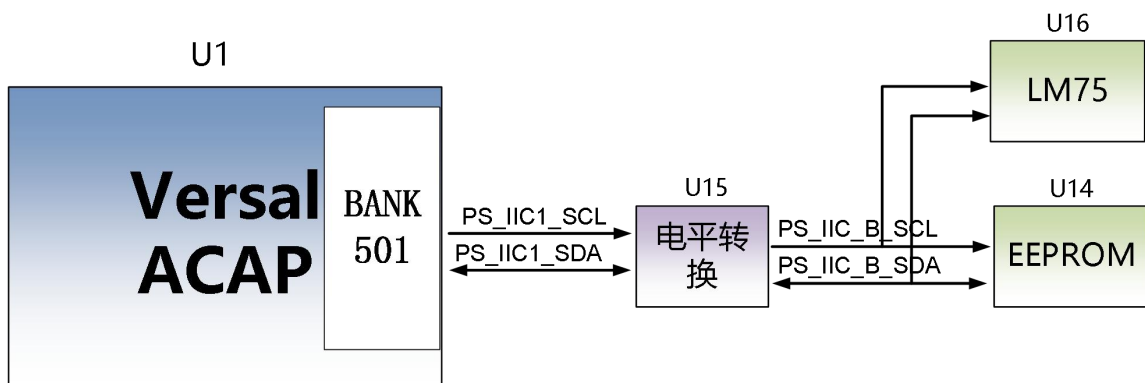


图 3-10-1 EEPROM 和传感器的原理图

EEPROM 通信引脚分配如下:

信号名称	引脚名	引脚号	备注
PS_IIC1_SCL	PS_MIO34	AB7	I2C时钟信号
PS_IIC1_SDA	PS_MIO35	AC7	I2C数据信号

(十一) JTAG 接口

开发板预留了一个 JTAG 接口, 用于下载 FPGA 程序或者固化程序到 FLASH。为了

带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

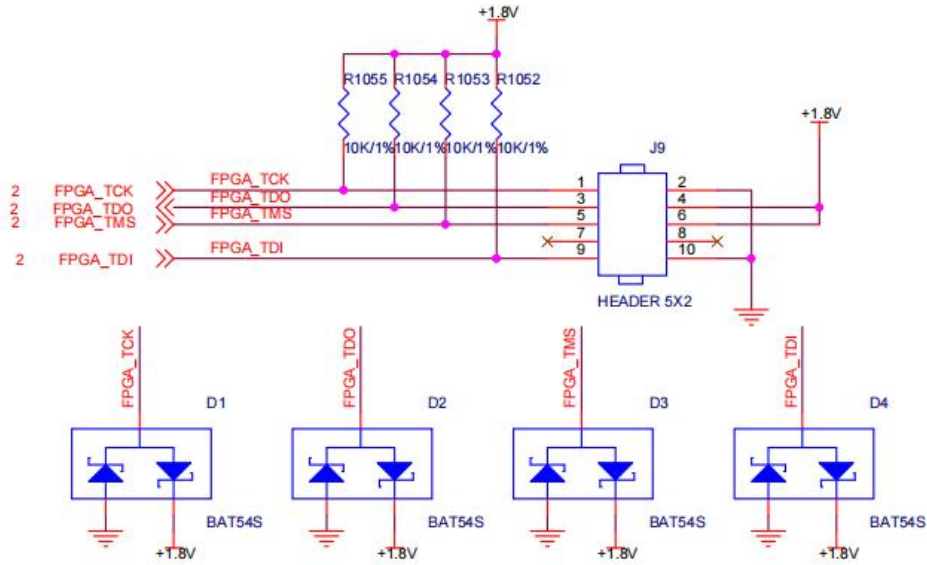


图 3-8-1 JTAG 接口原理图

JTAG 线插拔的时候注意不要热插拔。

(十二) CANFD 通信接口

VD100 扩展板上有 1 路 CAN/CANFD 通信接口，连接在 PS 系统端 BANK502 的 MIO 接口上。CANFD 收发芯片选用了智恩浦公司的 TJA1051T/3/1J 芯片为用户 CAN 通信服务。

图 3-12-1 为 PS 端 CAN 收发芯片的连接示意图

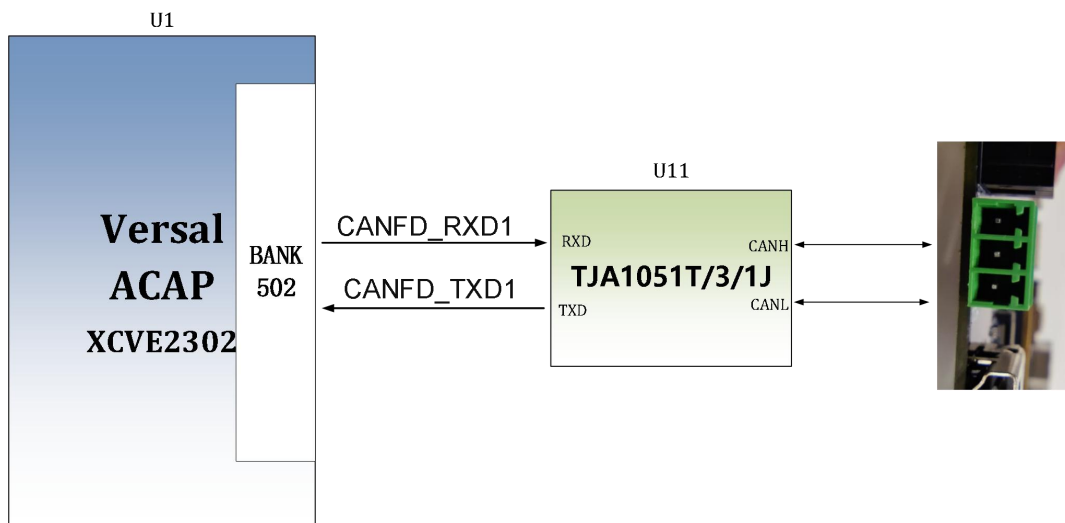


图 3-12-1 PS 端 CAN 收发芯片的连接示意图

CAN 通信引脚分配如下:

信号名称	引脚名	引脚号	备注
CANFD_TXD1	LPD_MIO23	Y7	CAN1 发送端
CANFD_RXD1	LPD_MIO22	T6	CAN1 接收端

(十三) PMOD 拓展口

扩展板预留 1 个 12PIN 2.54mm 标准间距的 PMOD 的扩展口 J55, 用于连接外部模块或者设备, 扩展口有 3.3V 电源 2 路, 地 2 路, IO 口 8 路。IO 的电平标准为 3.3V, **切勿跟 5V 设备的 IO 直接连接, 以免烧坏 FPGA。如果要接 5V 设备的 IO, 需要接电平转换芯片。**

扩展口(J55)的电路如下图 3-13-1 所示

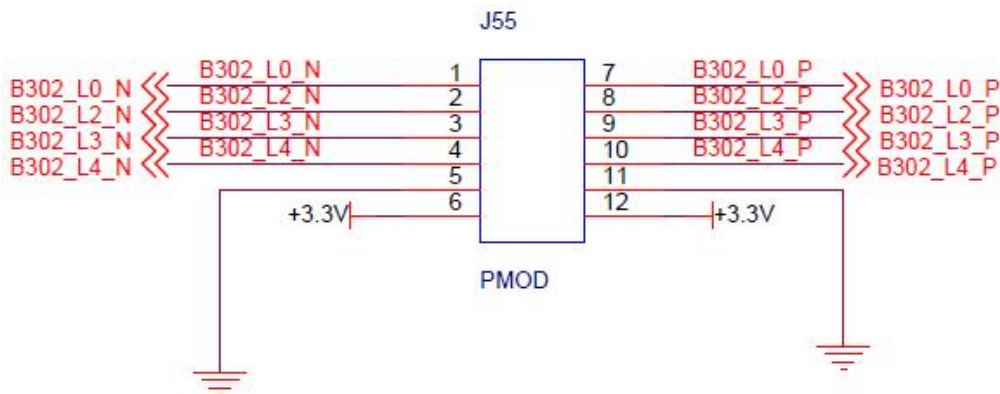


图 3-13-1 扩展口 J55 原理图

J55 扩展口 FPGA 的引脚分配

J55 引脚编号	FPGA 引脚名	FPGA 引脚号	J55 引脚编号	FPGA 引脚名	FPGA 引脚号
1	B302_L0_N	E14	7	B302_L0_P	F14
2	B302_L2_N	D14	8	B302_L2_P	E13
3	B302_L3_N	D12	9	B302_L3_P	E12
4	B302_L4_N	E11	10	B302_L4_P	F11
5	地	-	11	地	-
6	+3.3V	-	12	+3.3V	-

(十四) 按键

扩展板上含有 2 个用户按键 KEY1~KEY2，两个按键都连接到 FPGA 的普通的 IO 上，一个连接到 PL 端，另一个连接到 PS 端。按键低电平有效，当按键按下，FPGA 的 IO 输入电压为低，当没有按键按下时，FPGA 的 IO 输入电压为高。按键部分电路如下图 3-10-1 所示

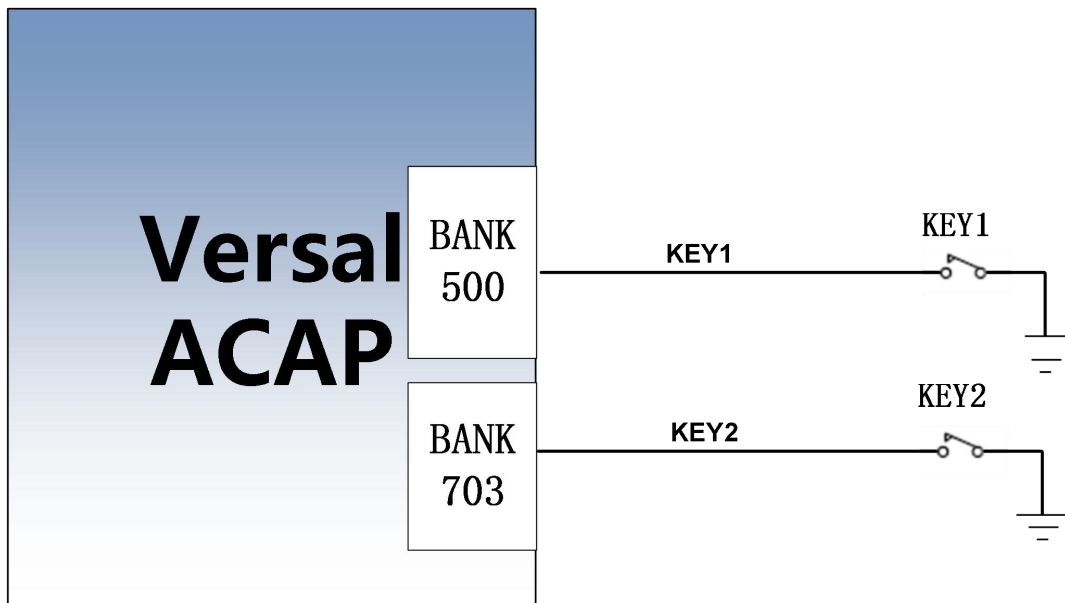


图 3-14-1 按键硬件设计示意图

按键 FPGA 引脚分配:

信号名称	FPGA 引脚名	FPGA 引脚号	备注
PS_LED1	LPD_MIO25	Y9	用户按键1
PL_KEY1	B703_L19_N	F21	用户按键2

(十五) LED 灯

扩展板上有 3 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，2 个是用户 LED 灯 (LED1~LED2)。当开发板供电后，电源指示灯会亮起。用户 LED1~LED2 连接到 FPGA 的普通 IO，一个连接到 PL 端，另一个连接到 PS 端，当连接用户 LED 灯的 IO 电压配置为高电平时，用户 LED 灯点亮，当连接 IO 电压为配置为低电平时，用户 LED 会被熄灭。LED 灯硬件连接的原理图如图 3-11-1 所示

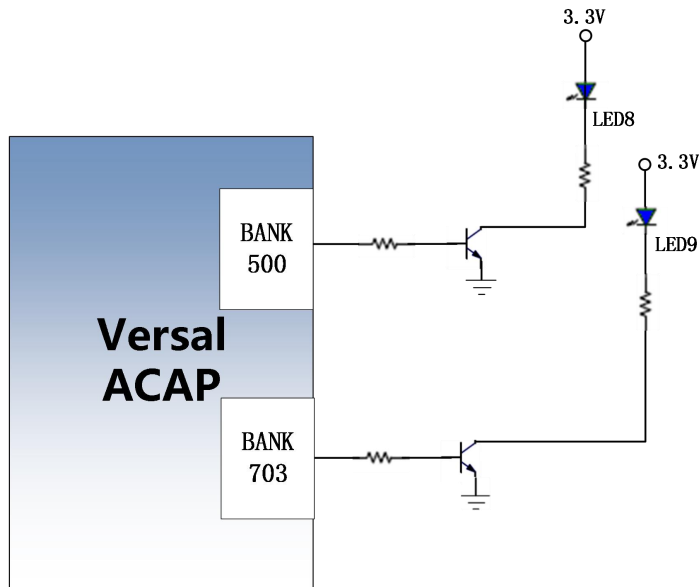


图 3-15-1 LED 灯硬件设计原理图

LED FPGA 引脚分配:

信号名称	FPGA 引脚名	FPGA 引脚号	备注
PS_LED1	LPD_MIO25	Y9	用户定义指示灯
PL_LED1	B703_L19_P	E20	用户定义指示灯

(十六) 供电电源

开发板的电源输入电压为 DC12V，请使用开发板自带的电源,不要用其他规格的电
源, 以免损坏开发板。扩展板上通过 3 路 DC/DC 电源芯片 ETA1471FT2G 转化成+5V,
+3.3V, +1.8V 三路电源, 再通过 LDO 电源芯片 SPX3819M5-1-5 将+3.3V 转化为
+1.5V。另外扩展板上的+12V 电源通过板间连接器给核心板供电, 扩展上的电源设计
如下图 3-12-1 所示

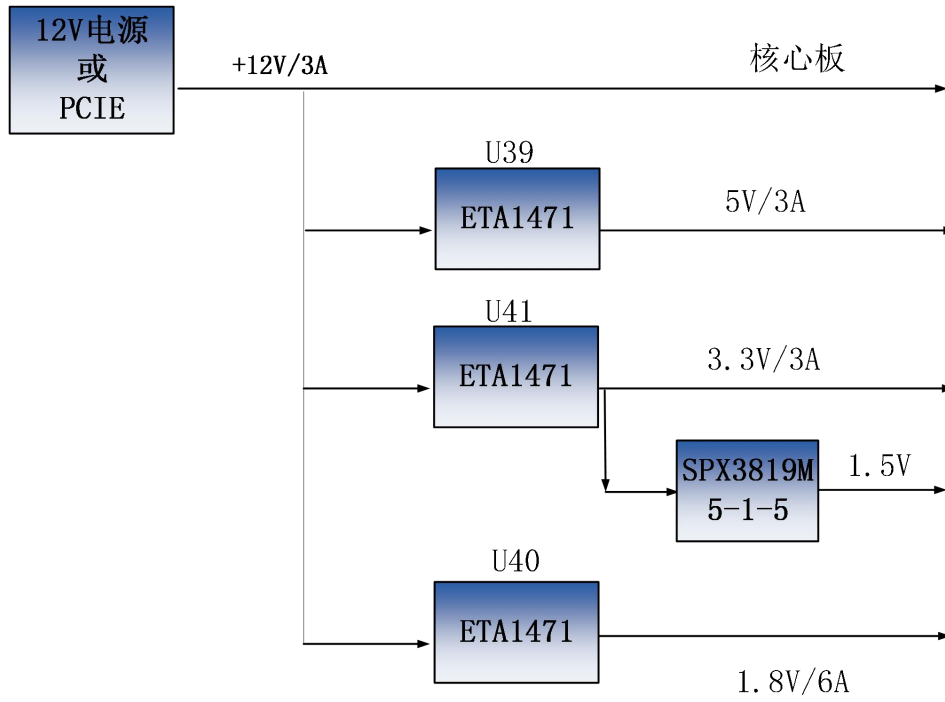
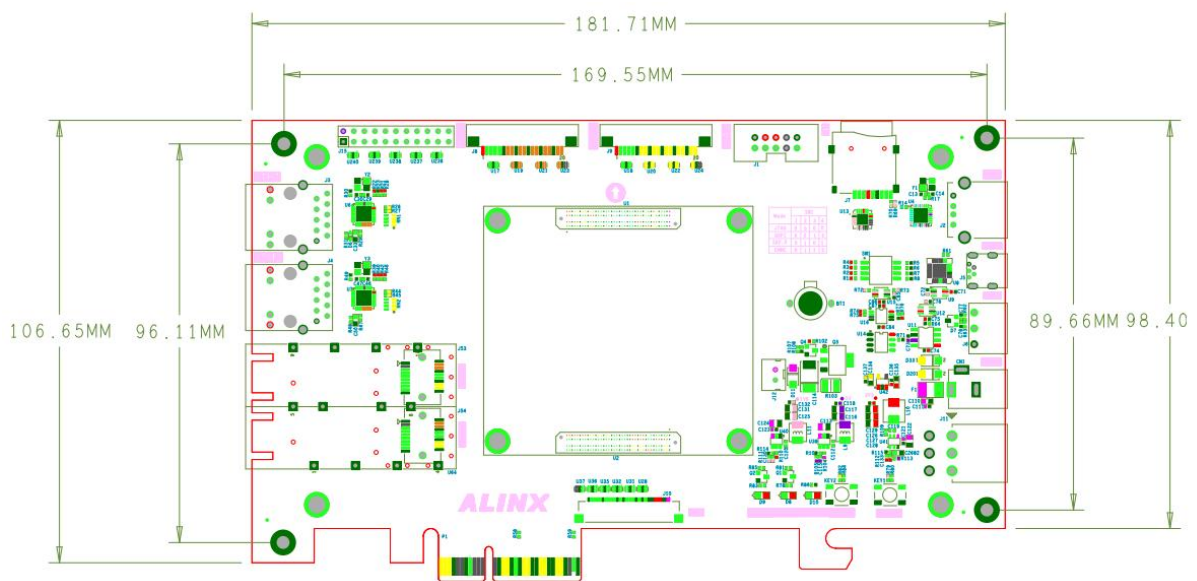


图 3-16-1 扩展板电源原理图

(十七) 结构尺寸图



正面图 (Top View)