

Zynq UltraScale+
MPSoC 开发平台
Z19-M 开发板

ALINX

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

目 录

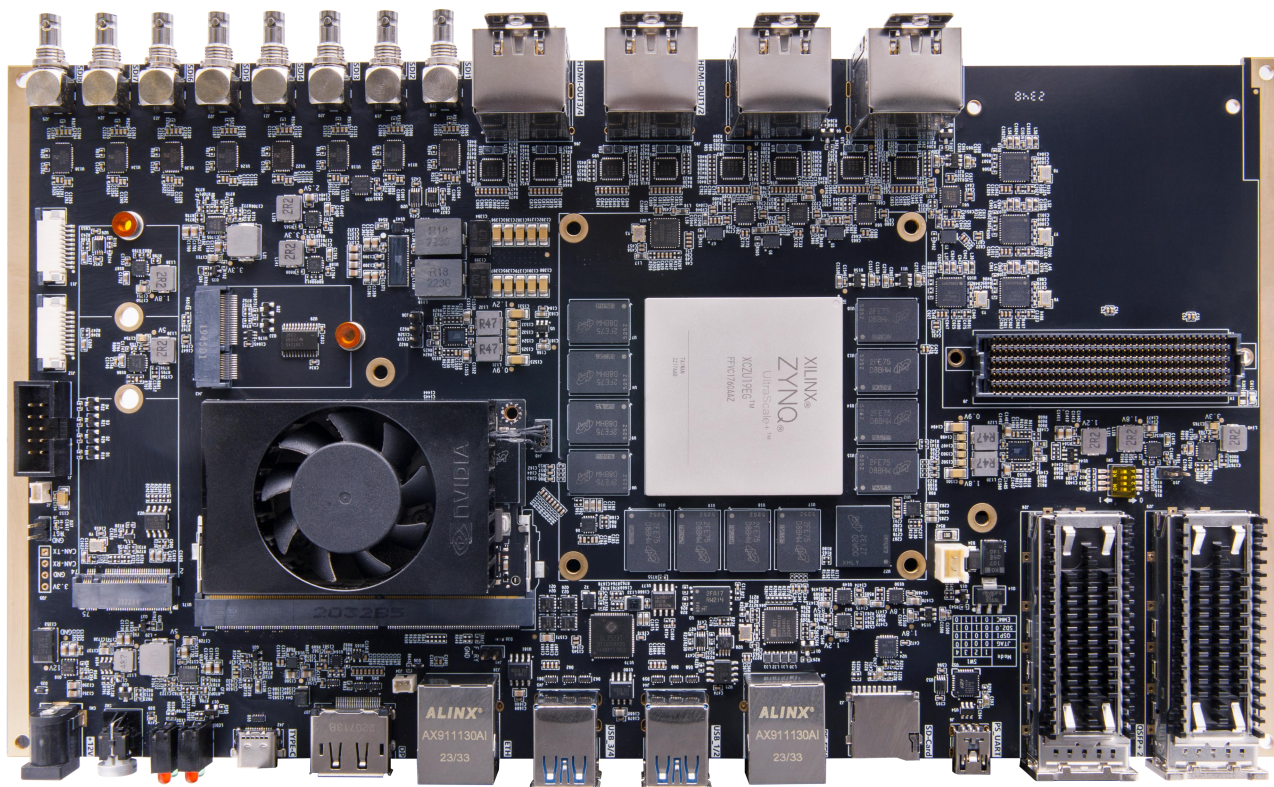
文档版本控制.....	2
一、 开发板简介.....	6
二、 MPSOC 系统.....	8
(一) ZYNQ 芯片.....	8
(二) DDR4 DRAM.....	10
(三) QSPI Flash.....	22
(四) eMMC Flash.....	23
(五) 时钟配置.....	24
(六) 千兆以太网接口.....	27
(七) Uart 接口.....	28
(八) SD 卡槽.....	29
(九) 光纤接口.....	30
(十) SDI 接口.....	31
(十一) FMC 连接器.....	35
(十二) HDMI 2.1 接口.....	39
(十三) ORIN 连接接口.....	43
(十四) EEPROM 和温度传感器.....	45
(十五) LED 灯.....	46
(十六) JTAG 调试口.....	46
(十七) 拨码开关配置.....	47
(十八) 风扇.....	47
三、 ORIN 系统.....	48
(一) NVIDIA ORIN 模块.....	48
(二) M.2 SSD 接口.....	50
(三) M.2 WIFI/BT 接口.....	51
(四) DP 显示接口.....	52
(五) USB3.0 接口.....	53
(六) 千兆以太网接口.....	54
(七) EEPROM.....	55

四、	电源供电.....	55
五、	电源按键.....	58
六、	结构尺寸图.....	59

芯驿电子科技（上海）有限公司基于 XILINX MPSoCs 以及集成 NVIDIA ORIN 模块的开发平台（型号：Z19-M）2024 款正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 MPSoCs 开发平台使用 XILINX Zynq UltraScale+ EG 芯片 ZU19EG 结合 Jetson Orin NX 8GB 的 GPU 模块的解决方案，它采用 Processing System(PS)+Programmable Logic(PL)技术将四核 ARM Cortex-A53 和 FPGA 可编程逻辑集成在一颗芯片上。开发板上 PS 端带有 4 片共 8GB 高速 DDR4 SDRAM 芯片，1 片 32GB 的 eMMC 存储芯片和 2 片 512Mb 的 QSPI FLASH 芯片；核心板上 PL 端带有 8 片共 16GB 高速 DDR4 SDRAM 芯片。

在开发板的设计上我们为用户扩展了丰富的外围接口，比如 MPSOC 端有 1 个 FMC HPC 接口、8 路 12G SDI 接口、4 路 HDMI 2.1 输出接口，4 路 HDMI2.1 输入接口、1 路 DP 接口、2 路 QSFP 100G 光纤接口、1 路千兆以太网接口、1 路 PS_UART 接口、1 路 TF 卡槽、在 NVIDIA ORIN 端有 1 路千兆以太网接口、4 个 USB3.0 HOST 接口、1 路 USB3.0 Type-C 接口、1 路 M.2 SSD 接口、1 路 M.2 WIFI/BT 接口等等。满足用户各种高速数据交换，数据存储，视频传输处理，深度学习，人工智能以及工业控制的要求，是一款“专业级”的 ZYNQ 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 MPSoCs 开发的学生、工程师、医疗行业等群体。



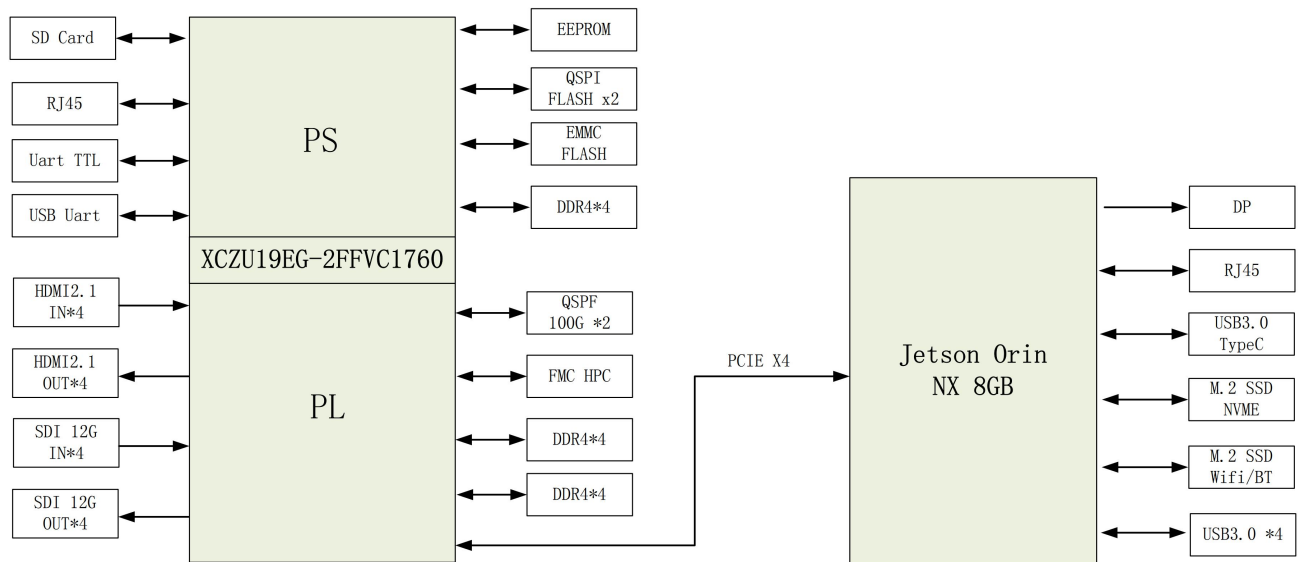
一、 开发板简介

在这里，对这款 Z19-M MPSoCs 开发平台进行简单的功能介绍。

开发板主要由 MPSOC ZU19EG 系统 + NVIDIA ORIN 模块组成，它们之间用 PCIE 2.0 x4 连接。MPSOC 主芯片采用 Xilinx 公司的 Zynq UltraScale+ MPSoCs 系列的芯片，型号为 XCZU19EG-2FFVC1760I。ZU19EG 芯片可分成处理器系统部分 Processor System (PS) 和可编程逻辑部分 Programmable Logic (PL)。在 ZU19EG 芯片的 PS 端和 PL 端分别挂了 4 片 DDR4 和 8 片 DDR4，每片 DDR4 容量高达 2GB，使得 ARM 系统和 FPGA 系统能独立处理和存储的数据的功能。PS 端的 32GB eMMC FLASH 存储芯片和 2 片 512Mb 的 QSPI FLASH 用来静态存储 MPSoCs 的操作系统、文件系统及用户数据。

开发板扩展了丰富的外围接口，其中包含 8 路 12G SDI 接口(可以配置成输入或者输出)、4 路 HDMI2.1 输出接口、4 路 HDMI2.1 输入接口、1 路 DP 接口、2 路 QSFP 100G 光纤接口、4 个 USB3.0 HOST 接口、2 路千兆以太网接口(MPSOC 和 ORIN 各一路)、1 路 PS_UART 接口、1 路 TF 卡槽、1 路 USB3.0 Type-C 接口、1 路 M.2 SSD 接口、1 路 M.2 Wifi/BT1 接口。板上也预留了一些按键 LED，ZU19EG 和 Orin 模块之间通过 PCIE x4 进行数据传输和通信。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- Xilinx ARM+FPGA 芯片 XCZU19EG- -2FFVC1760I
- DDR4

PS 端带有四片大容量 2GB (共 8GB) 高速 DDR4 SDRAM。

PI 端带有八片大容量 2GB (共 16GB) 高速 DDR4 SDRAM。

- eMMC

PS 端挂载一片 32GB eMMC FLASH 存储芯片，用户存储操作系统文件或者其他用户数据。

- QSPI FLASH

两片 512Mbit 的 QSPI FLASH 存储芯片，可用作 ZYNQ 芯片的 Uboot 文件，系统文件和用户数据的存储。

- SDI 接口

8 个 SDI 接口，4 路 SDI 输入，另外 4 路 SDI 输出，支持 SD/HD/3G/6G/12G SDI 速率，最高支持 4K/60 帧视频输入或者输出。

- DP 输出接口

1 路标准的 Display Port 输出显示接口，用于视频图像的显示。最高支持 4K@30Hz 或者 1080P@60Hz 输出，通过 PCIe 连接到 NVIDIA ORIN 模块。

- USB3.0 接口

4 路 USB3.0 HOST 接口，USB 接口类型为 TYPE A，用于连接外部的 USB 外设，比如连接鼠标，键盘，U 盘等外设；有 1 个 USB3.0 TYPE C 接口，支持 HOST、SLAVE、OTG 工作模式，数据传输速度高达 5.0Gb/s。USB3.0 HOST 和 TYPE C 接口都连接到 NVIDIA ORIN 模块。

- HDMI 2.1 接口

4 路二合一 HDMI 接口，其中 4 路为 HDMI 2.1 视频输出接口，最高支持 8K@60Hz 输出，4 路 HDMI 2.1 视频输入接口，最高支持 8K@60Hz 输入，支持不同格式的数据输入。

- M.2 接口

1 路 M.2 KEY-M 接口，用于连接 SSD NVME 固态硬盘，单路通信速度高达 5Gbps，接口通过 PCIe x2 连接到 NVIDIA ORIN 模块；1 路 M.2 KEY-E 接口，用于连接 WIFI/BT 模块，单路通信速度高达 5Gbps，接口通过 PCIe x1 连接到 NVIDIA ORIN 模块。

- 千兆以太网接口

2 路 10/100M/1000M 以太网 RJ45 接口，1 路连接到 FPGA 的 PS 端，另一路连接到 NVIDIA ORIN 模块。以太网接口用于和电脑或其它网络设备进行以太网数据交换。

- Uart 接口

1 路 PS 端 Uart 转 USB 接口。用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UART 芯片，USB 接口采用 MINI USB 接口。

1 路 ps uart 通过一个 1mm 间距 10pin FPC 接口引出，用于连接串口屏等外设。

- 2 路 QSFP100G 光纤接口

提供 2 个独立的发送和接收通道，每路 LANE 支持 25Gbps 的运行，总体数据速率为 100Gbps。

- Micro SD 卡座

1 路 Micro SD 卡座，用于 MPSOC 存储操作系统镜像和文件系统。

- FMC 扩展口

1 个标准的 FMC HPC 的扩展口，符合标准双宽度 FMC 标准。可以外接 XILINX 或者我们黑金的各种 FMC 模块（HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等）。

- JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试，用户可以通过 XILINX 下载器对 ZU19EG 系统进行调试和下载。

- 温湿度传感器

板载 1 片温湿度传感器芯片 LM75，用于检测板子周围环境的温度和湿度。

- EEPROM

1 片 IIC 接口的 EEPROM 24LC04;

- RTC 实时时钟

1 路内置的 RTC 实时时钟；

- LED 灯

2 个双路侧装 LED 灯，包含 1 个电源指示灯，1 个 DONE 配置指示灯，2 个用户指示灯。

- PCIe 通信

MPSOC ZU19EG 通过 PCIE X4 连接 Jetson Orin NX 8GB 的模块，实现 PCIE 数据通信。支持 PCI Express 3.0 标准，单通道通信速率可高达 8Gbps。

二、 MPSOC 系统

(一) ZYNQ 芯片

开发板使用的是 Xilinx 公司的 Zynq UltraScale+ MPSoCs EG 系列的系列的芯片，型号为 XCZU19EG-2FFVC1760I。ZU19EG 芯片的 PS 系统集成了 4 个 ARM Cortex™-A53 处理器，速度高达 1.3Ghz，支持 2 级 Cache；另外 ZU19EG 还包含 2 个 Cortex-R5 处理器（速度高达 533Mhz）。

ZU19EG 芯片支持 32 位或者 64 位的 DDR4，LPDDR4，DDR3,DDR3L, LPDDR3 存储芯片，在 PS 端带有丰富的高速接口如 PCIE Gen2, USB3.0, SATA 3.1, DisplayPort；同时另外也支持 USB2.0, 千兆以太网，SD/SDIO, I2C, CAN, UART, GPIO 等接口。PL 端内部含有丰富的可编程逻辑单元，DSP 和内部 RAM。ZU19EG 芯片的总体框图如图 2-1 所示

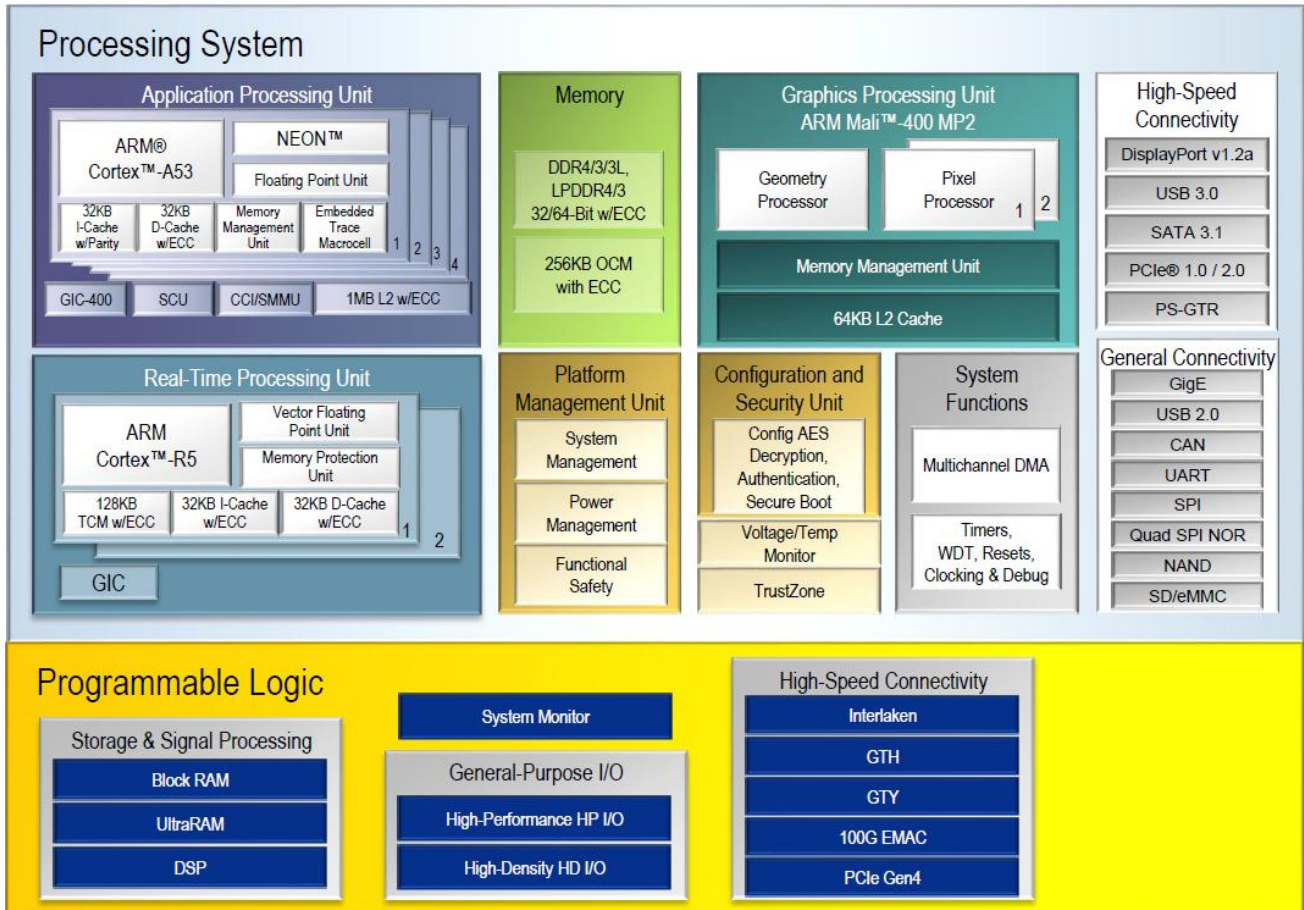


图2-1 ZYNQ ZU19EG芯片的总体框图

其中 PS 系统部分的主要参数如下：

- ARM 四核 Cortex™-A53 处理器，速度高达 1.3GHz，每个 CPU 32KB 1 级指令和数据缓存，1MB 2 级缓存 2 个 CPU 共享。
- ARM 双核 Cortex-R5 处理器，速度高达 533MHz，每个 CPU 32KB 1 级指令和数据缓存，及 128K 紧耦合内存。
- 外部存储接口，支持 32/64bit DDR4/3/3L、LPDDR4/3 接口。
- 静态存储接口，支持 NAND, 2xQuad-SPI FLASH。
- 高速连接接口，支持 PCIe Gen2 x4, 2xUSB3.0, Sata 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet。
- 普通连接接口：2xUSB2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO。
- 电源管理：支持 Full/Low/PL/Battery 四部分电源的划分。
- 加密算法：支持 RSA, AES 和 SHA。
- 系统监控：10 位 1Mbps 的 AD 采样，用于温度和电压的检测。

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元(System Logic Cells): 1143K;

- 触发器(CLB flip-flops) : 1045K;
- 查找表(CLBLUTs) : 523K;
- Block RAM: 34.6Mb;
- 时钟管理单元 (CMTs) : 11 个
- DSP Slices: 1968 个
- GTH 16.3Gb/s 收发器: 44 个

XCZU19EG-2FFVC1760I芯片的速度等级为-2, 工业级, 封装为FFVC1760。

(二) DDR4 DRAM

Z19-M开发板上配有12片Micron(美光) 的2GB的DDR4芯片, 型号为MT40A1G16KD-062E, 8片挂载在PL端, 另外4片挂载在PS端, 组成64位数据总线带宽, 每片DDR4是2GB的容量。PS端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps), 4片DDR4存储系统直接连接到了PS的BANK504的存储器接口上。PL端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps), 8片DDR4连接到了FPGA的BANK64,65,66,69,70,71的接口上。PS端和PL端DDR4 SDRAM的具体配置如下表2-2所示。

位置	位号	芯片型号	容量	厂家
PS	U16,U17,U18,U19	MT40A1G16KD-062E	1G x 16bit	Micron
PL	U4,U7,U8,U9, U10,U13,U14,U15	MT40A1G16KD-062E	1G x 16bit	Micron

表 2-2 DDR4 SDRAM 配置

DDR4 的硬件设计需要严格考虑信号完整性, 我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制, 走线等长控制, 保证 DDR4 的高速稳定的工作。

PS 端的 DDR4 的硬件连接方式如图 2-2-1 所示:

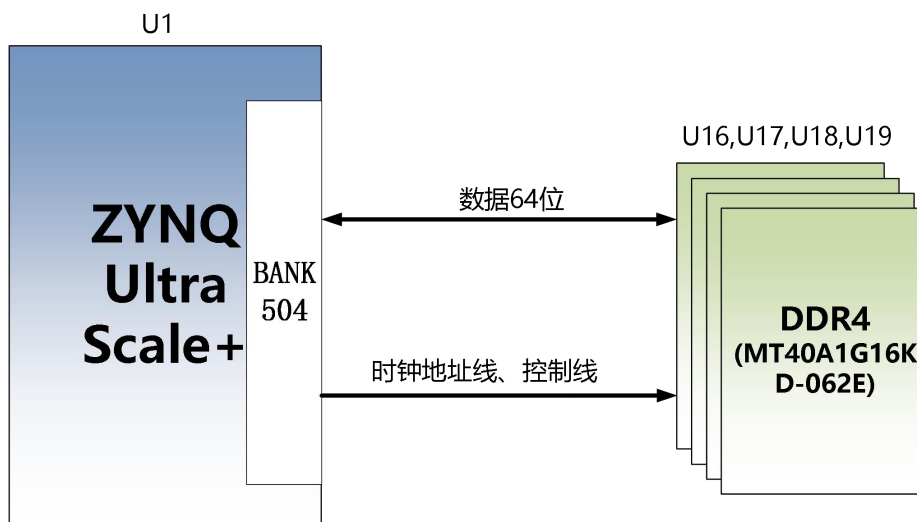


图2-2-1PS端DDR4 DRAM原理图部分

PL 端的 DDR4 的硬件连接方式如图 3-2 所示:

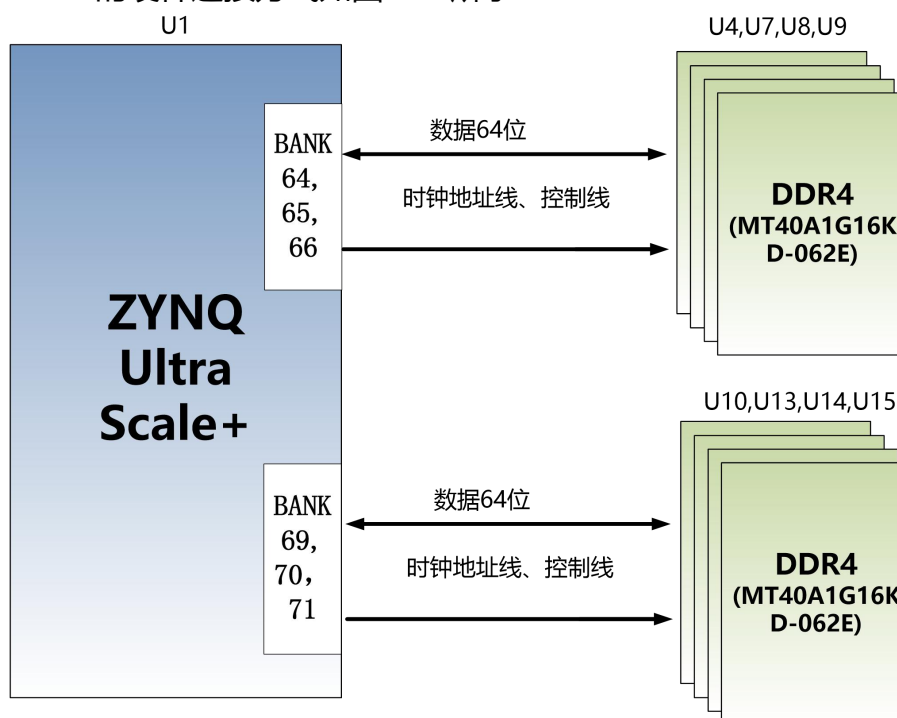


图2-2-2PL端DDR4 DRAM原理图部分

PS 端 DDR4 SDRAM 引脚分配:

信号名称	引脚名	引脚号
PS_DDR4_DQ0	PS_DDR_DQ0_504	AV29
PS_DDR4_DQ1	PS_DDR_DQ1_504	AW30
PS_DDR4_DQ2	PS_DDR_DQ2_504	AW29
PS_DDR4_DQ3	PS_DDR_DQ3_504	AW31

PS_DDR4_DQ4	PS_DDR_DQ4_504	BB31
PS_DDR4_DQ5	PS_DDR_DQ5_504	BB30
PS_DDR4_DQ6	PS_DDR_DQ6_504	BB29
PS_DDR4_DQ7	PS_DDR_DQ7_504	BA31
PS_DDR4_DQ8	PS_DDR_DQ8_504	BB33
PS_DDR4_DQ9	PS_DDR_DQ9_504	BA32
PS_DDR4_DQ10	PS_DDR_DQ10_504	BA33
PS_DDR4_DQ11	PS_DDR_DQ11_504	BB34
PS_DDR4_DQ12	PS_DDR_DQ12_504	AV31
PS_DDR4_DQ13	PS_DDR_DQ13_504	AW32
PS_DDR4_DQ14	PS_DDR_DQ14_504	AV32
PS_DDR4_DQ15	PS_DDR_DQ15_504	AV33
PS_DDR4_DQ16	PS_DDR_DQ16_504	AN29
PS_DDR4_DQ17	PS_DDR_DQ17_504	AP29
PS_DDR4_DQ18	PS_DDR_DQ18_504	AP30
PS_DDR4_DQ19	PS_DDR_DQ19_504	AP31
PS_DDR4_DQ20	PS_DDR_DQ20_504	AT31
PS_DDR4_DQ21	PS_DDR_DQ21_504	AU30
PS_DDR4_DQ22	PS_DDR_DQ22_504	AU31
PS_DDR4_DQ23	PS_DDR_DQ23_504	AU29
PS_DDR4_DQ24	PS_DDR_DQ24_504	AV34
PS_DDR4_DQ25	PS_DDR_DQ25_504	AU33
PS_DDR4_DQ26	PS_DDR_DQ26_504	AT33
PS_DDR4_DQ27	PS_DDR_DQ27_504	AU34
PS_DDR4_DQ28	PS_DDR_DQ28_504	AN33
PS_DDR4_DQ29	PS_DDR_DQ29_504	AP32
PS_DDR4_DQ30	PS_DDR_DQ30_504	AN32
PS_DDR4_DQ31	PS_DDR_DQ31_504	AN31
PS_DDR4_DQS0_N	PS_DDR_DQS_N0_504	BA30
PS_DDR4_DQS1_N	PS_DDR_DQS_N1_504	AY33
PS_DDR4_DQS2_N	PS_DDR_DQS_N2_504	AT30
PS_DDR4_DQS3_N	PS_DDR_DQS_N3_504	AT32
PS_DDR4_DQS4_N	PS_DDR_DQS_N4_504	AR40
PS_DDR4_DQS5_N	PS_DDR_DQS_N5_504	AK37
PS_DDR4_DQS6_N	PS_DDR_DQS_N6_504	AU41

PS_DDR4_DQS7_N	PS_DDR_DQS_N7_504	AL41
PS_DDR4_DQS0_P	PS_DDR_DQS_P0_504	AY30
PS_DDR4_DQS1_P	PS_DDR_DQS_P1_504	AY32
PS_DDR4_DQS2_P	PS_DDR_DQS_P2_504	AR30
PS_DDR4_DQS3_P	PS_DDR_DQS_P3_504	AR32
PS_DDR4_DQS4_P	PS_DDR_DQS_P4_504	AP40
PS_DDR4_DQS5_P	PS_DDR_DQS_P5_504	AJ37
PS_DDR4_DQS6_P	PS_DDR_DQS_P6_504	AU40
PS_DDR4_DQS7_P	PS_DDR_DQS_P7_504	AL40
PS_DDR4_DM0	PS_DDR_DM0_504	AY29
PS_DDR4_DM1	PS_DDR_DM1_504	AY34
PS_DDR4_DM2	PS_DDR_DM2_504	AR29
PS_DDR4_DM3	PS_DDR_DM3_504	AR33
PS_DDR4_DM4	PS_DDR_DM4_504	AR39
PS_DDR4_DM5	PS_DDR_DM5_504	AL36
PS_DDR4_DM6	PS_DDR_DM6_504	AU39
PS_DDR4_DM7	PS_DDR_DM7_504	AL42
PS_DDR4_DQ32	PS_DDR_DQ32_504	AN41
PS_DDR4_DQ33	PS_DDR_DQ33_504	AN42
PS_DDR4_DQ34	PS_DDR_DQ34_504	AP42
PS_DDR4_DQ35	PS_DDR_DQ35_504	AP41
PS_DDR4_DQ36	PS_DDR_DQ36_504	AN39
PS_DDR4_DQ37	PS_DDR_DQ37_504	AR38
PS_DDR4_DQ38	PS_DDR_DQ38_504	AP39
PS_DDR4_DQ39	PS_DDR_DQ39_504	AN38
PS_DDR4_DQ40	PS_DDR_DQ40_504	AL37
PS_DDR4_DQ41	PS_DDR_DQ41_504	AL38
PS_DDR4_DQ42	PS_DDR_DQ42_504	AK38
PS_DDR4_DQ43	PS_DDR_DQ43_504	AK39
PS_DDR4_DQ44	PS_DDR_DQ44_504	AJ36
PS_DDR4_DQ45	PS_DDR_DQ45_504	AL35
PS_DDR4_DQ46	PS_DDR_DQ46_504	AJ35
PS_DDR4_DQ47	PS_DDR_DQ47_504	AK35
PS_DDR4_DQ48	PS_DDR_DQ48_504	AR42
PS_DDR4_DQ49	PS_DDR_DQ49_504	AT41

PS_DDR4_DQ50	PS_DDR_DQ50_504	AT42
PS_DDR4_DQ51	PS_DDR_DQ51_504	AT40
PS_DDR4_DQ52	PS_DDR_DQ52_504	AV42
PS_DDR4_DQ53	PS_DDR_DQ53_504	AV41
PS_DDR4_DQ54	PS_DDR_DQ54_504	AV39
PS_DDR4_DQ55	PS_DDR_DQ55_504	AV38
PS_DDR4_DQ56	PS_DDR_DQ56_504	AM39
PS_DDR4_DQ57	PS_DDR_DQ57_504	AM38
PS_DDR4_DQ58	PS_DDR_DQ58_504	AM40
PS_DDR4_DQ59	PS_DDR_DQ59_504	AM41
PS_DDR4_DQ60	PS_DDR_DQ60_504	AJ42
PS_DDR4_DQ61	PS_DDR_DQ61_504	AK42
PS_DDR4_DQ62	PS_DDR_DQ62_504	AK40
PS_DDR4_DQ63	PS_DDR_DQ63_504	AK41
PS_DDR4_A0	PS_DDR_A0_504	BA38
PS_DDR4_A1	PS_DDR_A1_504	BB36
PS_DDR4_A2	PS_DDR_A2_504	BA35
PS_DDR4_A3	PS_DDR_A3_504	BB35
PS_DDR4_A4	PS_DDR_A4_504	BB38
PS_DDR4_A5	PS_DDR_A5_504	AY35
PS_DDR4_A6	PS_DDR_A6_504	AP37
PS_DDR4_A7	PS_DDR_A7_504	AT36
PS_DDR4_A8	PS_DDR_A8_504	AR35
PS_DDR4_A9	PS_DDR_A9_504	AT35
PS_DDR4_A10	PS_DDR_A10_504	AU35
PS_DDR4_A11	PS_DDR_A11_504	AU36
PS_DDR4_A12	PS_DDR_A12_504	AW36
PS_DDR4_A13	PS_DDR_A13_504	AW37
PS_DDR4_WE_B	PS_DDR_A14_504	AW35
PS_DDR4_CAS_B	PS_DDR_A15_504	AW34
PS_DDR4_RAS_B	PS_DDR_A16_504	AR34
PS_DDR4_ACT_B	PS_DDR_ACT_N_504	AR37
PS_DDR4_ALERT_B	PS_DDR_ALERT_N_504	AM36
PS_DDR4_BA0	PS_DDR_BA0_504	AN37
PS_DDR4_BA1	PS_DDR_BA1_504	AN36

PS_DDR4_BG0	PS_DDR_BG0_504	AP36
PS_DDR4_CLK0_P	PS_DDR_CK0_504	BA36
PS_DDR4_CKE0	PS_DDR_CKE0_504	AY38
PS_DDR4_CLK0_N	PS_DDR_CK_N0_504	BA37
PS_DDR4_CS0_B	PS_DDR_CS_N0_504	AY37
PS_DDR4_ODT0	PS_DDR_ODT0_504	BB39
PS_DDR4_PARITY	PS_DDR_PARITY_504	AM35
PS_DDR4_RESET_B	PS_DDR_RAM_RST_N_504	AM34
PS_DDR4_ZQ_504	PS_DDR_ZQ_504	AN34

PL 端第一组 DDR4 SDRAM 引脚分配:

信号名称	引脚名	引脚号
PL_DDR4_1_A0	IO_L7N_T1L_N1_QBC_AD13N_66	BA12
PL_DDR4_1_A1	IO_L3N_T0L_N5_AD15N_66	AW16
PL_DDR4_1_A2	IO_L6P_T0U_N10_AD6P_66	BA13
PL_DDR4_1_A3	IO_L10P_T1U_N6_QBC_AD4P_66	AU13
PL_DDR4_1_A4	IO_L8N_T1L_N3_AD5N_66	BB11
PL_DDR4_1_A5	IO_L16N_T2U_N7_QBC_AD3N_66	AT18
PL_DDR4_1_A6	IO_L4N_T0U_N7_DBC_AD7N_66	BB15
PL_DDR4_1_A7	IO_L11P_T1U_N8_GC_66	AW15
PL_DDR4_1_A8	IO_L9P_T1L_N4_AD12P_66	BA10
PL_DDR4_1_A9	IO_L5P_T0U_N8_AD14P_66	AY15
PL_DDR4_1_A10	IO_L8P_T1L_N2_AD5P_66	BA11
PL_DDR4_1_A11	IO_L9N_T1L_N5_AD12N_66	BB10
PL_DDR4_1_A12	IO_L14P_T2L_N2_GC_66	AT15
PL_DDR4_1_A13	IO_L6N_T0U_N11_AD6N_66	BB13
PL_DDR4_1_ACT_B	IO_L5N_T0U_N9_AD14N_66	AY14
PL_DDR4_1_RAS_B	IO_L16P_T2U_N6_QBC_AD3P_66	AR18
PL_DDR4_1_ODT	IO_L15N_T2L_N5_AD11N_66	AV18
PL_DDR4_1_BA0	IO_L4P_T0U_N6_DBC_AD7P_66	BA15
PL_DDR4_1_BA1	IO_L17N_T2U_N9_AD10N_66	AT17
PL_DDR4_1_BG0	IO_L11N_T1U_N9_GC_66	AW14
PL_DDR4_1_CAS_B	IO_L15P_T2L_N4_AD11P_66	AU18
PL_DDR4_1_CKE	IO_L3P_T0L_N4_AD15P_66	AW17

PL_DDR4_1_WE_B	IO_L7P_T1L_N0_QBC_AD13P_66	AY12
PL_DDR4_1_CS_B	IO_L14N_T2L_N3_GC_66	AU15
PL_DDR4_1_DM0	IO_L7P_T1L_N0_QBC_AD13P_64	AU23
PL_DDR4_1_DM1	IO_L1P_T0L_N0_DBC_64	BA23
PL_DDR4_1_DM2	IO_L13P_T2L_N0_GC_QBC_64	AT22
PL_DDR4_1_DM3	IO_L19P_T3L_N0_DBC_AD9P_64	AM19
PL_DDR4_1_DM4	IO_L13P_T2L_N0_GC_QBC_65	AR27
PL_DDR4_1_DM5	IO_L19P_T3L_N0_DBC_AD9P_65	AR23
PL_DDR4_1_DM6	IO_L7P_T1L_N0_QBC_AD13P_65	AU24
PL_DDR4_1_DM7	IO_L1P_T0L_N0_DBC_65	AW24
PL_DDR4_1_DQ0	IO_L9N_T1L_N5_AD12N_64	AW19
PL_DDR4_1_DQ1	IO_L11N_T1U_N9_GC_64	AV21
PL_DDR4_1_DQ2	IO_L9P_T1L_N4_AD12P_64	AW20
PL_DDR4_1_DQ3	IO_L11P_T1U_N8_GC_64	AU21
PL_DDR4_1_DQ4	IO_L12P_T1U_N10_GC_64	AU20
PL_DDR4_1_DQ5	IO_L8N_T1L_N3_AD5N_64	AW22
PL_DDR4_1_DQ6	IO_L12N_T1U_N11_GC_64	AV19
PL_DDR4_1_DQ7	IO_L8P_T1L_N2_AD5P_64	AV22
PL_DDR4_1_DQ8	IO_L6N_T0U_N11_AD6N_64	BB18
PL_DDR4_1_DQ9	IO_L3N_T0L_N5_AD15N_64	BA21
PL_DDR4_1_DQ10	IO_L5N_T0U_N9_AD14N_64	BB19
PL_DDR4_1_DQ11	IO_L2P_T0L_N2_64	AY23
PL_DDR4_1_DQ12	IO_L6P_T0U_N10_AD6P_64	BA18
PL_DDR4_1_DQ13	IO_L2N_T0L_N3_64	AY22
PL_DDR4_1_DQ14	IO_L5P_T0U_N8_AD14P_64	BB20
PL_DDR4_1_DQ15	IO_L3P_T0L_N4_AD15P_64	BA22
PL_DDR4_1_DQ16	IO_L17P_T2U_N8_AD10P_64	AP20
PL_DDR4_1_DQ17	IO_L18N_T2U_N11_AD2N_64	AR19
PL_DDR4_1_DQ18	IO_L18P_T2U_N10_AD2P_64	AP19
PL_DDR4_1_DQ19	IO_L17N_T2U_N9_AD10N_64	AR20
PL_DDR4_1_DQ20	IO_L15N_T2L_N5_AD11N_64	AP22
PL_DDR4_1_DQ21	IO_L14P_T2L_N2_GC_64	AT20
PL_DDR4_1_DQ22	IO_L15P_T2L_N4_AD11P_64	AN22
PL_DDR4_1_DQ23	IO_L14N_T2L_N3_GC_64	AU19
PL_DDR4_1_DQ24	IO_L24P_T3U_N10_64	AJ22

PL_DDR4_1_DQ25	IO_L20P_T3L_N2_AD1P_64	AM21
PL_DDR4_1_DQ26	IO_L23N_T3U_N9_64	AJ20
PL_DDR4_1_DQ27	IO_L20N_T3L_N3_AD1N_64	AM20
PL_DDR4_1_DQ28	IO_L23P_T3U_N8_64	AJ21
PL_DDR4_1_DQ29	IO_L24N_T3U_N11_64	AK22
PL_DDR4_1_DQ30	IO_L21N_T3L_N5_AD8N_64	AL21
PL_DDR4_1_DQ31	IO_L21P_T3L_N4_AD8P_64	AL22
PL_DDR4_1_DQ32	IO_L18N_T2U_N11_AD2N_65	AT28
PL_DDR4_1_DQ33	IO_L17N_T2U_N9_AD10N_65	AN28
PL_DDR4_1_DQ34	IO_L18P_T2U_N10_AD2P_65	AR28
PL_DDR4_1_DQ35	IO_L17P_T2U_N8_AD10P_65	AM28
PL_DDR4_1_DQ36	IO_L14N_T2L_N3_GC_65	AR25
PL_DDR4_1_DQ37	IO_L15P_T2L_N4_AD11P_65	AM26
PL_DDR4_1_DQ38	IO_L14P_T2L_N2_GC_65	AR24
PL_DDR4_1_DQ39	IO_L15N_T2L_N5_AD11N_65	AN26
PL_DDR4_1_DQ40	IO_L21P_T3L_N4_AD8P_65	AM24
PL_DDR4_1_DQ41	IO_L24N_T3U_N11_65	AK24
PL_DDR4_1_DQ42	IO_L21N_T3L_N5_AD8N_65	AN24
PL_DDR4_1_DQ43	IO_L23P_T3U_N8_I2C_SCLK_65	AK23
PL_DDR4_1_DQ44	IO_L20P_T3L_N2_AD1P_65	AP24
PL_DDR4_1_DQ45	IO_L24P_T3U_N10_65	AJ24
PL_DDR4_1_DQ46	IO_L23N_T3U_N9_PERSTN1_I2C_SDA_65	AL23
PL_DDR4_1_DQ47	IO_L20N_T3L_N3_AD1N_65	AP25
PL_DDR4_1_DQ48	IO_L8P_T1L_N2_AD5P_65	AV26
PL_DDR4_1_DQ49	IO_L9N_T1L_N5_AD12N_65	AW27
PL_DDR4_1_DQ50	IO_L8N_T1L_N3_AD5N_65	AW26
PL_DDR4_1_DQ51	IO_L9P_T1L_N4_AD12P_65	AV27
PL_DDR4_1_DQ52	IO_L11N_T1U_N9_GC_65	AU26
PL_DDR4_1_DQ53	IO_L12N_T1U_N11_GC_65	AT26
PL_DDR4_1_DQ54	IO_L11P_T1U_N8_GC_65	AU25
PL_DDR4_1_DQ55	IO_L12P_T1U_N10_GC_65	AT25
PL_DDR4_1_DQ56	IO_L3P_T0L_N4_AD15P_65	AY25
PL_DDR4_1_DQ57	IO_L5P_T0U_N8_AD14P_65	AY27
PL_DDR4_1_DQ58	IO_L2N_T0L_N3_65	BB25
PL_DDR4_1_DQ59	IO_L6N_T0U_N11_AD6N_65	BB28

PL_DDR4_1_DQ60	IO_L2P_T0L_N2_65	BB24
PL_DDR4_1_DQ61	IO_L6P_T0U_N10_AD6P_65	BA28
PL_DDR4_1_DQ62	IO_L3N_T0L_N5_AD15N_65	BA25
PL_DDR4_1_DQ63	IO_L5N_T0U_N9_AD14N_65	AY28
PL_DDR4_1_DQS0_N	IO_L10N_T1U_N7_QBC_AD4N_64	AY18
PL_DDR4_1_DQS0_P	IO_L10P_T1U_N6_QBC_AD4P_64	AY19
PL_DDR4_1_DQS1_N	IO_L4N_T0U_N7_DBC_AD7N_64	BA20
PL_DDR4_1_DQS1_P	IO_L4P_T0U_N6_DBC_AD7P_64	AY20
PL_DDR4_1_DQS2_N	IO_L16N_T2U_N7_QBC_AD3N_64	AP21
PL_DDR4_1_DQS2_P	IO_L16P_T2U_N6_QBC_AD3P_64	AN21
PL_DDR4_1_DQS3_N	IO_L22N_T3U_N7_DBC_AD0N_64	AK19
PL_DDR4_1_DQS3_P	IO_L22P_T3U_N6_DBC_AD0P_64	AK20
PL_DDR4_1_DQS4_N	IO_L16N_T2U_N7_QBC_AD3N_65	AP27
PL_DDR4_1_DQS4_P	IO_L16P_T2U_N6_QBC_AD3P_65	AN27
PL_DDR4_1_DQS5_N	IO_L22N_T3U_N7_DBC_AD0N_65	AN23
PL_DDR4_1_DQS5_P	IO_L22P_T3U_N6_DBC_AD0P_65	AM23
PL_DDR4_1_DQS6_N	IO_L10N_T1U_N7_QBC_AD4N_65	AV28
PL_DDR4_1_DQS6_P	IO_L10P_T1U_N6_QBC_AD4P_65	AU28
PL_DDR4_1_DQS7_N	IO_L4N_T0U_N7_DBC_AD7N_65	BB26
PL_DDR4_1_DQS7_P	IO_L4P_T0U_N6_DBC_AD7P_65	BA26
PL_DDR4_1_CLK_N	IO_L13N_T2L_N1_GC_QBC_66	AV16
PL_DDR4_1_CLK_P	IO_L13P_T2L_N0_GC_QBC_66	AV17
PL_DDR4_1_RST	IO_L10N_T1U_N7_QBC_AD4N_66	AV13

PL 端第二组 DDR4 SDRAM 引脚分配:

信号名称	引脚名	引脚号
PL_DDR4_2_A0	IO_L15N_T2L_N5_AD11N_71	E19
PL_DDR4_2_A1	IO_L11N_T1U_N9_GC_71	H19
PL_DDR4_2_A2	IO_L4P_T0U_N6_DBC_AD7P_71	N20
PL_DDR4_2_A3	IO_L6N_T0U_N11_AD6N_71	M21
PL_DDR4_2_A4	IO_L16P_T2U_N6_QBC_AD3P_71	F20
PL_DDR4_2_A5	IO_L3P_T0L_N4_AD15P_71	M20
PL_DDR4_2_A6	IO_L9P_T1L_N4_AD12P_71	K21
PL_DDR4_2_A7	IO_L4N_T0U_N7_DBC_AD7N_71	N19

PL_DDR4_2_A8	IO_L5N_T0U_N9_AD14N_71	N21
PL_DDR4_2_A9	IO_L11P_T1U_N8_GC_71	H20
PL_DDR4_2_A10	IO_L16N_T2U_N7_QBC_AD3N_71	E20
PL_DDR4_2_A11	IO_L15P_T2L_N4_AD11P_71	F19
PL_DDR4_2_A12	IO_L6P_T0U_N10_AD6P_71	M22
PL_DDR4_2_A13	IO_L5P_T0U_N8_AD14P_71	P21
PL_DDR4_2_ACT_B	IO_L9N_T1L_N5_AD12N_71	J21
PL_DDR4_2_RAS_B	IO_L7P_T1L_N0_QBC_AD13P_71	K19
PL_DDR4_2_ODT	IO_L17P_T2U_N8_AD10P_71	E21
PL_DDR4_2_BA0	IO_L10P_T1U_N6_QBC_AD4P_71	K22
PL_DDR4_2_BA1	IO_L8P_T1L_N2_AD5P_71	L20
PL_DDR4_2_BG0	IO_L10N_T1U_N7_QBC_AD4N_71	J22
PL_DDR4_2_CAS_B	IO_L8N_T1L_N3_AD5N_71	K20
PL_DDR4_2_CKE	IO_L14N_T2L_N3_GC_71	F22
PL_DDR4_2_WE_B	IO_L14P_T2L_N2_GC_71	F23
PL_DDR4_2_CS_B	IO_L7N_T1L_N1_QBC_AD13N_71	J19
PL_DDR4_2_DM0	IO_L7P_T1L_N0_QBC_AD13P_70	K27
PL_DDR4_2_DM1	IO_L1P_T0L_N0_DBC_70	P26
PL_DDR4_2_DM2	IO_L19P_T3L_N0_DBC_AD9P_70	C28
PL_DDR4_2_DM3	IO_L13P_T2L_N0_GC_QBC_70	G26
PL_DDR4_2_DM4	IO_L7P_T1L_N0_QBC_AD13P_69	E29
PL_DDR4_2_DM5	IO_L1P_T0L_N0_DBC_69	K29
PL_DDR4_2_DM6	IO_L19P_T3L_N0_DBC_AD9P_69	C36
PL_DDR4_2_DM7	IO_L13P_T2L_N0_GC_QBC_69	E32
PL_DDR4_2_DQ0	IO_L12N_T1U_N11_GC_70	G25
PL_DDR4_2_DQ1	IO_L12P_T1U_N10_GC_70	H24
PL_DDR4_2_DQ2	IO_L11P_T1U_N8_GC_70	H25
PL_DDR4_2_DQ3	IO_L9P_T1L_N4_AD12P_70	J23
PL_DDR4_2_DQ4	IO_L8N_T1L_N3_AD5N_70	J26
PL_DDR4_2_DQ5	IO_L8P_T1L_N2_AD5P_70	K26
PL_DDR4_2_DQ6	IO_L11N_T1U_N9_GC_70	H26
PL_DDR4_2_DQ7	IO_L9N_T1L_N5_AD12N_70	J24
PL_DDR4_2_DQ8	IO_L3P_T0L_N4_AD15P_70	N24
PL_DDR4_2_DQ9	IO_L5P_T0U_N8_AD14P_70	P23
PL_DDR4_2_DQ10	IO_L2N_T0L_N3_70	L25

PL_DDR4_2_DQ11	IO_L6P_T0U_N10_AD6P_70	M23
PL_DDR4_2_DQ12	IO_L2P_T0L_N2_70	M25
PL_DDR4_2_DQ13	IO_L5N_T0U_N9_AD14N_70	N23
PL_DDR4_2_DQ14	IO_L3N_T0L_N5_AD15N_70	N25
PL_DDR4_2_DQ15	IO_L6N_T0U_N11_AD6N_70	L23
PL_DDR4_2_DQ16	IO_L20P_T3L_N2_AD1P_70	A27
PL_DDR4_2_DQ17	IO_L24P_T3U_N10_70	A24
PL_DDR4_2_DQ18	IO_L21P_T3L_N4_AD8P_70	C26
PL_DDR4_2_DQ19	IO_L23N_T3U_N9_70	C25
PL_DDR4_2_DQ20	IO_L21N_T3L_N5_AD8N_70	B27
PL_DDR4_2_DQ21	IO_L23P_T3U_N8_70	C24
PL_DDR4_2_DQ22	IO_L20N_T3L_N3_AD1N_70	A28
PL_DDR4_2_DQ23	IO_L24N_T3U_N11_70	A25
PL_DDR4_2_DQ24	IO_L17P_T2U_N8_AD10P_70	D27
PL_DDR4_2_DQ25	IO_L14N_T2L_N3_GC_70	E25
PL_DDR4_2_DQ26	IO_L17N_T2U_N9_AD10N_70	D28
PL_DDR4_2_DQ27	IO_L14P_T2L_N2_GC_70	F25
PL_DDR4_2_DQ28	IO_L15P_T2L_N4_AD11P_70	F27
PL_DDR4_2_DQ29	IO_L18N_T2U_N11_AD2N_70	E24
PL_DDR4_2_DQ30	IO_L15N_T2L_N5_AD11N_70	F28
PL_DDR4_2_DQ31	IO_L18P_T2U_N10_AD2P_70	F24
PL_DDR4_2_DQ32	IO_L11N_T1U_N9_GC_69	D31
PL_DDR4_2_DQ33	IO_L9P_T1L_N4_AD12P_69	A29
PL_DDR4_2_DQ34	IO_L9N_T1L_N5_AD12N_69	A30
PL_DDR4_2_DQ35	IO_L8N_T1L_N3_AD5N_69	B30
PL_DDR4_2_DQ36	IO_L11P_T1U_N8_GC_69	E31
PL_DDR4_2_DQ37	IO_L8P_T1L_N2_AD5P_69	C29
PL_DDR4_2_DQ38	IO_L12N_T1U_N11_GC_69	C31
PL_DDR4_2_DQ39	IO_L12P_T1U_N10_GC_69	C30
PL_DDR4_2_DQ40	IO_L2N_T0L_N3_69	H30
PL_DDR4_2_DQ41	IO_L6N_T0U_N11_AD6N_69	H28
PL_DDR4_2_DQ42	IO_L3P_T0L_N4_AD15P_69	F31
PL_DDR4_2_DQ43	IO_L5P_T0U_N8_AD14P_69	G28
PL_DDR4_2_DQ44	IO_L2P_T0L_N2_69	J30
PL_DDR4_2_DQ45	IO_L6P_T0U_N10_AD6P_69	J28

PL_DDR4_2_DQ46	IO_L3N_T0L_N5_AD15N_69	F32
PL_DDR4_2_DQ47	IO_L5N_T0U_N9_AD14N_69	F29
PL_DDR4_2_DQ48	IO_L24P_T3U_N10_69	C42
PL_DDR4_2_DQ49	IO_L21N_T3L_N5_AD8N_69	A38
PL_DDR4_2_DQ50	IO_L23P_T3U_N8_69	B40
PL_DDR4_2_DQ51	IO_L21P_T3L_N4_AD8P_69	A37
PL_DDR4_2_DQ52	IO_L24N_T3U_N11_69	B42
PL_DDR4_2_DQ53	IO_L20P_T3L_N2_AD1P_69	B36
PL_DDR4_2_DQ54	IO_L23N_T3U_N9_69	B41
PL_DDR4_2_DQ55	IO_L20N_T3L_N3_AD1N_69	B37
PL_DDR4_2_DQ56	IO_L15N_T2L_N5_AD11N_69	C33
PL_DDR4_2_DQ57	IO_L18P_T2U_N10_AD2P_69	A33
PL_DDR4_2_DQ58	IO_L17P_T2U_N8_AD10P_69	B35
PL_DDR4_2_DQ59	IO_L18N_T2U_N11_AD2N_69	A34
PL_DDR4_2_DQ60	IO_L15P_T2L_N4_AD11P_69	D33
PL_DDR4_2_DQ61	IO_L14N_T2L_N3_GC_69	B33
PL_DDR4_2_DQ62	IO_L17N_T2U_N9_AD10N_69	A35
PL_DDR4_2_DQ63	IO_L14P_T2L_N2_GC_69	B32
PL_DDR4_2_DQS0_N	IO_L10N_T1U_N7_QBC_AD4N_70	G23
PL_DDR4_2_DQS0_P	IO_L10P_T1U_N6_QBC_AD4P_70	H23
PL_DDR4_2_DQS1_N	IO_L4N_T0U_N7_DBC_AD7N_70	K24
PL_DDR4_2_DQS1_P	IO_L4P_T0U_N6_DBC_AD7P_70	L24
PL_DDR4_2_DQS2_N	IO_L22N_T3U_N7_DBC_AD0N_70	B26
PL_DDR4_2_DQS2_P	IO_L22P_T3U_N6_DBC_AD0P_70	B25
PL_DDR4_2_DQS3_N	IO_L16N_T2U_N7_QBC_AD3N_70	E27
PL_DDR4_2_DQS3_P	IO_L16P_T2U_N6_QBC_AD3P_70	E26
PL_DDR4_2_DQS4_N	IO_L10N_T1U_N7_QBC_AD4N_69	A32
PL_DDR4_2_DQS4_P	IO_L10P_T1U_N6_QBC_AD4P_69	B31
PL_DDR4_2_DQS5_N	IO_L4N_T0U_N7_DBC_AD7N_69	F30
PL_DDR4_2_DQS5_P	IO_L4P_T0U_N6_DBC_AD7P_69	G30
PL_DDR4_2_DQS6_N	IO_L22N_T3U_N7_DBC_AD0N_69	A40
PL_DDR4_2_DQS6_P	IO_L22P_T3U_N6_DBC_AD0P_69	A39
PL_DDR4_2_DQS7_N	IO_L16N_T2U_N7_QBC_AD3N_69	C34
PL_DDR4_2_DQS7_P	IO_L16P_T2U_N6_QBC_AD3P_69	D34
PL_DDR4_2_CLK_N	IO_L13N_T2L_N1_GC_QBC_71	G21

PL_DDR4_2_CLK_P	IO_L13P_T2L_N0_GC_QBC_71	G22
PL_DDR4_2_RST	IO_L17N_T2U_N9_AD10N_71	D21

(三) QSPI Flash

Z19-M 核心板配有 2 片 512MBit 大小的 Quad-SPI FLASH 芯片组成 8 位带宽数据总线, FLASH 型号为 MT25QU512ABB1EW9-0SIT, 它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性, 在使用中, 它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-3。

位号	芯片类型	容量	厂家
U2,U3	MT25QU512ABB1EW9-0SIT	512M bit	美光

表2-3 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上, 在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 2-3 为 QSPI Flash 在原理图中的部分。

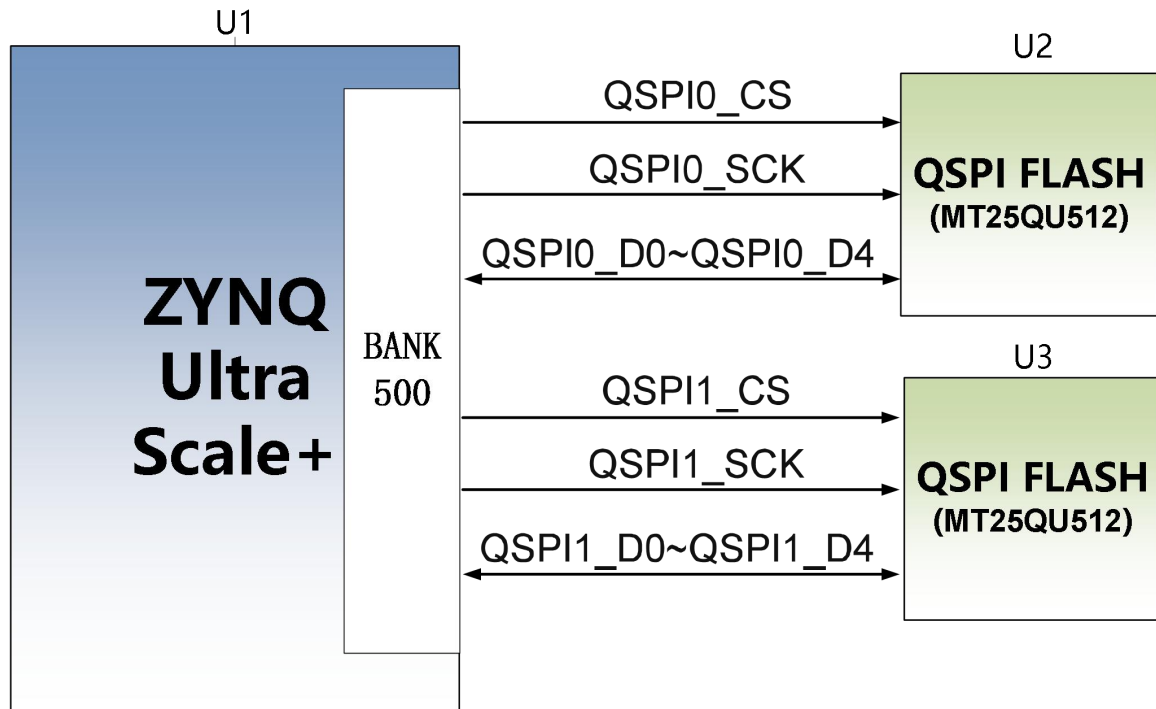


图 2-3 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	引脚名	引脚号
MIO5_QSPI0_SS_B	PS_MIO5_500	AL32
MIO0_QSPI0_SCLK	PS_MIO0_500	AM33
MIO4_QSPI0_IO0	PS_MIO4_500	AL33
MIO1_QSPI0_IO1	PS_MIO1_500	AM29
MIO2_QSPI0_IO2	PS_MIO2_500	AM31
MIO3_QSPI0_IO3	PS_MIO3_500	AM30
MIO7_QSPI1_SS_B	PS_MIO7_500	AL30
MIO12_QSPI1_SCLK	PS_MIO12_500	AJ34
MIO8_QSPI1_IO0	PS_MIO8_500	AK33
MIO9_QSPI1_IO1	PS_MIO9_500	AK34
MIO10_QSPI1_IO2	PS_MIO10_500	AK30
MIO11_QSPI1_IO3	PS_MIO11_500	AK32

(四) eMMC Flash

开发板配有一片大容量的 32GB 大小的 eMMC FLASH 芯片，型号为 MTFC32GAPALBH-IT，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V 或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 8bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-4。

位号	芯片类型	容量	厂家
U22	MTFC32GAPALBH-IT	32G Byte	Micron

表2-4 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ UltraScale+ 的 PS 部分 BANK500 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 EMMC 接口。为图 2-4 为 eMMC Flash 在原理图中的部分。

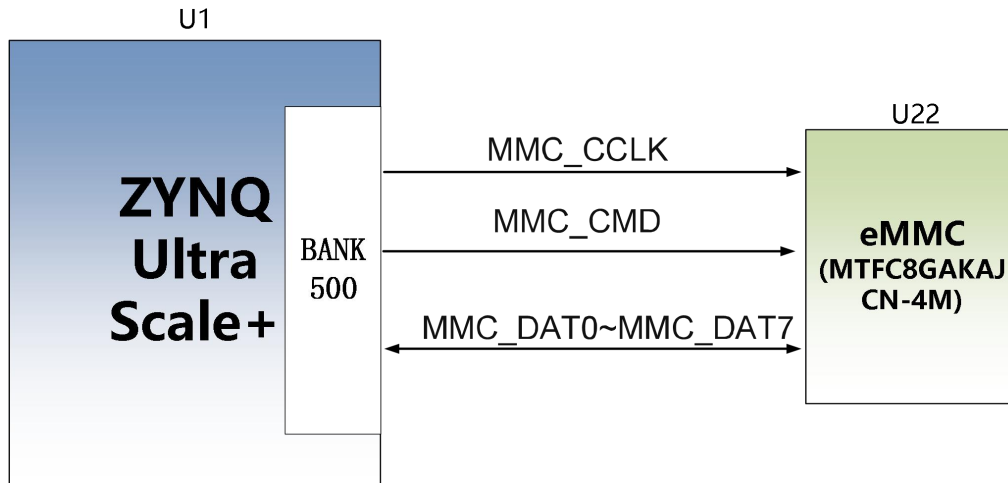


图 2-4 eMMC Flash 连接示意图

配置芯片引脚分配:

信号名称	引脚名	引脚号
MMC_CCLK	PS_MIO22_500	AH32
MMC_CMD	PS_MIO21_500	AF35
MMC_DAT0	PS_MIO13_500	AD34
MMC_DAT1	PS_MIO14_500	AJ32
MMC_DAT2	PS_MIO15_500	AD35
MMC_DAT3	PS_MIO16_500	AJ31
MMC_DAT4	PS_MIO17_500	AJ30
MMC_DAT5	PS_MIO18_500	AE34
MMC_DAT6	PS_MIO19_500	AE35
MMC_DAT7	PS_MIO20_500	AH34
MMC_RSTN	PS_MIO23_500	AG35

(五) 时钟配置

开发板上分别为 PS 系统, PL 逻辑部分提供了参考时钟和 RTC 实时时钟, 使 PS 系统和 PL 逻辑可以单独工作。时钟电路设计的示意图如下图 2-5 所示:

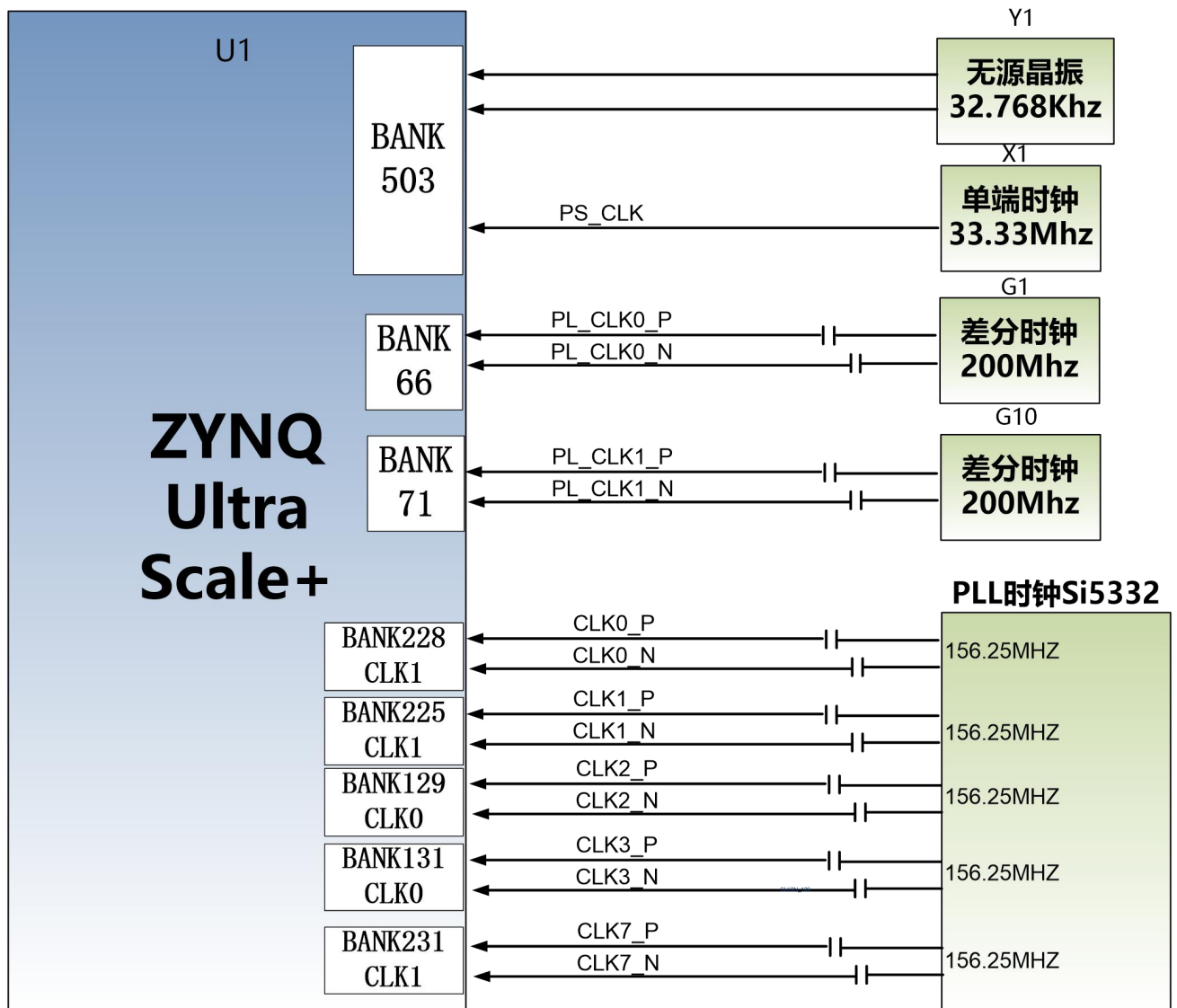


图 2-5 开发板时钟源

另外板上还有 1 片可编程的时钟芯片 Si5332BD11025-GM2 为高速收发器 GTH/GTY 提供差分时钟源。

PS 系统 RTC 实时时钟

核心板上的无源晶体 Y1 为 PS 系统的提供 32.768KHz 的实时时钟源。晶体连接到 ZYNQ 芯片的 BANK503 的 PS_PADI_503 和 PS_PADO_503 的管脚上。

时钟引脚分配:

信号名称	引脚
PS_PADI_503	AE28
PS_PADO_503	AE27

PS 系统时钟源

核心板上的 X1 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK503 的 PS_REF_CLK_503 的管脚上。

时钟引脚分配:

信号名称	引脚
PS_REF_CLK	AC27

PL 系统时钟源

板上提供了两个差分 200MHz 的 PL 系统时钟源，用于 DDR4 控制器的参考时钟。晶振输出连接到 PL BANK66 和 BANK71 的全局时钟(MRCC)，这个全局时钟可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。

PL 时钟引脚分配:

信号名称	引脚
PL_CLK0_P	AU14
PL_CLK0_N	AV14
PL_CLK1_P	H21
PL_CLK1_N	G20

收发器时钟源

可编程的时钟芯片 Si5332BD11025-GM2 为高速收发器 GTH/GTY 提供 156.25Mhz 差分时钟源。用于光纤数据通信。

收发器时钟引脚分配:

信号名称	管脚名	引脚
CLK0_P	MGTREFCLK1P_228	AA10
CLK0_N	MGTREFCLK1N_228	AA9
CLK1_P	MGTREFCLK1P_225	AG10
CLK1_N	MGTREFCLK1N_225	AG9
CLK2_P	MGTREFCLK0P_129	W32
CLK2_N	MGTREFCLK0N_129	W33
CLK3_P	MGTREFCLK0P_131	L32
CLK3_N	MGTREFCLK0N_131	L33
CLK7_P	MGTREFCLK1P_231	R10

CLK7_N	MGTREFCLK1N_231	R9
--------	-----------------	----

(六) 千兆以太网接口

MPSOC 系统有 1 路千兆以太网接口, 通过 RGMII 连接到 PS 端。GPHY 芯片采用 Micrel 公司的 KSZ9031RNX 以太网 PHY 芯片为用户提供网络通信服务。KSZ9031RNX 芯片支持 10/100/1000 Mbps 网络传输速率, 通过 RGMII 接口跟 ZU19EG 系统的 MAC 层进行数据通信。KSZ9031RNX 支持 MDI/MDX 自适应, 各种速度自适应, Master/Slave 自适应, 支持 MDIO 总线进行 PHY 的寄存器管理。

KSZ9031RNX 上电会检测一些特定的 IO 的电平状态, 从而确定自己的工作模式。表 2-6 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 011
CLK125_EN	使能 125Mhz 时钟输出选择	使能
LED_MODE	LED 灯模式配置	单个 LED 灯模式
MODE0~MODE3	链路自适应和全双工配置	10/100/1000 自适应, 兼容全双工、半双工

表 2-6 PHY 芯片默认配置值

当网络连接到千兆以太网时, ZYNQ 和 PHY 芯片 KSZ9031RNX 的数据传输时通过 RGMII 总线通信, 传输时钟为 125Mhz, 数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时, ZYNQ 和 PHY 芯片 KSZ9031RNX 的数据传输时通过 RMII 总线通信, 传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 2-6 为 ZYNQ 以太网 PHY 芯片连接示意图:

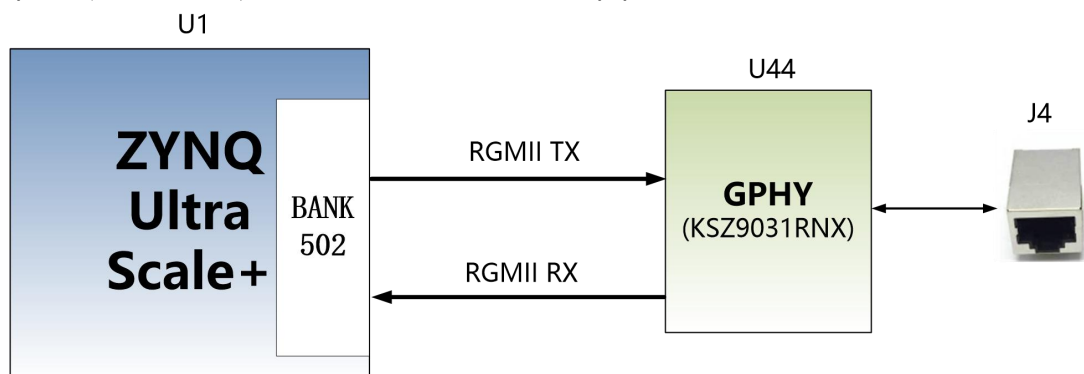


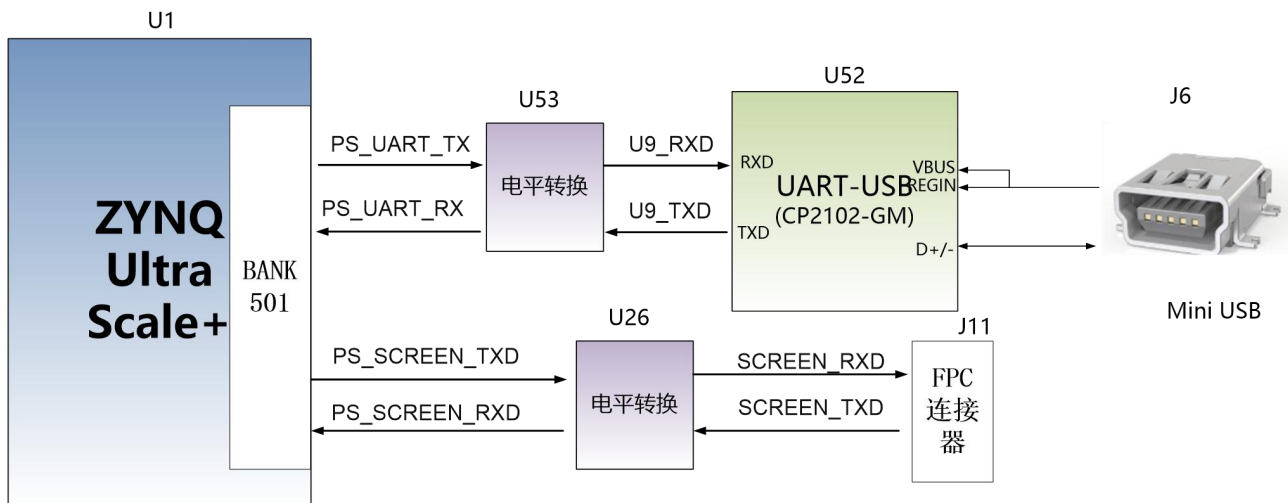
图 2-6 以太网连接示意图

PS 千兆以太网引脚分配如下:

信号名称	引脚名	引脚号	备注
PHY1_TXCK	PS_MIO64_502	AD32	以太网 1RGMII 发送时钟
PHY1_TXD0	PS_MIO65_502	AE29	以太网 1 发送数据 bit 0
PHY1_TXD1	PS_MIO66_502	AD33	以太网 1 发送数据 bit1
PHY1_TXD2	PS_MIO67_502	AE30	以太网 1 发送数据 bit2
PHY1_TXD3	PS_MIO68_502	AE33	以太网 1 发送数据 bit3
PHY1_TXCTL	PS_MIO69_502	AE32	以太网 1 发送使能信号
PHY1_RXCK	PS_MIO70_502	AF30	以太网 1RGMII 接收时钟
PHY1_RXD0	PS_MIO71_502	AF31	以太网 1 接收数据 Bit0
PHY1_RXD1	PS_MIO72_502	AF32	以太网 1 接收数据 Bit1
PHY1_RXD2	PS_MIO73_502	AG30	以太网 1 接收数据 Bit2
PHY1_RXD3	PS_MIO74_502	AG33	以太网 1 接收数据 Bit3
PHY1_RXCTL	PS_MIO75_502	AF33	以太网 1 接收数据有效信号
PHY1_MDC	PS_MIO76_502	AH31	以太网 1MDIO 管理时钟
PHY1_MDIO	PS_MIO77_502	AG31	以太网 1MDIO 管理数据

(七) Uart 接口

MPSOC 系统 连接了 2 个 Uart 接口。其中一个通过 UART 转 USB 芯片从 MINI USB 接口引出连接到 PS 端。转换芯片采用 Silicon Labs CP2102GM 芯片。可以用 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。第 2 路 UART 口从 PS 端通过一个 1mm 间距, 10pin 的 FPC 连接器引出, 可以用于连接串口屏等外设。Uart 电路设计的示意图如下图所示:。



2-7 USB 转串口示意图

USB 转串口的 ZYNQ 引脚分配:

信号名称	引脚名	引脚号	备注
PS_UART_RX	PS_MIO38_501	R27	PS Uart0 数据输入
PS_UART_TX	PS_MIO39_501	P29	PS Uart0 数据输出
PS_SCREEN_TXD	PS_MIO40_501	P28	PS Uart1 数据输出
PS_SCREEN_RXD	PS_MIO41_501	P30	PS Uart1 数据输入

(八) SD 卡槽

MPSOC系统包含了一个Micro型的SD卡接口，以提供用户访问SD卡存储器，用于存储ZU19EG芯片的BOOT程序，Linux操作系统内核，文件系统以及其它的用户数据文件。

SDIO信号与ZU19EG的PS BANK501的IO信号相连，因为501的VCCIO设置为1.8V，但SD卡的数据电平为3.3V，我们这里通过TXS02612电平转换器来连接。ZU19EG PS和SD卡连接器的原理图如图2-8所示。

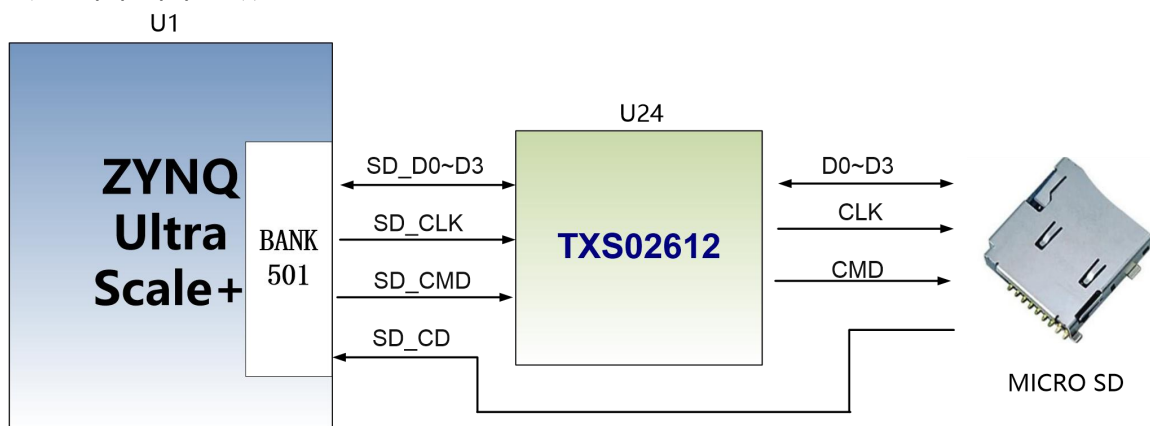


图 2-8 SD 卡连接示意图

SD 卡槽引脚分配

信号名称	引脚名	引脚号	备注
SD_CD	PS_MIO45_501	T29	SD 卡检测信号
SD_D0	PS_MIO46_501	U28	SD 数据 Data0
SD_D1	PS_MIO47_501	T28	SD 数据 Data1
SD_D2	PS_MIO48_501	V30	SD 数据 Data2
SD_D3	PS_MIO49_501	U29	SD 数据 Data3
SD_CMD	PS_MIO50_501	V29	SD 卡命令信号
SD_CLK	PS_MIO51_501	W30	SD 卡时钟信号

(九) 光纤接口

Z19-M扩展板上有2路QSFP28光纤接口，用户可以购买QSFP光模块插入到这2个光纤接口中进行光纤数据通信。2路光纤接口分别跟ZYNQ的BANK129和131的GTY收发器的4路RX/TX相连接，提供4个独立的发送和接收通道，每个功能可以在OM4 MMF的100米处进行25Gbps的运行，总体数据速率为100Gbps。BANK129和131的参考时钟由Si5332BD11025-4芯片提供的156.25MHZ。

ZYNQ Ultrascale+和光纤设计示意图如下图 14-1 所示:

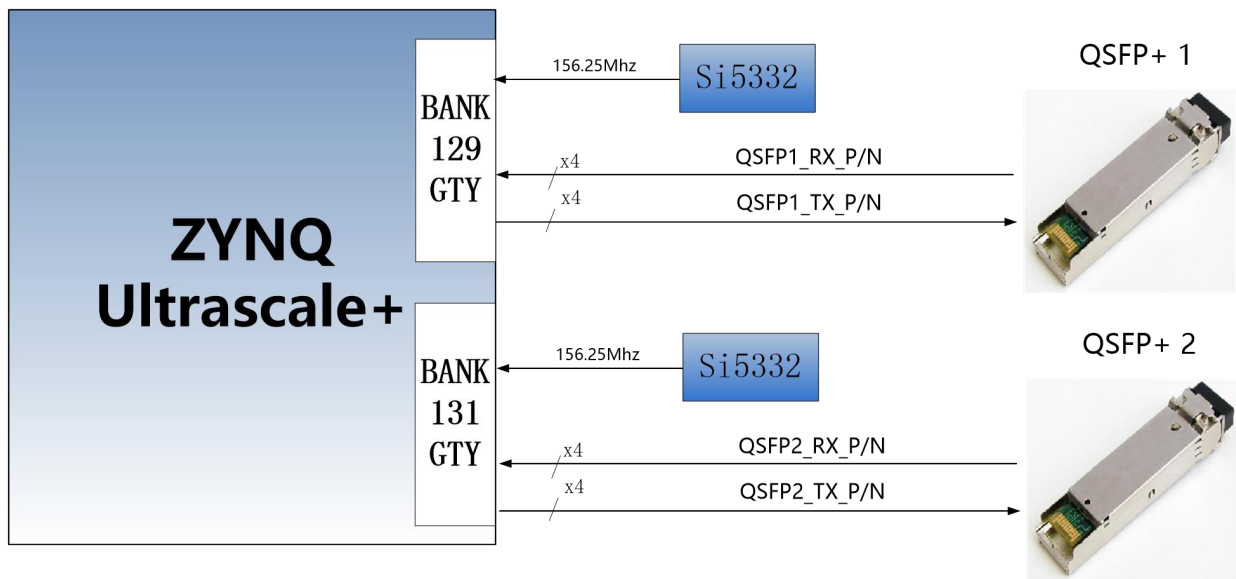


图 2-9 光纤设计示意图

4 路光纤接口 ZYNQ 引脚分配如下:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
QSFP1_RX1_N	MGTYRXN0_129	R42	光模块 1 数据接收负 1
QSFP1_RX1_P	MGTYRXP0_129	R41	光模块 1 数据接收正 1
QSFP1_RX2_N	MGTYRXN1_129	P40	光模块 1 数据接收负 2
QSFP1_RX2_P	MGTYRXP1_129	P39	光模块 1 数据接收正 2
QSFP1_RX3_N	MGTYRXN2_129	N42	光模块 1 数据接收负 3
QSFP1_RX3_P	MGTYRXP2_129	N41	光模块 1 数据接收正 3
QSFP1_RX4_N	MGTYRXN3_129	M40	光模块 1 数据接收负 4
QSFP1_RX4_P	MGTYRXP3_129	M39	光模块 1 数据接收正 4
QSFP1_TX1_N	MGTYTXN0_129	T35	光模块 1 数据发送负 1

QSFP1_TX1_P	MGTYTXP0_129	T34	光模块 1 数据发送正 1
QSFP1_TX2_N	MGTYTXN1_129	R37	光模块 1 数据发送负 2
QSFP1_TX2_P	MGTYTXP1_129	R36	光模块 1 数据发送正 2
QSFP1_TX3_N	MGTYTXN2_129	P35	光模块 1 数据发送负 3
QSFP1_TX3_P	MGTYTXP2_129	P34	光模块 1 数据发送正 3
QSFP1_TX4_N	MGTYTXN3_129	N37	光模块 1 数据发送负 4
QSFP1_TX4_P	MGTYTXP3_129	N36	光模块 1 数据发送正 4
129_CLK0_N	MGTREFCLK0N_129	W33	BANK129 参考时钟负
129_CLK0_P	MGTREFCLK0P_129	W32	BANK129 参考时钟正
QSFP2_RX1_N	MGTYRXN0_131	G42	光模块 2 数据接收负 1
QSFP2_RX1_P	MGTYRXP0_131	G41	光模块 2 数据接收正 1
QSFP2_RX2_N	MGTYRXN1_131	F40	光模块 2 数据接收负 2
QSFP2_RX2_P	MGTYRXP1_131	F39	光模块 2 数据接收正 2
QSFP2_RX3_N	MGTYRXN2_131	E42	光模块 2 数据接收负 3
QSFP2_RX3_P	MGTYRXP2_131	E41	光模块 2 数据接收正 3
QSFP2_RX4_N	MGTYRXN3_131	D40	光模块 2 数据接收负 4
QSFP2_RX4_P	MGTYRXP3_131	D39	光模块 2 数据接收正 4
QSFP2_TX1_N	MGTYTXN0_131	H35	光模块 2 数据发送负 1
QSFP2_TX1_P	MGTYTXP0_131	H34	光模块 2 数据发送正 1
QSFP2_TX2_N	MGTYTXN1_131	G37	光模块 2 数据发送负 2
QSFP2_TX2_P	MGTYTXP1_131	G36	光模块 2 数据发送正 2
QSFP2_TX3_N	MGTYTXN2_131	F35	光模块 2 数据发送负 3
QSFP2_TX3_P	MGTYTXP2_131	F34	光模块 2 数据发送正 3
QSFP2_TX4_N	MGTYTXN3_131	E37	光模块 2 数据发送负 4
QSFP2_TX4_P	MGTYTXP3_131	E36	光模块 2 数据发送正 4
131_CLK0_N	MGTREFCLK0N_131	L33	BANK131 参考时钟负
131_CLK0_P	MGTREFCLK0P_131	L32	BANK131 参考时钟正

(十) SDI 接口

Z19-M开发板上有 8 路 12G SDI 接口，每路 SDI 能单独配置成输入，或者配置成输出。每路 SDI 支持最高 11.88Gbps 的数据速率，8 路 SDI 视频信号的输入输出通过 75 欧姆走线阻抗跟 HDBNC 连接器 (型号: HDBNC-J-P-GN-RA-BH1) 连接。采用 SEMTECH 公司的双向 12G UHD-SDI 芯片 GS12190 实现 SDI 时钟恢复，信号驱动和信号均衡，输出

的 SDI 信号和恢复后的 SDI 信号FPGA 的GTH 收发器BANK225和BANK228连接。图 2-10-1为ZYNQ Ultrascale+与SDI接口设计的连接示意图

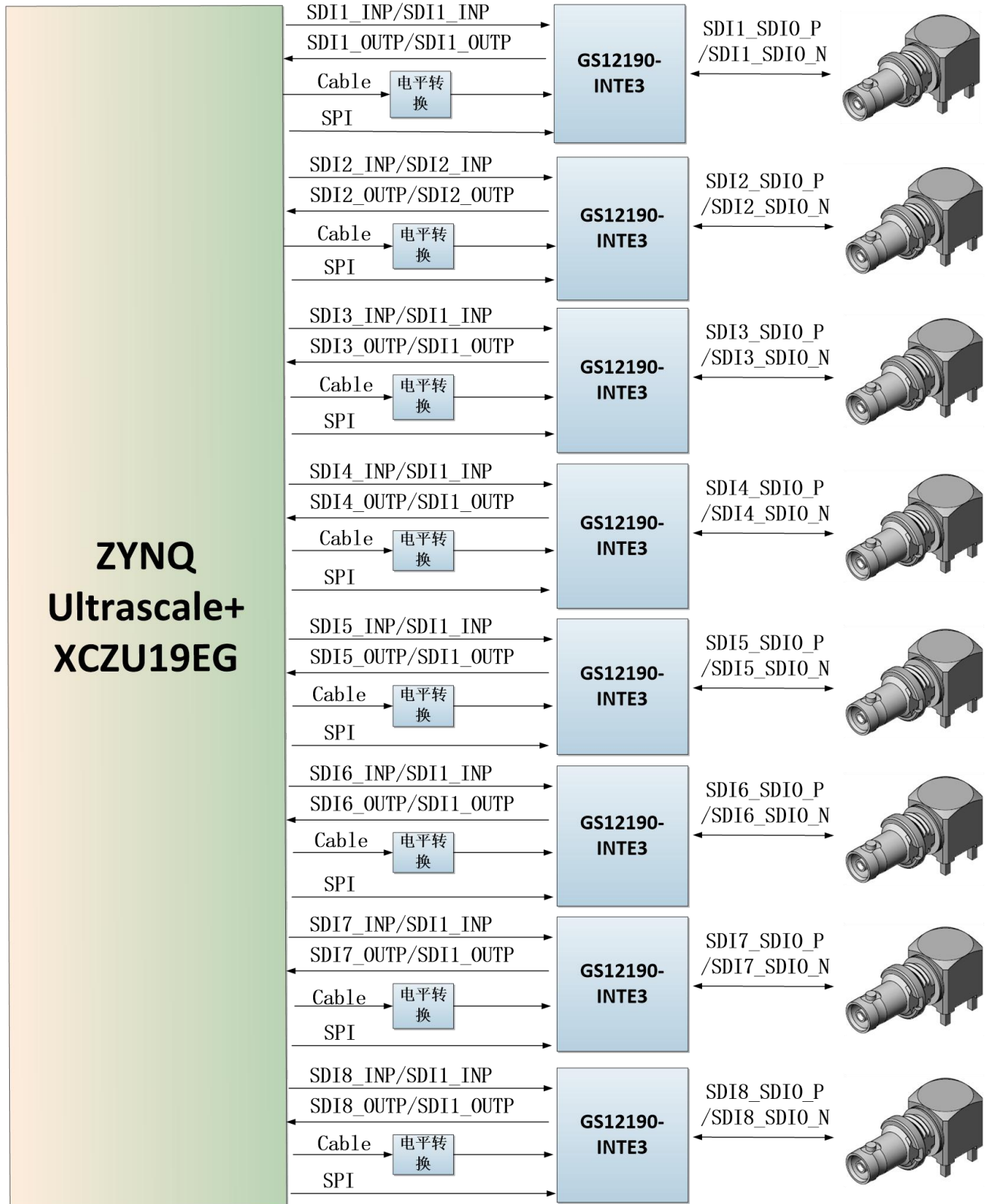


图 2-10-1 ZYNQ Ultrascale+与 SDI 接口设计的连接示意图

SDI 的参考时钟是有两路差分晶振提供, 一路为 148.5Mhz, 另一路为 148.35Mhz。FPGA 内部再通过选择, 输出 SDI 的参考时钟给收发器 GTH 的 BANK228, BANK225 的输入。

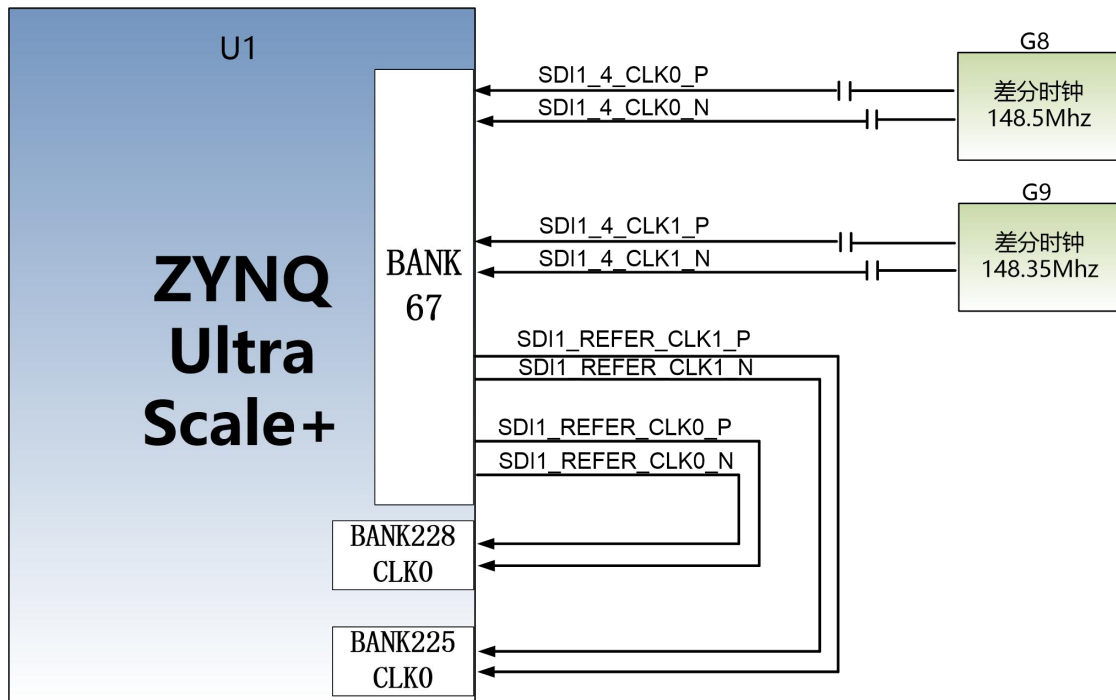


图 2-10-2 SDI 的参考时钟示意图

SDI 通信引脚分配如下:

信号名称	引脚名	引脚号	备注
SDI1_INN	MGHTXN2_228	AA5	第一路 SDI 输入的数据 N
SDI1_INP	MGHTXP2_228	AA6	第一路 SDI 输入的数据 P
SDI1_OUTN	MGTHRXN2_228	AB3	第一路 SDI 输出的数据 N
SDI1_OUTP	MGTHRXP2_228	AB4	第一路 SDI 输出的数据 P
SDI2_INN	MGHTXN0_228	AC5	第二路 SDI 输入的数据 N
SDI2_INP	MGHTXP0_228	AC6	第二路 SDI 输入的数据 P
SDI2_OUTN	MGTHRXN0_228	AD3	第二路 SDI 输出的数据 N
SDI2_OUTP	MGTHRXP0_228	AD4	第二路 SDI 输出的数据 P
SDI3_INN	MGHTXN3_228	Y7	第三路 SDI 输入的数据 N
SDI3_INP	MGHTXP3_228	Y8	第三路 SDI 输入的数据 P
SDI3_OUTN	MGTHRXN3_228	AA1	第三路 SDI 输出的数据 N
SDI3_OUTP	MGTHRXP3_228	AA2	第三路 SDI 输出的数据 P
SDI4_INN	MGHTXN1_228	AB7	第四路 SDI 输入的数据 N
SDI4_INP	MGHTXP1_228	AB8	第四路 SDI 输入的数据 P
SDI4_OUTN	MGTHRXN1_228	AC1	第四路 SDI 输出的数据 N
SDI4_OUTP	MGTHRXP1_228	AC2	第四路 SDI 输出的数据 P
SDI5_INN	MGHTXN2_225	AN5	第五路 SDI 输入的数据 N
SDI5_INP	MGHTXP2_225	AN6	第五路 SDI 输入的数据 P

SDI5_OUTN	MGTHRXN2_225	AP3	第五路 SDI 输出的数据 N
SDI5_OUTP	MGTHRXP2_225	AP4	第五路 SDI 输出的数据 P
SDI6_INN	MGHTTXN0_225	AR5	第六路 SDI 输入的数据 N
SDI6_INP	MGHTTXP0_225	AR6	第六路 SDI 输入的数据 P
SDI6_OUTN	MGTHRXN0_225	AT3	第六路 SDI 输出的数据 N
SDI6_OUTP	MGTHRXP0_225	AT4	第六路 SDI 输出的数据 P
SDI7_INN	MGHTTXN3_225	AM7	第七路 SDI 输入的数据 N
SDI7_INP	MGHTTXP3_225	AM8	第七路 SDI 输入的数据 P
SDI7_OUTN	MGTHRXN3_225	AN1	第七路 SDI 输出的数据 N
SDI7_OUTP	MGTHRXP3_225	AN2	第七路 SDI 输出的数据 P
SDI8_INN	MGHTTXN1_225	AP7	第八路 SDI 输入的数据 N
SDI8_INP	MGHTTXP1_225	AP8	第八路 SDI 输入的数据 P
SDI8_OUTN	MGTHRXN1_225	AR1	第八路 SDI 输出的数据 N
SDI8_OUTP	MGTHRXP1_225	AR2	第八路 SDI 输出的数据 P
SDI1_CABLE	IO_T3U_N12_68	A15	第一路 SDI 的输入输出选择
SDI2_CABLE	IO_L3N_AD9N_90	P13	第二路 SDI 的输入输出选择
SDI3_CABLE	IO_L3P_AD9P_90	R14	第三路 SDI 的输入输出选择
SDI4_CABLE	IO_T2U_N12_68	C14	第四路 SDI 的输入输出选择
SDI5_CABLE	IO_T2U_N12_67	AP11	第五路 SDI 的输入输出选择
SDI6_CABLE	IO_T1U_N12_67	AU10	第六路 SDI 的输入输出选择
SDI7_CABLE	O_T3U_N12_67	AP15	第七路 SDI 的输入输出选择
SDI8_CABLE	IO_L8N_T1L_N3_AD5N_68	AH16	第八路 SDI 的输入输出选择
12G_SDI1_CS	IO_L6N_HDGC_94	C1	第一路 SDI 的 SPI 片选
12G_SDI1_SCLK	IO_L4N_AD12N_94	D1	第一路 SDI 的 SPI 的时钟
12G_SDI1_SDIN	IO_L9P_AD11P_94	B2	第一路 SDI 的 SPI 数据输入
12G_SDI1_SDOOUT	IO_L9N_AD11N_94	B1	第一路 SDI 的 SPI 数据输出
12G_SDI2_CS	IO_L6N_T0U_N11_AD6N_67	BB4	第二路 SDI 的 SPI 片选
12G_SDI2_SCLK	IO_L3N_AD13N_94	E2	第二路 SDI 的 SPI 的时钟
12G_SDI2_SDIN	IO_L6P_HDGC_94	D2	第二路 SDI 的 SPI 数据输入
12G_SDI2_SDOOUT	IO_L4P_AD12P_94	E1	第二路 SDI 的 SPI 数据输出
12G_SDI3_CS	IO_L9P_T1L_N4_AD12P_67	AW11	第三路 SDI 的 SPI 片选
12G_SDI3_SCLK	IO_L6P_T0U_N10_AD6P_67	BB5	第三路 SDI 的 SPI 的时钟
12G_SDI3_SDIN	IO_L9N_T1L_N5_AD12N_67	AW10	第三路 SDI 的 SPI 数据输入
12G_SDI3_SDOOUT	IO_L3P_AD13P_94	E3	第三路 SDI 的 SPI 数据输出
12G_SDI4_CS	IO_L8P_HDGC_94	C4	第四路 SDI 的 SPI 片选
12G_SDI4_SCLK	IO_L8N_HDGC_94	C3	第四路 SDI 的 SPI 的时钟
12G_SDI4_SDIN	IO_L10P_AD10P_94	B3	第四路 SDI 的 SPI 数据输入
12G_SDI4_SDOOUT	IO_L10N_AD10N_94	A3	第四路 SDI 的 SPI 数据输出

12G_SD15_CABLE	IO_T2U_N12_67	AP11	第五路 SDI 的输入输出选择
12G_SD15_CS	IO_L7P_HDGC_94	C6	第五路 SDI 的 SPI 片选
12G_SD15_SCLK	IO_L7N_HDGC_94	C5	第五路 SDI 的 SPI 的时钟
12G_SD15_SDIN	IO_L12P_AD8P_94	A5	第五路 SDI 的 SPI 数据输入
12G_SD15_SDOOUT	IO_L12N_AD8N_94	A4	第五路 SDI 的 SPI 数据输出
12G_SD16_CABLE	IO_T1U_N12_67	AU10	第六路 SDI 的输入输出选择
12G_SD16_CS	IO_L8P_T1L_N2_AD5P_68	J16	第六路 SDI 的 SPI 片选
12G_SD16_SCLK	IO_L11N_AD9N_94	B5	第六路 SDI 的 SPI 的时钟
12G_SD16_SDIN	IO_L5P_HDGC_94	D4	第六路 SDI 的 SPI 数据输入
12G_SD16_SDOOUT	IO_L5N_HDGC_94	D3	第六路 SDI 的 SPI 数据输出
12G_SD17_CABLE	IO_T3U_N12_67	AP15	第七路 SDI 的输入输出选择
12G_SD17_CS	IO_L2P_AD14P_94	E5	第七路 SDI 的 SPI 片选
12G_SD17_SCLK	IO_L2N_AD14N_94	E4	第七路 SDI 的 SPI 的时钟
12G_SD17_SDIN	IO_L1P_AD15P_94	F5	第七路 SDI 的 SPI 数据输入
12G_SD17_SDOOUT	IO_L1N_AD15N_94	F4	第七路 SDI 的 SPI 数据输出
12G_SD18_CABLE	IO_L8N_T1L_N3_AD5N_68	H16	第八路 SDI 的输入输出选择
12G_SD18_CS	IO_L6N_T0U_N11_AD6N_68	K17	第八路 SDI 的 SPI 片选
12G_SD18_SCLK	IO_L6P_T0U_N10_AD6P_68	L17	第八路 SDI 的 SPI 的时钟
12G_SD18_SDIN	IO_T1U_N12_68	J17	第八路 SDI 的 SPI 数据输入
12G_SD18_SDOOUT	IO_L11P_AD9P_94	B6	第八路 SDI 的 SPI 数据输出
SDI1_4_CLK0_N	IO_L11N_T1U_N9_GC_67	AT12	SDI 参考时钟 0 输入 N
SDI1_4_CLK0_P	IO_L11P_T1U_N8_GC_67	AT13	SDI 参考时钟 0 输入 P
SDI1_4_CLK1_N	IO_L12N_T1U_N11_GC_67	AT10	SDI 参考时钟 1 输入 N
SDI1_4_CLK1_P	IO_L12P_T1U_N10_GC_67	AT11	SDI 参考时钟 1 输入 P
SDI1_REFER_CLK0_N	IO_L8N_T1L_N3_AD5N_67	AV11	SDI 收发器参考时钟 0 输入 N
SDI1_REFER_CLK0_P	IO_L8P_T1L_N2_AD5P_67	AU11	SDI 收发器参考时钟 0 输入 P
SDI1_REFER_CLK1_N	IO_L7N_T1L_N1_QBC_AD13N_67	AW12	SDI 收发器参考时钟 1 输入 N
SDI1_REFER_CLK1_P	IO_L7P_T1L_N0_QBC_AD13P_67	AV12	SDI 收发器参考时钟 1 输入 P

(十一) FMC 连接器

Z19-M 开发板带有一个 FMC HPC 的扩展口组成标准的双宽度 FMC 接口，可以外接 XILINX 或者我们黑金的各种 FMC 模块（HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等）。其中 FMC1 扩展口包含 36 对差分 IO 信号和 8 组 GTH 收发器信号。

FMC 扩展口的 36 对差分信号连接到 ZYNQ Ultrascale+ 芯片的 BANK67, 68 的 IO 上，电平标准为 1.8V 或者是 1.2V（跳帽 J10 来选择），差分信号支持 LVDS 数据通信。8 组 GTH 收发器信号连接到 BANK230 和 BANK231。ZYNQ Ultrascale+ 和 FMC 连接器的原理图如图

2-11 所示。

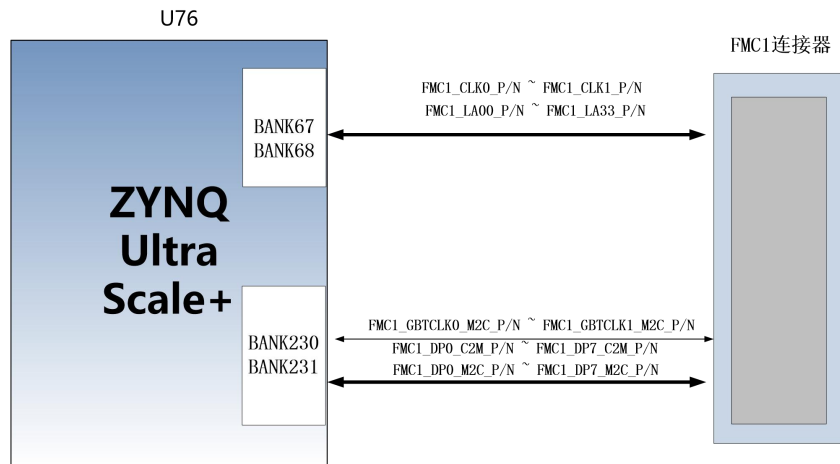


图 2-11 FMC 连接器连接示意图

FMC 连接器引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
FMC1_DP0_C2M_N	MGTHTXN0_230	R5	FMC收发器数据发送0负
FMC1_DP0_C2M_P	MGTHTXP0_230	R6	FMC收发器数据发送0正
FMC1_DP0_M2C_N	MGTHRXN0_230	T3	FMC收发器数据接收0负
FMC1_DP0_M2C_P	MGTHRXP0_230	T4	FMC收发器数据接收0正
FMC1_DP1_C2M_N	MGTHTXN1_230	P7	FMC收发器数据发送1负
FMC1_DP1_C2M_P	MGTHTXP1_230	P8	FMC收发器数据发送1正
FMC1_DP1_M2C_N	MGTHRXN1_230	R1	FMC收发器数据接收1负
FMC1_DP1_M2C_P	MGTHRXP1_230	R2	FMC收发器数据接收1正
FMC1_DP2_C2M_N	MGTHTXN2_230	N5	FMC收发器数据发送2负
FMC1_DP2_C2M_P	MGTHTXP2_230	N6	FMC收发器数据发送2正
FMC1_DP2_M2C_N	MGTHRXN2_230	P3	FMC收发器数据接收2负
FMC1_DP2_M2C_P	MGTHRXP2_230	P4	FMC收发器数据接收2正
FMC1_DP3_C2M_N	MGTHTXN3_230	M7	FMC收发器数据发送3负
FMC1_DP3_C2M_P	MGTHTXP3_230	M8	FMC收发器数据发送3正
FMC1_DP3_M2C_N	MGTHRXN3_230	N1	FMC收发器数据接收3负
FMC1_DP3_M2C_P	MGTHRXP3_230	N2	FMC收发器数据接收3正
FMC1_DP4_C2M_N	MGTHTXN1_231	K3	FMC收发器数据发送4负
FMC1_DP4_C2M_P	MGTHTXP1_231	K4	FMC收发器数据发送4正
FMC1_DP4_M2C_N	MGTHRXN1_231	L1	FMC收发器数据接收4负
FMC1_DP4_M2C_P	MGTHRXP1_231	L2	FMC收发器数据接收4正
FMC1_DP5_C2M_N	MGTHTXN3_231	H3	FMC收发器数据发送5负
FMC1_DP5_C2M_P	MGTHTXP3_231	H4	FMC收发器数据发送5正

FMC1_DP5_M2C_N	MGTHRXN3_231	G1	FMC收发器数据接收5负
FMC1_DP5_M2C_P	MGTHRXP3_231	G2	FMC收发器数据接收5正
FMC1_DP6_C2M_N	MGHTXN2_231	J5	FMC收发器数据发送6负
FMC1_DP6_C2M_P	MGHTXP2_231	J6	FMC收发器数据发送6正
FMC1_DP6_M2C_N	MGTHRXN2_231	J1	FMC收发器数据接收6负
FMC1_DP6_M2C_P	MGTHRXP2_231	J2	FMC收发器数据接收6正
FMC1_DP7_C2M_N	MGHTXN0_231	L5	FMC收发器数据发送7负
FMC1_DP7_C2M_P	MGHTXP0_231	L6	FMC收发器数据发送7正
FMC1_DP7_M2C_N	MGTHRXN0_231	M3	FMC收发器数据接收7负
FMC1_DP7_M2C_P	MGTHRXP0_231	M4	FMC收发器数据接收7正
FMC1_GBTCLK0_M2C_C_N	MGTREFCLK0N_230	V11	FMC收发器参考时钟0负
FMC1_GBTCLK0_M2C_C_P	MGTREFCLK0P_230	V12	FMC收发器参考时钟0正
FMC1_CLK0_N	IO_L16N_T2U_N7_QBC_AD3N_68	A12	FMC第1路参考时钟N
FMC1_CLK0_P	IO_L16P_T2U_N6_QBC_AD3P_68	B13	FMC第1路参考时钟P
FMC1_CLK1_N	IO_L10N_T1U_N7_QBC_AD4N_67	AV8	FMC第2路参考时钟N
FMC1_CLK1_P	IO_L10P_T1U_N6_QBC_AD4P_67	AV9	FMC第2路参考时钟P
FMC1_LA00_CC_N	IO_L11N_T1U_N9_GC_68	F17	FMC参考第0路数据N
FMC1_LA00_CC_P	IO_L11P_T1U_N8_GC_68	G17	FMC参考第0路数据P
FMC1_LA01_CC_N	IO_L12N_T1U_N11_GC_68	F15	FMC参考第1路数据N
FMC1_LA01_CC_P	IO_L12P_T1U_N10_GC_68	G16	FMC参考第1路数据P
FMC1_LA02_N	IO_L14N_T2L_N3_GC_68	D14	FMC参考第2路数据N
FMC1_LA02_P	IO_L14P_T2L_N2_GC_68	E15	FMC参考第2路数据P
FMC1_LA03_N	IO_L24N_T3U_N11_68	A18	FMC参考第3路数据N
FMC1_LA03_P	IO_L24P_T3U_N10_68	B18	FMC参考第3路数据P
FMC1_LA04_N	IO_L17N_T2U_N9_AD10N_68	A13	FMC参考第4路数据N
FMC1_LA04_P	IO_L17P_T2U_N8_AD10P_68	A14	FMC参考第4路数据P
FMC1_LA05_N	IO_L9N_T1L_N5_AD12N_68	H18	FMC参考第5路数据N
FMC1_LA05_P	IO_L9P_T1L_N4_AD12P_68	J18	FMC参考第5路数据P
FMC1_LA06_N	IO_L2N_T0L_N3_68	N16	FMC参考第6路数据N
FMC1_LA06_P	IO_L2P_T0L_N2_68	P16	FMC参考第6路数据P
FMC1_LA07_N	IO_L4N_T0U_N7_DBC_AD7N_68	L15	FMC参考第7路数据N
FMC1_LA07_P	IO_L4P_T0U_N6_DBC_AD7P_68	M15	FMC参考第7路数据P
FMC1_LA08_N	IO_L5N_T0U_N9_AD14N_68	K15	FMC参考第8路数据N

FMC1_LA08_P	IO_L5P_T0U_N8_AD14P_68	K16	FMC参考第8路数据P
FMC1_LA09_N	IO_L3N_T0L_N5_AD15N_68	M16	FMC参考第9路数据N
FMC1_LA09_P	IO_L3P_T0L_N4_AD15P_68	M17	FMC参考第9路数据P
FMC1_LA10_N	IO_L10N_T1U_N7_QBC_AD4N_68	F18	FMC参考第10路数据N
FMC1_LA10_P	IO_L10P_T1U_N6_QBC_AD4P_68	G18	FMC参考第10路数据P
FMC1_LA11_N	IO_L21N_T3L_N5_AD8N_68	D17	FMC参考第11路数据N
FMC1_LA11_P	IO_L21P_T3L_N4_AD8P_68	E17	FMC参考第11路数据P
FMC1_LA12_N	IO_L1N_T0L_N1_DBC_68	N15	FMC参考第12路数据N
FMC1_LA12_P	IO_L1P_T0L_N0_DBC_68	P15	FMC参考第12路数据P
FMC1_LA13_N	IO_L23N_T3U_N9_68	C18	FMC参考第13路数据N
FMC1_LA13_P	IO_L23P_T3U_N8_68	D18	FMC参考第13路数据P
FMC1_LA14_N	IO_L19N_T3L_N1_DBC_AD9N_68	D16	FMC参考第14路数据N
FMC1_LA14_P	IO_L19P_T3L_N0_DBC_AD9P_68	E16	FMC参考第14路数据P
FMC1_LA15_N	IO_L20N_T3L_N3_AD1N_68	B16	FMC参考第15路数据N
FMC1_LA15_P	IO_L20P_T3L_N2_AD1P_68	C16	FMC参考第15路数据P
FMC1_LA16_N	IO_L22N_T3U_N7_DBC_AD0N_68	A17	FMC参考第16路数据N
FMC1_LA16_P	IO_L22P_T3U_N6_DBC_AD0P_68	B17	FMC参考第16路数据P
FMC1_LA17_CC_N	IO_L14N_T2L_N3_GC_67	AR10	FMC参考第17路数据N
FMC1_LA17_CC_P	IO_L14P_T2L_N2_GC_67	AP10	FMC参考第17路数据P
FMC1_LA18_CC_N	IO_L13N_T2L_N1_GC_QBC_67	AR12	FMC参考第18路数据N
FMC1_LA18_CC_P	IO_L13P_T2L_N0_GC_QBC_67	AR13	FMC参考第18路数据P
FMC1_LA19_N	IO_L18N_T2U_N11_AD2N_67	AN10	FMC参考第19路数据N
FMC1_LA19_P	IO_L18P_T2U_N10_AD2P_67	AM10	FMC参考第19路数据P
FMC1_LA20_N	IO_L15N_T2L_N5_AD11N_67	AR14	FMC参考第20路数据N
FMC1_LA20_P	IO_L15P_T2L_N4_AD11P_67	AR15	FMC参考第20路数据P
FMC1_LA21_N	IO_L3N_T0L_N5_AD15N_67	AY8	FMC参考第21路数据N
FMC1_LA21_P	IO_L3P_T0L_N4_AD15P_67	AW8	FMC参考第21路数据P
FMC1_LA22_N	IO_L2N_T0L_N3_67	BB8	FMC参考第22路数据N
FMC1_LA22_P	IO_L2P_T0L_N2_67	BB9	FMC参考第22路数据P
FMC1_LA23_N	IO_L5N_T0U_N9_AD14N_67	BB6	FMC参考第23路数据N
FMC1_LA23_P	IO_L5P_T0U_N8_AD14P_67	BA6	FMC参考第23路数据P
FMC1_LA24_N	IO_L17N_T2U_N9_AD10N_67	AN11	FMC参考第24路数据N
FMC1_LA24_P	IO_L17P_T2U_N8_AD10P_67	AM11	FMC参考第24路数据P
FMC1_LA25_N	IO_L24N_T3U_N11_67	AK14	FMC参考第25路数据N
FMC1_LA25_P	IO_L24P_T3U_N10_67	AJ14	FMC参考第25路数据P
FMC1_LA26_N	IO_L1N_T0L_N1_DBC_67	AY9	FMC参考第26路数据N

FMC1_LA26_P	IO_L1P_T0L_N0_DBC_67	AW9	FMC参考第26路数据P
FMC1_LA27_N	IO_L4N_T0U_N7_DBC_AD7N_67	BA7	FMC参考第27路数据N
FMC1_LA27_P	IO_L4P_T0U_N6_DBC_AD7P_67	BA8	FMC参考第27路数据P
FMC1_LA28_N	IO_L16N_T2U_N7_QBC_AD3N_67	AP12	FMC参考第28路数据N
FMC1_LA28_P	IO_L16P_T2U_N6_QBC_AD3P_67	AN12	FMC参考第28路数据P
FMC1_LA29_N	IO_L19N_T3L_N1_DBC_AD9N_67	AM15	FMC参考第29路数据N
FMC1_LA29_P	IO_L19P_T3L_N0_DBC_AD9P_67	AL15	FMC参考第29路数据P
FMC1_LA30_N	IO_L22N_T3U_N7_DBC_AD0N_67	AP14	FMC参考第30路数据N
FMC1_LA30_P	IO_L22P_T3U_N6_DBC_AD0P_67	AN14	FMC参考第30路数据P
FMC1_LA31_N	IO_L20N_T3L_N3_AD1N_67	AK15	FMC参考第31路数据N
FMC1_LA31_P	IO_L20P_T3L_N2_AD1P_67	AJ15	FMC参考第31路数据P
FMC1_LA32_N	IO_L23N_T3U_N9_67	AN13	FMC参考第32路数据N
FMC1_LA32_P	IO_L23P_T3U_N8_67	AM13	FMC参考第32路数据P
FMC1_LA33_N	IO_L21N_T3L_N5_AD8N_67	AM14	FMC参考第33路数据N
FMC1_LA33_P	IO_L21P_T3L_N4_AD8P_67	AL14	FMC参考第33路数据P
FMC1_SCL	IO_L12P_AD8P_91	A10	FMC的I2C通信时钟
FMC1_SDA	IO_L12N_AD8N_91	A9	FMC的I2C通信数据

(十二) HDMI 2.1 接口

Z19-M 开发板上有四路 HDMI 2.1 输入和四路 HDMI 输出接口,使用二合一 HDMI 连接器,最高支持 8K@60Hz 输出和输出。HDMI 输入和输出驱动芯片是选用了安森美公司的 NB7NQ621M 芯片,它支持 HDMI 2.1 和 DisplayPort V1.4,最高速率支持 12Gbps。实现 TMDS 电平转换重驱动器与接收器均衡功能,增加信号的驱动能力。一路 HDMI 输入和一路 HDMI 输出接口设计的示意图如下图 2-12 所示:

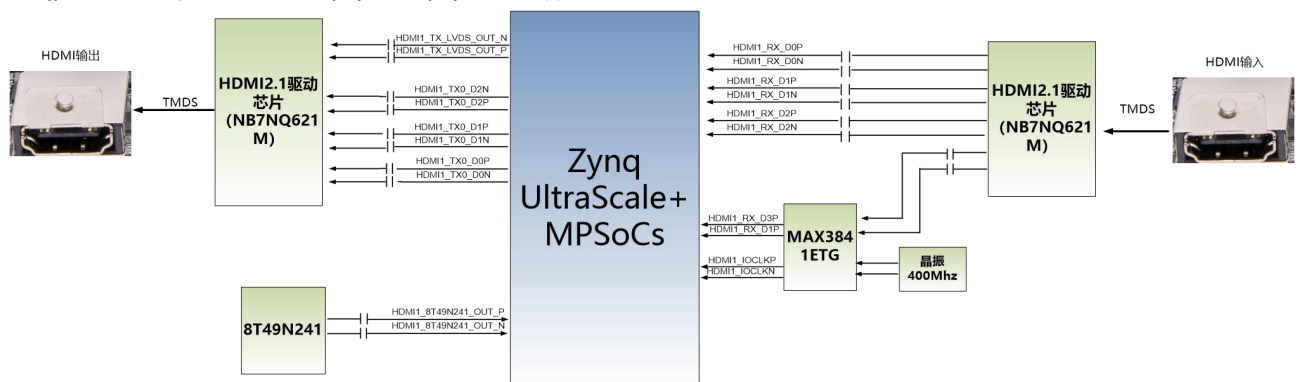


图 2-12 HDMI 接口设计的示意图

HDMI 接口 ZYNQ 引脚分配如下:

信号名称	引脚名	引脚号	备注
HDMI_RX_SCL	IO_L10N_AD2N_90	K10	HDMI 输入设备 I2C 控制时钟
HDMI_RX_SDA	IO_L10P_AD2P_90	K11	HDMI 输入设备 I2C 控制数据
HDMI_TX_SCL	IO_L3N_AD9N_93	H9	HDMI 输出设备 I2C 控制时钟
HDMI_TX_SDA	IO_L3P_AD9P_93	J9	HDMI 输出设备 I2C 控制数据
HDMI1_8T49N241_LOL	IO_L11P_AD9P_91	B12	第 1 路时钟芯片的 LOSS of LOCK 信号
HDMI1_8T49N241_OUT_N	MGTREFCLK1N_229	W9	第 1 路时钟芯片的时钟输出负
HDMI1_8T49N241_OUT_P	MGTREFCLK1P_229	W10	第 1 路时钟芯片的时钟输出正
HDMI1_CLK_REC_SCL	IO_L10N_AD10N_91	B10	第 1 路时钟芯片的 I2C 控制时钟
HDMI1_CLK_REC_SDA	IO_L10P_AD10P_91	C10	第 1 路时钟芯片的 I2C 控制数据
HDMI1_IOCLKN	MGTREFCLK0N_229	Y11	第 1 路 HDMI 视频输入时钟负
HDMI1_IOCLKP	MGTREFCLK0P_229	Y12	第 1 路 HDMI 视频输入时钟正
HDMI1_REC_CLOCK_N	IO_L18N_T2U_N11_AD2N_68	B15	第 1 路时钟芯片的参考时钟输入负
HDMI1_REC_CLOCK_P	IO_L18P_T2U_N10_AD2P_68	C15	第 1 路时钟芯片的参考时钟输入正
HDMI1_RX_D0N	MGTHRXN2_229	V3	第 1 路 HDMI 视频输入数据 0 负
HDMI1_RX_D0P	MGTHRXP2_229	V4	第 1 路 HDMI 视频输入数据 0 正
HDMI1_RX_D1N	MGTHRXN1_229	W1	第 1 路 HDMI 视频输入数据 1 负
HDMI1_RX_D1P	MGTHRXP1_229	W2	第 1 路 HDMI 视频输入数据 1 正
HDMI1_RX_D2N	MGTHRXN0_229	Y3	第 1 路 HDMI 视频输入数据 2 负
HDMI1_RX_D2P	MGTHRXP0_229	Y4	第 1 路 HDMI 视频输入数据 2 正
HDMI1_RX_D3N	MGTHRXN3_229	U1	第 1 路 HDMI 视频输入数据 3 负
HDMI1_RX_D3P	MGTHRXP3_229	U2	第 1 路 HDMI 视频输入数据 3 正
HDMI1_RX_DSCL	IO_L8N_HDGC_AD4N_93	C8	第 1 路 HDMI 输入 EDID 读写时钟
HDMI1_RX_DSDA	IO_L8P_HDGC_AD4P_93	D8	第 1 路 HDMI 输入 EDID 读写数据
HDMI1_SEL_FRL_N	IO_L7N_HDGC_AD5N_93	D7	第 1 路 HDMI 输入 4K 或 8K 选择
HDMI1_SNK_DET_N	IO_L7P_HDGC_AD5P_93	E7	第 1 路 HDMI 输入 5V 电源检测信号
HDMI1_SNK_HDP	IO_L9N_AD3N_93	D6	第 1 路 HDMI 输入 HDP 信号使能
HDMI1_TX_D0N	MGHTXN2_229	U5	第 1 路 HDMI 视频输出数据 0 负
HDMI1_TX_D0P	MGHTXP2_229	U6	第 1 路 HDMI 视频输出数据 0 正
HDMI1_TX_D1N	MGHTXN1_229	V7	第 1 路 HDMI 视频输出数据 1 负
HDMI1_TX_D1P	MGHTXP1_229	V8	第 1 路 HDMI 视频输出数据 1 正
HDMI1_TX_D2N	MGHTXN0_229	W5	第 1 路 HDMI 视频输出数据 2 负
HDMI1_TX_D2P	MGHTXP0_229	W6	第 1 路 HDMI 视频输出数据 2 正
HDMI1_TX_D3N	MGHTXN3_229	T7	第 1 路 HDMI 视频输出数据 3 负
HDMI1_TX_D3P	MGHTXP3_229	T8	第 1 路 HDMI 视频输出数据 3 正
HDMI1_TX_DSCL	IO_L5P_HDGC_AD7P_93	G7	第 1 路 HDMI 输出 EDID 读写时钟
HDMI1_TX_DSDA	IO_L5N_HDGC_AD7N_93	F7	第 1 路 HDMI 输出 EDID 读写数据
HDMI1_TX_HP_DEC	IO_L2N_AD10N_93	H8	第 1 路 HDMI 输出热插拔检测信号
HDMI2_8T49N241_LOL	IO_L11N_AD9N_91	B11	第 2 路时钟芯片的 LOSS of LOCK 信号
HDMI2_8T49N241_OUT_N	MGTREFCLK1N_227	AC9	第 2 路时钟芯片的时钟输出负
HDMI2_8T49N241_OUT_P	MGTREFCLK1P_227	AC10	第 2 路时钟芯片的时钟输出正

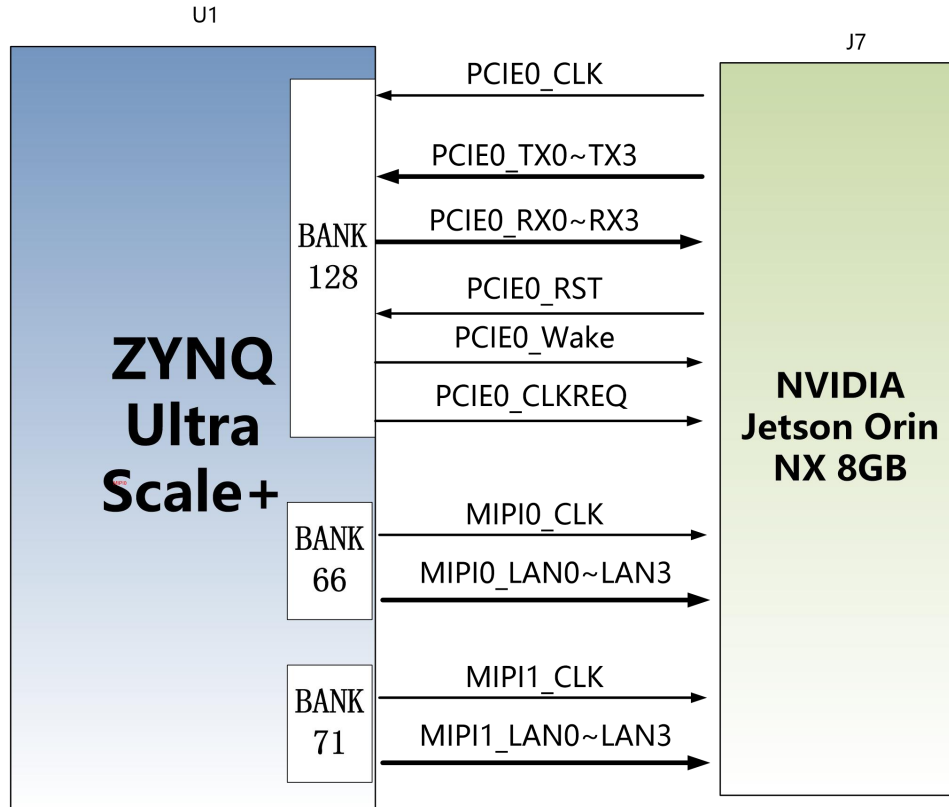
HDMI2_CLK_REC_SCL	IO_L9N_AD11N_91	C11	第 2 路时钟芯片的 I2C 控制时钟
HDMI2_CLK_REC_SDA	IO_L9P_AD11P_91	D11	第 2 路时钟芯片的 I2C 控制数据
HDMI2_IOCLKN	MGTREFCLK0N_227	AD11	第 2 路 HDMI 视频输入时钟负
HDMI2_IOCLKP	MGTREFCLK0P_227	AD12	第 2 路 HDMI 视频输入时钟正
HDMI2_REC_CLOCK_N	IO_L15N_T2L_N5_AD11N_68	C13	第 2 路时钟芯片的参考时钟输入负
HDMI2_REC_CLOCK_P	IO_L15P_T2L_N4_AD11P_68	D13	第 2 路时钟芯片的参考时钟输入正
HDMI2_RX_D0N	MGTHRXN2_227	AF3	第 2 路 HDMI 视频输入数据 0 负
HDMI2_RX_D0P	MGTHRXP2_227	AF4	第 2 路 HDMI 视频输入数据 0 正
HDMI2_RX_D1N	MGTHRXN1_227	AG1	第 2 路 HDMI 视频输入数据 1 负
HDMI2_RX_D1P	MGTHRXP1_227	AG2	第 2 路 HDMI 视频输入数据 1 正
HDMI2_RX_D2N	MGTHRXN0_227	AH3	第 2 路 HDMI 视频输入数据 2 负
HDMI2_RX_D2P	MGTHRXP0_227	AH4	第 2 路 HDMI 视频输入数据 2 正
HDMI2_RX_D3N	MGTHRXN3_227	AE1	第 2 路 HDMI 视频输入数据 3 负
HDMI2_RX_D3P	MGTHRXP3_227	AE2	第 2 路 HDMI 视频输入数据 3 正
HDMI2_RX_DSCL	IO_L4N_AD8N_93	E9	第 2 路 HDMI 输入 EDID 读写时钟
HDMI2_RX_DSDA	IO_L4P_AD8P_93	F9	第 2 路 HDMI 输入 EDID 读写数据
HDMI2_SEL_FRL_N	IO_L2N_AD10N_90	N12	第 2 路 HDMI 输入 4K 或 8K 选择
HDMI2_SNK_DET_N	IO_L1N_AD11N_93	F6	第 2 路 HDMI 输入 5V 电源检测信号
HDMI2_SNK_HDP	IO_L1P_AD11P_93	G6	第 2 路 HDMI 输入 HDP 信号使能
HDMI2_TX_D0N	MGHTTXN2_227	AE5	第 2 路 HDMI 视频输出数据 0 负
HDMI2_TX_D0P	MGHTXP2_227	AE6	第 2 路 HDMI 视频输出数据 0 正
HDMI2_TX_D1N	MGHTTXN1_227	AF7	第 2 路 HDMI 视频输出数据 1 负
HDMI2_TX_D1P	MGHTXP1_227	AF8	第 2 路 HDMI 视频输出数据 1 正
HDMI2_TX_D2N	MGHTTXN0_227	AG5	第 2 路 HDMI 视频输出数据 2 负
HDMI2_TX_D2P	MGHTXP0_227	AG6	第 2 路 HDMI 视频输出数据 2 正
HDMI2_TX_D3N	MGHTTXN3_227	AD7	第 2 路 HDMI 视频输出数据 3 负
HDMI2_TX_D3P	MGHTXP3_227	AD8	第 2 路 HDMI 视频输出数据 3 正
HDMI2_TX_DSCL	IO_L6N_HDGC_AD6N_93	F8	第 2 路 HDMI 输出 EDID 读写时钟
HDMI2_TX_DSDA	IO_L6P_HDGC_AD6P_93	G8	第 2 路 HDMI 输出 EDID 读写数据
HDMI2_TX_HP_DEC	IO_L8N_HDGC_AD4N_90	L13	第 2 路 HDMI 输出热插拔检测信号
HDMI3_8T49N241_LOL	IO_L12N_AD0N_93	C9	第 3 路时钟芯片的 LOSS of LOCK 信号
HDMI3_8T49N241_OUT_N	MGTREFCLK1N_226	AE9	第 3 路时钟芯片的时钟输出负
HDMI3_8T49N241_OUT_P	MGTREFCLK1P_226	AE10	第 3 路时钟芯片的时钟输出正
HDMI3_CLK_REC_SCL	IO_L11N_AD1N_93	A8	第 3 路时钟芯片的 I2C 控制时钟
HDMI3_CLK_REC_SDA	IO_L11P_AD1P_93	B8	第 3 路时钟芯片的 I2C 控制数据
HDMI3_IOCLKN	MGTREFCLK0N_226	AF11	第 3 路 HDMI 视频输入时钟负
HDMI3_IOCLKP	MGTREFCLK0P_226	AF12	第 3 路 HDMI 视频输入时钟正
HDMI3_REC_CLOCK_N	IO_L7N_T1L_N1_QBC_AD13N_68	G15	第 3 路时钟芯片的参考时钟输入负
HDMI3_REC_CLOCK_P	IO_L7P_T1L_N0_QBC_AD13P_68	H15	第 3 路时钟芯片的参考时钟输入正
HDMI3_RX_D0N	MGTHRXN2_226	AK3	第 3 路 HDMI 视频输入数据 0 负
HDMI3_RX_D0P	MGTHRXP2_226	AK4	第 3 路 HDMI 视频输入数据 0 正

HDMI3_RX_D1N	MGTHRXN1_226	AL1	第 3 路 HDMI 视频输入数据 1 负
HDMI3_RX_D1P	MGTHRXP1_226	AL2	第 3 路 HDMI 视频输入数据 1 正
HDMI3_RX_D2N	MGTHRXN0_226	AM3	第 3 路 HDMI 视频输入数据 2 负
HDMI3_RX_D2P	MGTHRXP0_226	AM4	第 3 路 HDMI 视频输入数据 2 正
HDMI3_RX_D3N	MGTHRXN3_226	AJ1	第 3 路 HDMI 视频输入数据 3 负
HDMI3_RX_D3P	MGTHRXP3_226	AJ2	第 3 路 HDMI 视频输入数据 3 正
HDMI3_RX_DSCL	IO_L6P_HDGC_AD6P_90	M12	第 3 路 HDMI 输入 EDID 读写时钟
HDMI3_RX_DSDA	IO_L6N_HDGC_AD6N_90	M11	第 3 路 HDMI 输入 EDID 读写数据
HDMI3_SEL_FRL_N	IO_L2P_AD10P_90	P12	第 3 路 HDMI 输入 4K 或 8K 选择
HDMI3_SNK_DET_N	IO_L9N_AD3N_90	L10	第 3 路 HDMI 输入 5V 电源检测信号
HDMI3_SNK_HDP	IO_L9P_AD3P_90	M10	第 3 路 HDMI 输入 HDP 信号使能
HDMI3_TX_D0N	MGHTTXN2_226	AJ5	第 3 路 HDMI 视频输出数据 0 负
HDMI3_TX_D0P	MGHTTXP2_226	AJ6	第 3 路 HDMI 视频输出数据 0 正
HDMI3_TX_D1N	MGHTTXN1_226	AK7	第 3 路 HDMI 视频输出数据 1 负
HDMI3_TX_D1P	MGHTTXP1_226	AK8	第 3 路 HDMI 视频输出数据 1 正
HDMI3_TX_D2N	MGHTTXN0_226	AL5	第 3 路 HDMI 视频输出数据 2 负
HDMI3_TX_D2P	MGHTTXP0_226	AL6	第 3 路 HDMI 视频输出数据 2 正
HDMI3_TX_D3N	MGHTTXN3_226	AH7	第 3 路 HDMI 视频输出数据 3 负
HDMI3_TX_D3P	MGHTTXP3_226	AH8	第 3 路 HDMI 视频输出数据 3 正
HDMI3_TX_DSCL	IO_L2N_AD14N_91	G11	第 3 路 HDMI 输出 EDID 读写时钟
HDMI3_TX_DSDA	IO_L2P_AD14P_91	H11	第 3 路 HDMI 输出 EDID 读写数据
HDMI3_TX_HP_DEC	IO_L7P_HDGC_AD5P_90	L12	第 3 路 HDMI 输出热插拔检测信号
HDMI4_8T49N241_LOL	IO_L12P_AD0P_93	D9	第 4 路时钟芯片的 LOSS of LOCK 信号
HDMI4_8T49N241_OUT_N	MGTREFCLK1N_224	AJ9	第 4 路时钟芯片的时钟输出负
HDMI4_8T49N241_OUT_P	MGTREFCLK1P_224	AJ10	第 4 路时钟芯片的时钟输出正
HDMI4_CLK_REC_SCL	IO_L10N_AD2N_93	A7	第 4 路时钟芯片的 I2C 控制时钟
HDMI4_CLK_REC_SDA	IO_L10P_AD2P_93	B7	第 4 路时钟芯片的 I2C 控制数据
HDMI4_IOCLKN	MGTREFCLK0N_224	AK11	第 4 路 HDMI 视频输入时钟负
HDMI4_IOCLKP	MGTREFCLK0P_224	AK12	第 4 路 HDMI 视频输入时钟正
HDMI4_REC_CLOCK_N	IO_L13N_T2L_N1_GC_QBC_68	E14	第 4 路时钟芯片的参考时钟输入负
HDMI4_REC_CLOCK_P	IO_L13P_T2L_N0_GC_QBC_68	F14	第 4 路时钟芯片的参考时钟输入正
HDMI4_RX_D0N	MGTHRXN2_224	AV3	第 4 路 HDMI 视频输入数据 0 负
HDMI4_RX_D0P	MGTHRXP2_224	AV4	第 4 路 HDMI 视频输入数据 0 正
HDMI4_RX_D1N	MGTHRXN1_224	AW1	第 4 路 HDMI 视频输入数据 1 负
HDMI4_RX_D1P	MGTHRXP1_224	AW2	第 4 路 HDMI 视频输入数据 1 正
HDMI4_RX_D2N	MGTHRXN0_224	BA1	第 4 路 HDMI 视频输入数据 2 负
HDMI4_RX_D2P	MGTHRXP0_224	BA2	第 4 路 HDMI 视频输入数据 2 正
HDMI4_RX_D3N	MGTHRXN3_224	AU1	第 4 路 HDMI 视频输入数据 3 负
HDMI4_RX_D3P	MGTHRXP3_224	AU2	第 4 路 HDMI 视频输入数据 3 正
HDMI4_RX_DSCL	IO_L5N_HDGC_AD7N_90	M13	第 4 路 HDMI 输入 EDID 读写时钟
HDMI4_RX_DSDA	IO_L5P_HDGC_AD7P_90	N13	第 4 路 HDMI 输入 EDID 读写数据

HDMI4_SEL_FRL_N	IO_L8P_HDGC_AD4P_90	L14	第 4 路 HDMI 输入 4K 或 8K 选择
HDMI4_SNK_DET_N	IO_L1N_AD11N_90	N10	第 4 路 HDMI 输入 5V 电源检测信号
HDMI4_SNK_HDP	IO_L1P_AD11P_90	N11	第 4 路 HDMI 输入 HDP 信号使能
HDMI4_TX_D0N	MGTHTXN2_224	AU5	第 4 路 HDMI 视频输出数据 0 负
HDMI4_TX_D0P	MGTHTXP2_224	AU6	第 4 路 HDMI 视频输出数据 0 正
HDMI4_TX_D1N	MGTHTXN1_224	AW5	第 4 路 HDMI 视频输出数据 1 负
HDMI4_TX_D1P	MGTHTXP1_224	AW6	第 4 路 HDMI 视频输出数据 1 正
HDMI4_TX_D2N	MGTHTXN0_224	AY3	第 4 路 HDMI 视频输出数据 2 负
HDMI4_TX_D2P	MGTHTXP0_224	AY4	第 4 路 HDMI 视频输出数据 2 正
HDMI4_TX_D3N	MGTHTXN3_224	AT7	第 4 路 HDMI 视频输出数据 3 负
HDMI4_TX_D3P	MGTHTXP3_224	AT8	第 4 路 HDMI 视频输出数据 3 正
HDMI4_TX_DSCL	IO_L1N_AD15N_91	H10	第 4 路 HDMI 输出 EDID 读写时钟
HDMI4_TX_DSDA	IO_L1P_AD15P_91	J11	第 4 路 HDMI 输出 EDID 读写数据
HDMI4_TX_HP_DEC	IO_L7N_HDGC_AD5N_90	K12	第 4 路 HDMI 输出热插拔检测信号

(十三) ORIN 连接接口

ZYNQ UltraScale+ 芯片跟NVIDIA的ORIN模块的硬件连接接口有一路PCIE3.0 x4和两路MIPI x 4 Lane的接口。其中PCIE通信默认NVIDIA的ORIN为RC主设备，MPSOC为EP从设备。MIPI数据通信方向可以通过ORIN模块和MPSOC芯片的程序来配置。图2-13为MPSOC和ORIN模块的硬件连接示意图。



PCIE X4 和 MIPI 通信引脚分配如下:

信号名称	引脚名	引脚号	备注
MIPI0_CLK_N	IO_L19N_T3L_N1_DBC_AD9N_66	AK18	MIPI0 输入时钟负
MIPI0_CLK_P	IO_L19P_T3L_N0_DBC_AD9P_66	AJ18	MIPI0 输入时钟正
MIPI0_LAN0_N	IO_L23N_T3U_N9_66	AM16	MIPI0 输入的数据 LANE0 负
MIPI0_LAN0_P	IO_L23P_T3U_N8_66	AL16	MIPI0 输入的数据 LANE0 正
MIPI0_LAN1_N	IO_L20N_T3L_N3_AD1N_66	AM18	MIPI0 输入的数据 LANE1 负
MIPI0_LAN1_P	IO_L20P_T3L_N2_AD1P_66	AL18	MIPI0 输入的数据 LANE1 正
MIPI0_LAN2_N	IO_L21N_T3L_N5_AD8N_66	AN17	MIPI0 输入的数据 LANE2 负
MIPI0_LAN2_P	IO_L21P_T3L_N4_AD8P_66	AN18	MIPI0 输入的数据 LANE2 正
MIPI0_LAN3_N	IO_L22N_T3U_N7_DBC_AD0N_66	AK17	MIPI0 输入的数据 LANE3 负
MIPI0_LAN3_P	IO_L22P_T3U_N6_DBC_AD0P_66	AJ17	MIPI0 输入的数据 LANE3 正
MIPI1_CLK_N	IO_L19N_T3L_N1_DBC_AD9N_71	C19	MIPI1 输入时钟负
MIPI1_CLK_P	IO_L19P_T3L_N0_DBC_AD9P_71	D19	MIPI1 输入时钟正
MIPI1_LAN0_N	IO_L20N_T3L_N3_AD1N_71	B20	MIPI1 输入的数据 LANE0 负
MIPI1_LAN0_P	IO_L20P_T3L_N2_AD1P_71	C20	MIPI1 输入的数据 LANE0 正
MIPI1_LAN1_N	IO_L22N_T3U_N7_DBC_AD0N_71	B21	MIPI1 输入的数据 LANE1 负
MIPI1_LAN1_P	IO_L22P_T3U_N6_DBC_AD0P_71	C21	MIPI1 输入的数据 LANE1 正
MIPI1_LAN2_N	IO_L21N_T3L_N5_AD8N_71	A19	MIPI1 输入的数据 LANE2 负
MIPI1_LAN2_P	IO_L21P_T3L_N4_AD8P_71	A20	MIPI1 输入的数据 LANE2 正
MIPI1_LAN3_N	IO_L23N_T3U_N9_71	A22	MIPI1 输入的数据 LANE3 负
MIPI1_LAN3_P	IO_L23P_T3U_N8_71	B22	MIPI1 输入的数据 LANE3 正

MGT128_CLK0_N	MGTREFCLK0N_128	AB35	PCIE 通道参考时钟负
MGT128_CLK0_P	MGTREFCLK0P_128	AB34	PCIE 通道参考时钟正
MGT128_RX0_N	MGTYRXN0_128	W42	PCIE 通道 0 数据接收负
MGT128_RX0_P	MGTYRXP0_128	W41	PCIE 通道 0 数据接收正
MGT128_RX1_N	MGTYRXN1_128	V40	PCIE 通道 1 数据接收负
MGT128_RX1_P	MGTYRXP1_128	V39	PCIE 通道 1 数据接收正
MGT128_RX2_N	MGTYRXN2_128	U42	PCIE 通道 2 数据接收负
MGT128_RX2_P	MGTYRXP2_128	U41	PCIE 通道 2 数据接收正
MGT128_RX3_N	MGTYRXN3_128	T40	PCIE 通道 3 数据接收负
MGT128_RX3_P	MGTYRXP3_128	T39	PCIE 通道 3 数据接收正
MGT128_TX0_N	MGTYTXN0_128	Y35	PCIE 通道 0 数据发送负
MGT128_TX0_P	MGTYTXP0_128	Y34	PCIE 通道 0 数据发送正
MGT128_TX1_N	MGTYTXN1_128	W37	PCIE 通道 1 数据发送负
MGT128_TX1_P	MGTYTXP1_128	W36	PCIE 通道 1 数据发送正
MGT128_TX2_N	MGTYTXN2_128	V35	PCIE 通道 2 数据发送负
MGT128_TX2_P	MGTYTXP2_128	V34	PCIE 通道 2 数据发送正
MGT128_TX3_N	MGTYTXN3_128	U37	PCIE 通道 3 数据发送负
MGT128_TX3_P	MGTYTXP3_128	U36	PCIE 通道 3 数据发送正
PCIE0_CLKREQ_F	IO_L4P_AD12P_91	H14	PCIE 关闭参考时钟信号
PCIE_WAKE_F	IO_L2P_AD10P_93	J8	PCIE 唤醒信号
FPGA_PCIE_PERST_N	IO_L11P_AD1P_90	K14	PCIE 全局复位信号

(十四) EEPROM 和温度传感器

Z19-M开发板板载了两片EEPROM。其中一片型号为24LC04,容量为：4Kbit (2*256*8bit)，通过IIC总线连接到PS端进行通信。另外板上还带有一个高精度、低功耗、数字温度传感器芯片，型号为ON Semiconductor公司的LM75，LM75芯片的温度精度为0.5度。EEPROM和温度传感器通过I2C总线挂载到ZYNQ UltraScale+的Bank501 MIO上。图 2-14为EEPROM和温度传感器的原理图

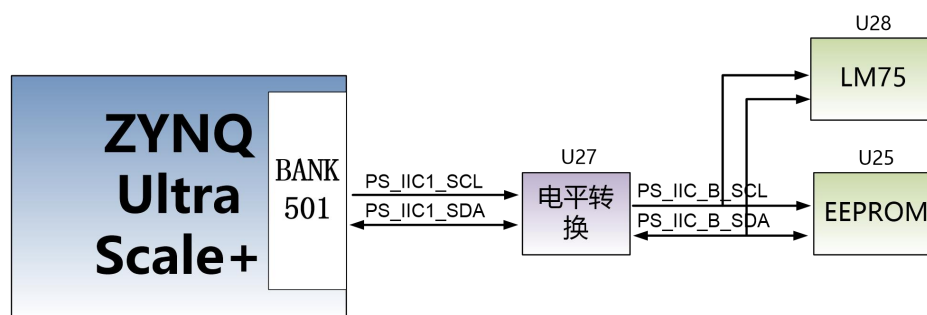


图 2-14 EEPROM 和传感器的原理图

I2C 通信引脚分配如下:

信号名称	引脚名	引脚号	备注
PS_IIC1_SCL	PS_MIO24_500	AH33	I2C 时钟信号
PS_IIC1_SDA	PS_MIO25_500	AG34	I2C 数据信号

(十五) LED 灯

Z19-M 开发板上有 2 个双色 LED 指示灯, 1 个按键指示灯。包含 1 个电源按键指示灯, 1 个 DONE 指示灯, 1 个 PS 控制指示灯, 1 个 PL 控制指示灯。用户可以通过程序来控制亮和灭, 用户 LED 灯硬件连接的示意图如图 2-15 所示:

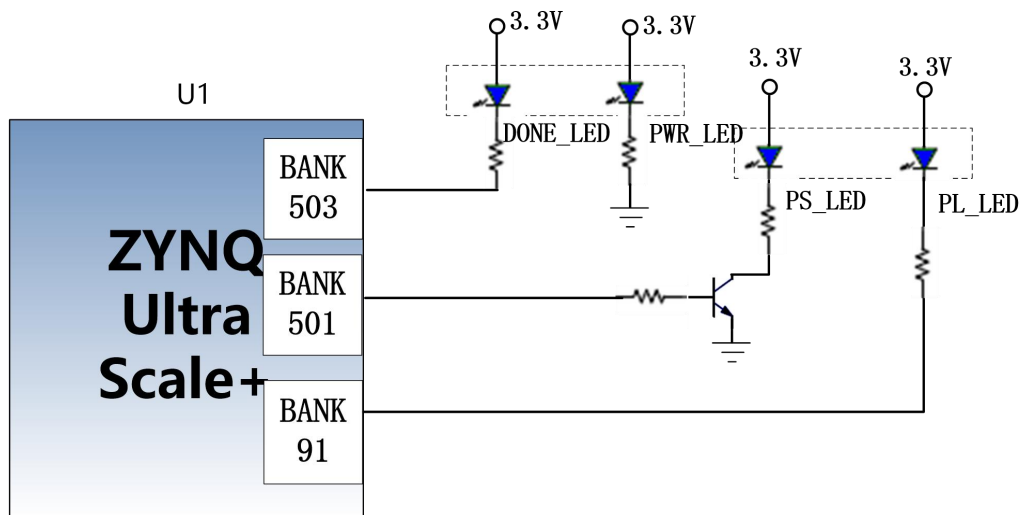


图 2-15 用户 LED 灯硬件连接示意图

用户 LED 灯的引脚分配

信号名称	引脚名	管脚号	备注
PS_LED1	PS_MIO42_501	T30	用户 PS LED 灯
PL_LED1	IO_L10P_AD10P_94	H13	用户 PL LED 灯

(十六) JTAG 调试口

在 Z19-M 开发板上预留了一个 JTAG 接口, 用于下载 ZYNQ UltraScale+ 程序或者固化程序到 FLASH。为了避免带电插拔造成对 ZYNQ UltraScale+ 芯片的损坏, 我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围。

JTAG Connector

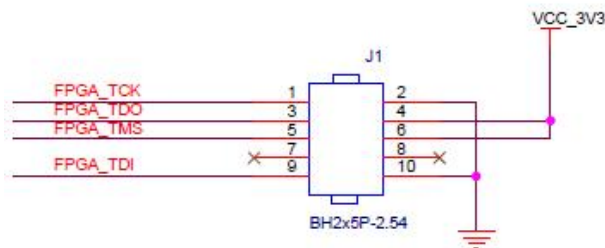


图2-16 原理图中JTAG接口部分

(十七) 拨码开关配置

开发板上有一个 4 位的拨码开关 SW1 用来配置 ZYNQ 系统的启动模式。Z19 系统开发平台支持 4 种启动模式。这 4 种启动模式分别是 JTAG 调试模式, QSPI FLASH, EMMC 和 SD2.0 卡启动模式。ZU19EG 芯片上电后会检测 (PS_MODE0~3) 的电平来决定那种启动模式。用户可以通过扩展板上的拨码开关 SW1 来选择不同的启动模式。SW1 启动模式配置如下表 2-16 所示。

SW1	拨码位置 (4, 3, 2, 1)	MODE[3:0]	启动模式
	ON, ON, ON, ON	0000	PS JTAG
	ON, ON, OFF, ON	0010	QSPI FLASH
	ON, OFF, ON, OFF	0101	SD卡
	ON, OFF, OFF, ON	0110	EMMC

表2-17 SW1启动模式配置

(十八) 风扇

因为 ZU19EG 正常工作时会产生大量的热量，我们在板上为芯片增加了一个散热片和风扇，防止芯片过热。风扇的控制由 ZYNQ 芯片来控制，控制管脚连接到 BANK90 的 IO 上 (FPGA 管脚 J4)，如果 IO 电平输出为高，MOSFET 管导通，风扇工作，如果 IO 电平输出为低，风扇停止。板上的风扇设计图如下图 2-18 所示：

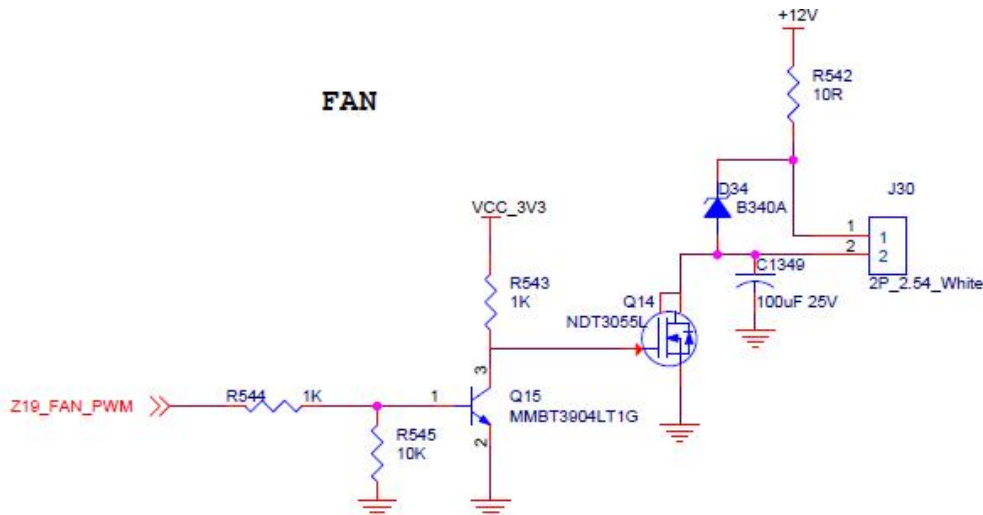


图 2-18 开发板原理图中风扇设计

风扇出厂前已经用螺丝固定在开发板上，风扇的电源连接到了 J30 的插座上，红色的为正极，黑色的为负极。

三、 ORIN 系统

(一) NVIDIA ORIN 模块

本开发板上带有一个 SO-DIMM 连接器，用于 NVIDIA 的 ORIN 模块。开发板上采用 NVIDIA Jetson Orin NX 8GB 模块，NVIDIA Jetson Orin NX 系列模块外形小巧，但可提供高达 70TOPS 的 AI 性能。模组由 NVIDIA 其它平台上使用的相同 AI 软件和云原生 workflow 提供支持。Jetson Orin 模组可提供企业在边缘构建自主机器所需的性能和能效，而强大的 Jetson 软件堆栈可让您更快地将产品推向市场，是学习和开发 AI 与机器人的理想之选。



Jetson Orin NX 具体性能如下:

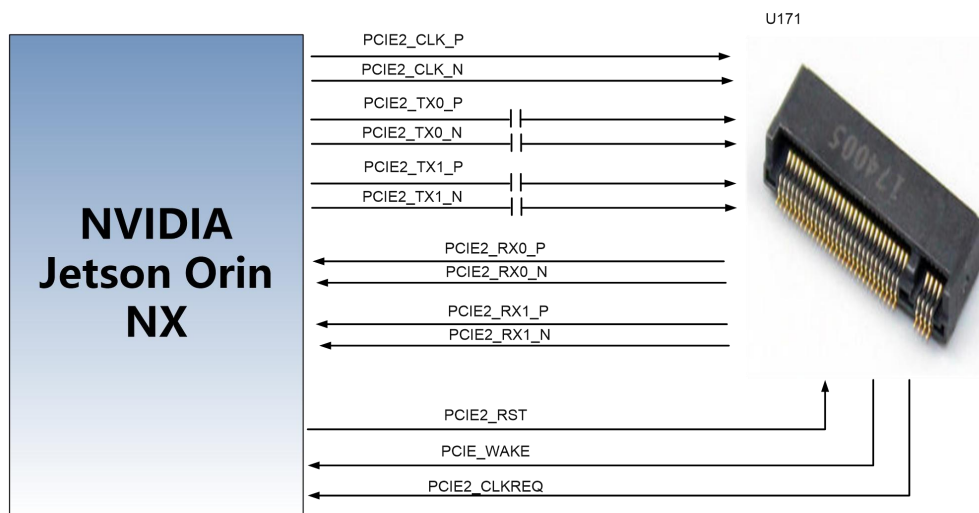
	Jetson Orin Nano 系列		Jetson Orin NX 系列		Jetson AGX Orin 系列		Jetson AGX Orin 开发者套件
	Jetson Orin Nano 4GB	Jetson Orin Nano 8GB	Jetson Orin NX 8GB	Jetson Orin NX 16GB	Jetson AGX Orin 32GB	Jetson AGX Orin 64GB	
AI 性能	20 TOPS	40 TOPS	70 TOPS	100 TOPS	200 TOPS	275 TOPS	
GPU	搭载 16 个 Tensor Core 的 512 核 NVIDIA Ampere 架构 GPU	搭载 32 个 Tensor Core 的 1024 核 NVIDIA Ampere 架构 GPU	搭载 32 个 Tensor Core 的 1024 核 NVIDIA Ampere 架构 GPU		搭载 56 个 Tensor Core 的 1792 核 NVIDIA Ampere 架构 GPU	搭载 64 个 Tensor Core 的 2048 核 NVIDIA Ampere 架构 GPU	
GPU 最大频率	625 MHz		765 MHz	918 MHz	930 MHz	1.3 GHz	
CPU	6 核 Arm® Cortex®-A78AE v8.2 64 位 CPU 1.5MB L2 + 4MB L3		6 核 Arm® Cortex®-A78AE v8.2 64 位 CPU 1.5MB L2 + 4MB L3	8 核 Arm® Cortex®-A78AE v8.2 64 位 CPU 2MB L2 + 4MB L3	12 核 Arm® Cortex®-A78AE v8.2 64 位 CPU 3MB L2 + 6MB L3		
CPU 最大频率	1.5 GHz		2 GHz		2.2 GHz		
DL 加速器	-		1x NVDLA v2		2x NVDLA v2		
DLA 最大频率	-		614 MHz		1.4 GHz	1.6 GHz	
视觉加速器	-		-		1x PVA v2		
安全集群引擎	-		-		-		
显存	4GB 64 位 LPDDR5 34 GB/s	8GB 128 位 LPDDR5 68 GB/s	8GB 128 位 LPDDR5 102.4GB/s	16GB 128 位 LPDDR5 102.4GB/s	32GB 256 位 LPDDR5 204.8GB/s	64 GB 256 位 LPDDR5 204.8GB/s	32GB 256 位 LPDDR5 204.8GB/s
存储	(支持外部 NVMe)				64GB eMMC 5.1		
视频编码	1080p30, 由 1-2 个 CPU 核心提供支持		1x 4K60 (H.265) 3x 4K30 (H.265) 6x 1080p60 (H.265) 12x 1080p30 (H.265)		2x 4K60 (H.265) 4x 4K30 (H.265) 8x 1080p60 (H.265) 16x 1080p30 (H.265)		
视频解码	1x 4K60 (H.265) 2x 4K30 (H.265) 5x 1080p60 (H.265) 11x 1080p30 (H.265)		1x 8K30 (H.265) 2x 4K60 (H.265) 4x 4K30 (H.265) 9x 1080p60 (H.265) 18x 1080p30 (H.265)		1x 8K30 (H.265) 3x 4K60 (H.265) 7x 4K30 (H.265) 11x 1080p60 (H.265) 22x 1080p30 (H.265)		

摄像头	多达 4 个摄像头 (通过虚拟通道最多可支持 8 个***) 8 通道 MIPI CSI-2 D-PHY 2.1 (高达 20 Gbps)				多达 6 个摄像头 (通过虚拟通道最多可支持 16 个) 16 通道 MIPI CSI-2 D-PHY 2.1 (高达 40Gbps) C-PHY 2.0 (高达 164Gbps)	16 通道 MIPI CSI-2 连接器
PCIe*	1 x4 + 3 x1 (PCIe 3.0, 根端口和端点)		1 x4 + 3 x1 (PCIe 4.0, 根端口和端点)		高达 2 x8 + 1 x4 + 2 x1 (PCIe 4.0, 根端口和端点)	支持 x8 PCIe 4.0 的 x16 PCIe 插槽 支持 x4 PCIe 4.0 的 M.2 Key M 插槽 支持 x1 PCIe 4.0 的 M.2 Key E 插槽
USB*	3x USB 3.2 2.0 (10 Gbps) 3x USB 2.0				3x USB 3.2 2.0 (10 Gbps) 4x USB 2.0	USB Type-C 连接器: 2x USB 3.2 2.0 USB Type-A 连接器: 2x USB 3.2 2.0, 2x USB 3.2 1.0 USB Micro-B 连接器: USB 2.0
网络*	1x GbE				1x GbE 1x 10GbE	RJ45 连接器, 至高可支持 10 GbE
显示接口	1x 4K30 多模 DP 1.2 (+MST)/eDP 1.4/HDMI 1.4**		1x 8K30 多模 DP 1.4a (+MST)/eDP 1.4a/HDMI 2.1		1x 8K60 多模 DP 1.4a (+MST)/eDP 1.4a/HDMI 2.1	1x DisplayPort 1.4a (+MST) 连接器
其他 I/O	3x UART, 2x SPI, 2x I2S, 4x I2C, 1x CAN, DMIC 和 DSPK, PWM, GPIO				4x UART, 3x SPI, 4x I2S, 8x I2C, 2x CAN, PWM, DMIC 和 DSPK, GPIO	40 针接头 (UART, SPI, I2S, I2C, CAN, PWM, DMIC, GPIO) 12 针自动化接头 10 针音频面板接头 10 针 JTAG 接头 4 针风扇接头 2 针 RTC 电池备份连接器 microSD 插槽 直流电源插座 电源、强制恢复和复位按钮
功率	7 瓦 - 10 瓦	7 瓦 - 15 瓦	10 瓦 - 20 瓦	10 瓦 - 25 瓦	15 瓦 - 40 瓦	15 瓦 - 60 瓦
规格尺寸	69.6 毫米 x 45 毫米 260 引脚 SO-DIMM 连接器				100 毫米 x 87 毫米 699 针 Molex Mirror Mezz 连接器 集成导热板	110 毫米 x 110 毫米 x 71.65 毫米 (高度包括支架、载板、模组和散热解决方案)

详细资料请参考模块的 datasheet “Jetson_Orin_NX_DS-10712-001_v1.0”。

(二) M.2 SSD 接口

ORIN 系统这边有一个 PCIe(x2) Gen4 标准的 M.2 接口, 用于连接 NVME 的 SSD 固态硬盘, ORIN 的数据和系统文件存储于 SSD 里。M.2 接口使用 M key 插槽, 只支持 PCIe, 不支持 SATA, 用户选择 SSD 固态硬盘的时候需要选择 PCIe 类型的 NVME SSD 固态硬盘。M.2 接口设计示意图如下:

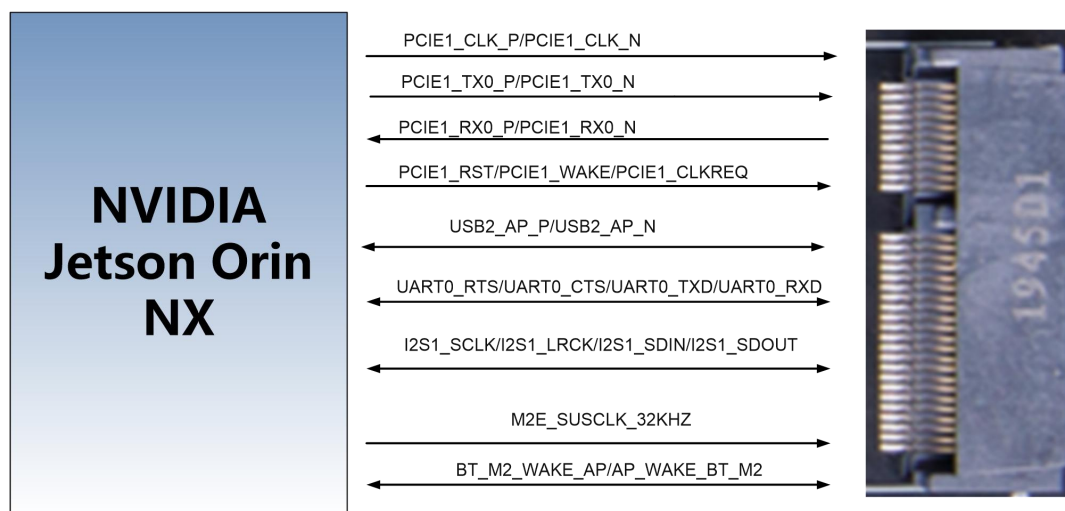


M.2 SSD 接口引脚分配:

40	PCIE2_RX0_N	PCle 2 Receive 0- (PCle Ctrl #7 Lane 0)	Input	PCle PHY
42	PCIE2_RX0_P	PCle 2 Receive 0+ (PCle Ctrl #7 Lane 0)	Input	PCle PHY
46	PCIE2_TX0_N	PCle 2 Transmit 0- (PCle Ctrl #7 Lane 0)	Output	PCle PHY
48	PCIE2_TX0_P	PCle 2 Transmit 0+ (PCle Ctrl #7 Lane 0)	Output	PCle PHY
58	PCIE2_RX1_N (PCIE3_RX0_N)	PCle 2 Receive 1- (PCle Ctrl #7 Lane 1) or PCle 3 Receive 0- (PCle Ctrl #9 Lane 0)	Input	PCle PHY
60	PCIE2_RX1_P (PCIE3_RX0_P)	PCle 2 Receive 1+ (PCle Ctrl #7 Lane 1) or PCle 3 Receive 0+ (PCle Ctrl #9 Lane 0)	Input	PCle PHY
64	PCIE2_TX1_N (PCIE3_TX0_N)	PCle 2 Transmit 1- (PCle Ctrl #7 Lane 1) or PCle 3 Transmit 0- (PCle Ctrl #9 Lane 0)	Output	PCle PHY
66	PCIE2_TX1_P (PCIE3_TX0_P)	PCle 2 Transmit 1+ (PCle Ctrl #7 Lane 1) or PCle 3 Transmit 0+ (PCle Ctrl #9 Lane 0)	Output	PCle PHY
52	PCIE2_CLK_N	PCle 2 Reference Clock- (PCle Ctrl #7)	Output	PCle PHY
54	PCIE2_CLK_P	PCle 2 Reference Clock+ (PCle Ctrl #7)	Output	PCle PHY
219	PCIE2_RST*	PCle 2 Reset (PCle Ctrl #7). 4.7kΩ pull-up to 3.3V on the module.	Output	Open Drain 3.3V
221	PCIE2_CLKREQ*	PCle 2 Clock Request (PCle Ctrl #7). 47kΩ pull-up to 3.3V on the module.	Bidir	Open Drain 3.3V

(三) M.2 WIFI/BT 接口

Z19-M 开发板上有一个 M.2 KEY E 的连接器，预留用于连接器 WIFI/BT 模块，接口包含 PCIe1, USB2.0, UART, I2S 和 I2C 等信号。



M.2 WIFI/BT 接口引脚分配:

Pin #	Signal Name	Description	Direction	Pin Type
99	UART0_TXD	UART #0 Transmit	Output	CMOS - 1.8V
101	UART0_RXD	UART #0 Receive	Input	CMOS - 1.8V
103	UART0_RTS*	UART #0 Request to Send	Output	CMOS - 1.8V
105	UART0_CTS*	UART #0 Clear to Send	Input	CMOS - 1.8V

226	I2S1_SCLK	I2S Audio Port 1 Clock	Bidir	CMOS - 1.8V
224	I2S1_FS	I2S Audio Port 1 Left/Right Clock	Bidir	CMOS - 1.8V
220	I2S1_DOUT	I2S Audio Port 1 Data Out	Output	CMOS - 1.8V
222	I2S1_DIN	I2S Audio Port 1 Data In	Input	CMOS - 1.8V
167	PCIE1_RX0_N	PCle 1 Receive 0- (PCle Ctrl #1 Lane 0)	Input	PCle PHY
169	PCIE1_RX0_P	PCle 1 Receive 0+ (PCle Ctrl #1 Lane 0)	Input	PCle PHY
172	PCIE1_TX0_N	PCle 1 Transmit 0- (PCle Ctrl #1 Lane 0)	Output	PCle PHY
174	PCIE1_TX0_P	PCle 1 Transmit 0+ (PCle Ctrl #1 Lane 0)	Output	PCle PHY
183	PCIE1_RST*	PCle 1 Reset (PCle Ctrl #1). 4.7kΩ pull-up to 3.3V on the module.	Output	Open Drain 3.3V
182	PCIE1_CLKREQ*	PCle 1 Clock Request (PCle Ctrl #1). 47kΩ pull-up to 3.3V on the module.	Bidir	Open Drain 3.3V
173	PCIE1_CLK_N	PCle 1 Reference Clock- (PCle Ctrl #1)	Output	PCle PHY
175	PCIE1_CLK_P	PCle 1 Reference Clock+ (PCle Ctrl #1)	Output	PCle PHY
121	USB2_D_N	USB 2.0 Port 2 Data-	Bidir	USB PHY
123	USB2_D_P	USB 2.0 Port 2 Data+	Bidir	USB PHY

(四) DP 显示接口

Jetson Orin NX 模块支持 DP 视频输出，开发板带有 1 路 DisplayPort 输出显示接口跟 Jetson Orin NX 模块连接，用于视频图像的显示。接口支持 VESA DisplayPort V1.2 和 eDP V1.4 输出标准。

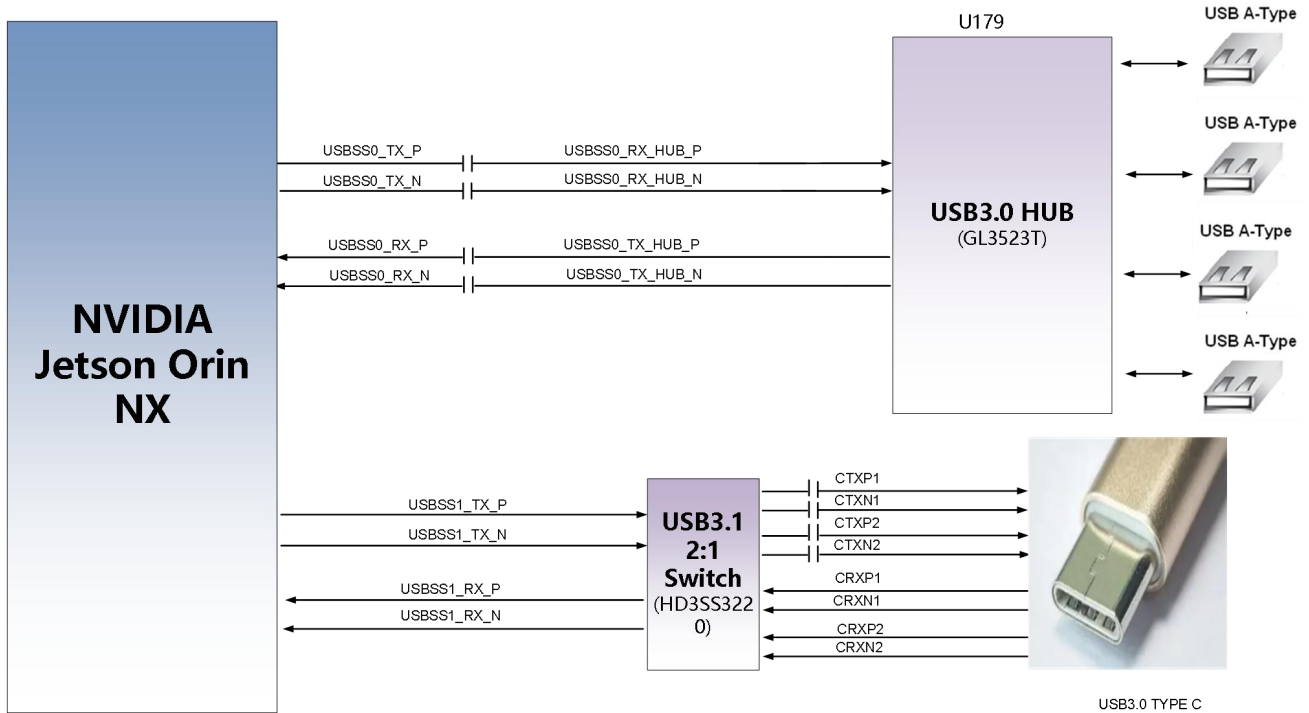
DisplayPort 接口引脚分配如下：

Jetson SODIMM Signal Name	Jetson Orin NX Function	Pin # Top Odd
------------------------------	----------------------------	------------------

DP1_TXD0_N	DP1_TXD0_N	63
DP1_TXD0_P	DP1_TXD0_P	65
GND	GND	67
DP1_TXD1_N	DP1_TXD1_N	69
DP1_TXD1_P	DP1_TXD1_P	71
GND	GND	73
DP1_TXD2_N	DP1_TXD2_N	75
DP1_TXD2_P	DP1_TXD2_P	77
GND	GND	79
DP1_TXD3_N	DP1_TXD3_N	81
DP1_TXD3_P	DP1_TXD3_P	83

(五) USB3.0 接口

NVIDIA Jetson Orin NX 模块的 USB0 接口通过 HUB 芯片 GL3523T 扩展成 4 个 USB3.0 接口(USB Type A), 支持 HOST 工作模式, 另外 USB1 接口设计成 USB3.0 TYPE C 接口, 支持 HOST、SLAVE、OTG 工作模式, 数据传输速度高达 5.0Gb/s。USB3.0 连接的示意图如 3-5 所示:



3-5 USB3.0 接口示意图

USB 接口引脚分配:

Table 2-11: USB 3.2 Pin Descriptions

Pin #	Signal Name	Description	Direction	Pin Type
161	USBSS0_RX_N	USB SS Receive- (USB 3.2 Port #0)	Input	USB SS PHY
163	USBSS0_RX_P	USB SS Receive+ (USB 3.2 Port #0)	Input	USB SS PHY
166	USBSS0_TX_N	USB SS Transmit- (USB 3.2 Port #0)	Output	USB SS PHY
168	USBSS0_TX_P	USB SS Transmit+ (USB 3.2 Port #0)	Output	USB SS PHY
39	USBSS1_RX_N	USB SS Receive- (USB 3.2 Port #1)	Input	USB SS PHY
41	USBSS1_RX_P	USB SS Receive+ (USB 3.2 Port #1)	Input	USB SS PHY
45	USBSS1_TX_N	USB SS Transmit- (USB 3.2 Port #1)	Output	USB SS PHY
47	USBSS1_TX_P	USB SS Transmit+ (USB 3.2 Port #1)	Output	USB SS PHY
51	USBSS2_RX_N	USB SS Receive- (USB 3.2 Port #2)	Input	USB SS PHY
53	USBSS2_RX_P	USB SS Receive+ (USB 3.2 Port #2)	Input	USB SS PHY
57	USBSS2_TX_N	USB SS Transmit- (USB 3.2 Port #2)	Output	USB SS PHY
59	USBSS2_TX_P	USB SS Transmit+ (USB 3.2 Port #2)	Output	USB SS PHY

(六) 千兆以太网接口

NVIDIA Jetson Orin NX 模块扩展了 1 路千兆以太网接口，模块输出的 MDI 信号直接连接到 RJ45 连接器。图 3-6 为以太网连接示意图:

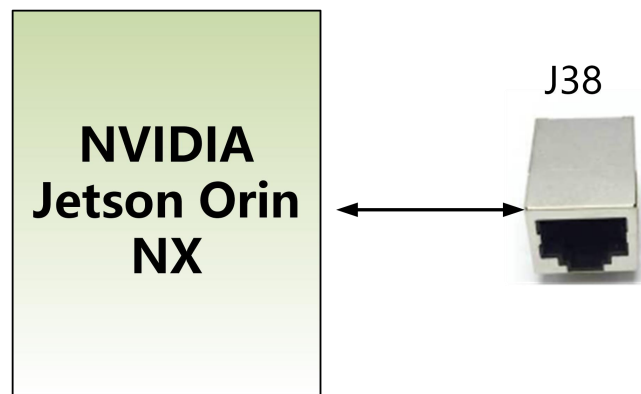


图 3-6 以太网连接示意图

NVIDIA Jetson Orin NX 千兆以太网引脚分配如下：

Pin #	Signal Name	Description	Direction	Pin Type
184	GBE_MDIO_N	GbE Transformer Data 0-	Bidir	MDI
186	GBE_MDIO_P	GbE Transformer Data 0+	Bidir	MDI
190	GBE_MDII1_N	GbE Transformer Data 1-	Bidir	MDI
192	GBE_MDII1_P	GbE Transformer Data 1+	Bidir	MDI
196	GBE_MDII2_N	GbE Transformer Data 2-	Bidir	MDI
198	GBE_MDII2_P	GbE Transformer Data 2+	Bidir	MDI
202	GBE_MDII3_N	GbE Transformer Data 3-	Bidir	MDI
204	GBE_MDII3_P	GbE Transformer Data 3+	Bidir	MDI
188	GBE_LED_LINK	Ethernet Link LED (Green)	Output	-
194	GBE_LED_ACT	Ethernet Activity LED (Yellow)	Output	-

(七) EEPROM

板上有一个 EEPROM 芯片，型号为 24AA04 I/SN，容量为 4Kbit，通过 IIC 总线连接到 NVIDIA Jetson Orin NX 进行通信，EEPROM 与 NVIDIA Jetson Orin NX 模块通信引脚分配如下：

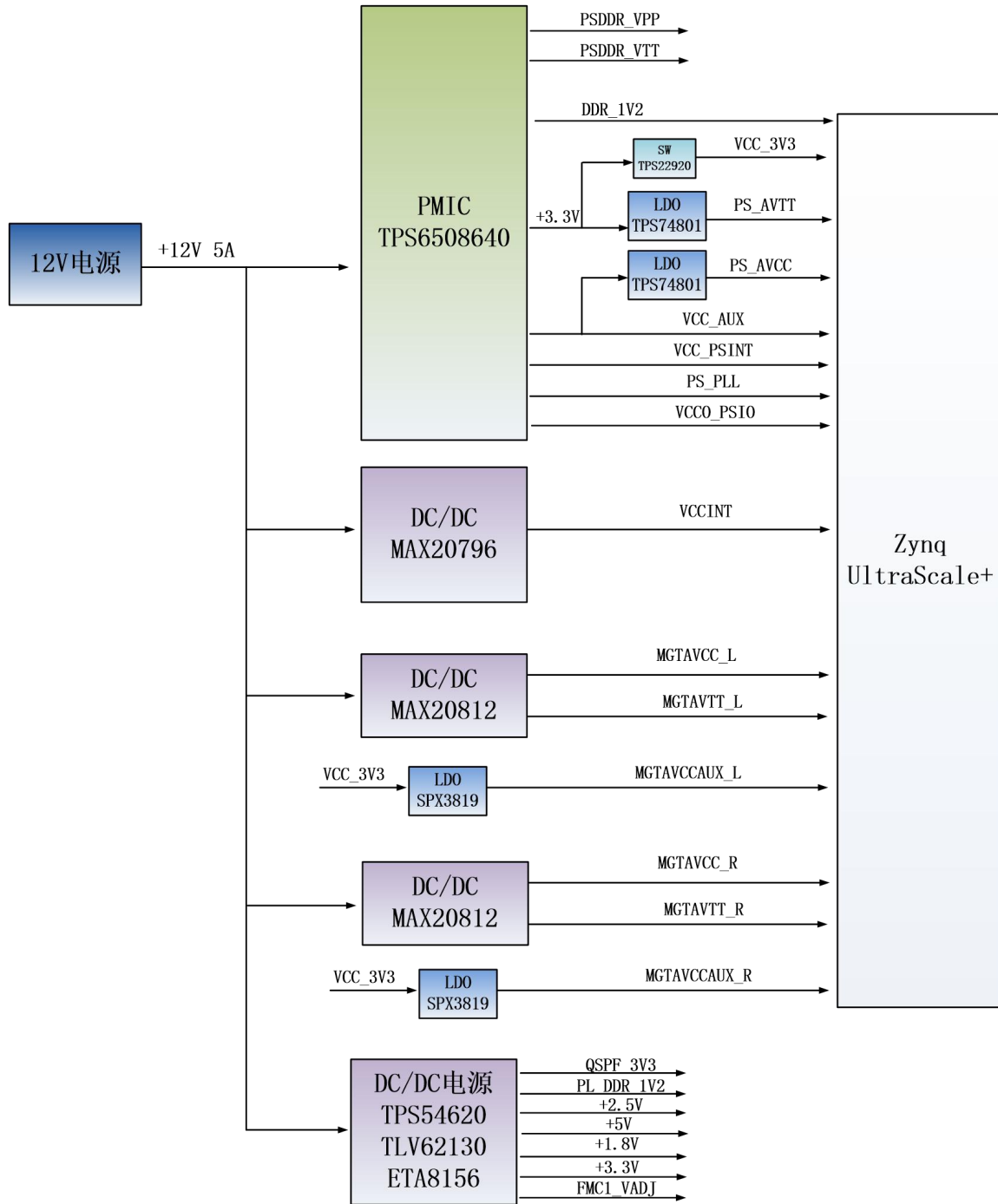
Pin #	Signal Name	Description	Direction	Pin Type
232	I2C2_SCL	General I2C 2 Clock. 2.2kΩ pull-up to 1.8V on the module.	Bidir	Open Drain - 1.8V
234	I2C2_SDA	General I2C 2 Data. 2.2kΩ pull-up to 1.8V on the module.	Bidir	Open Drain - 1.8V

四、电源供电

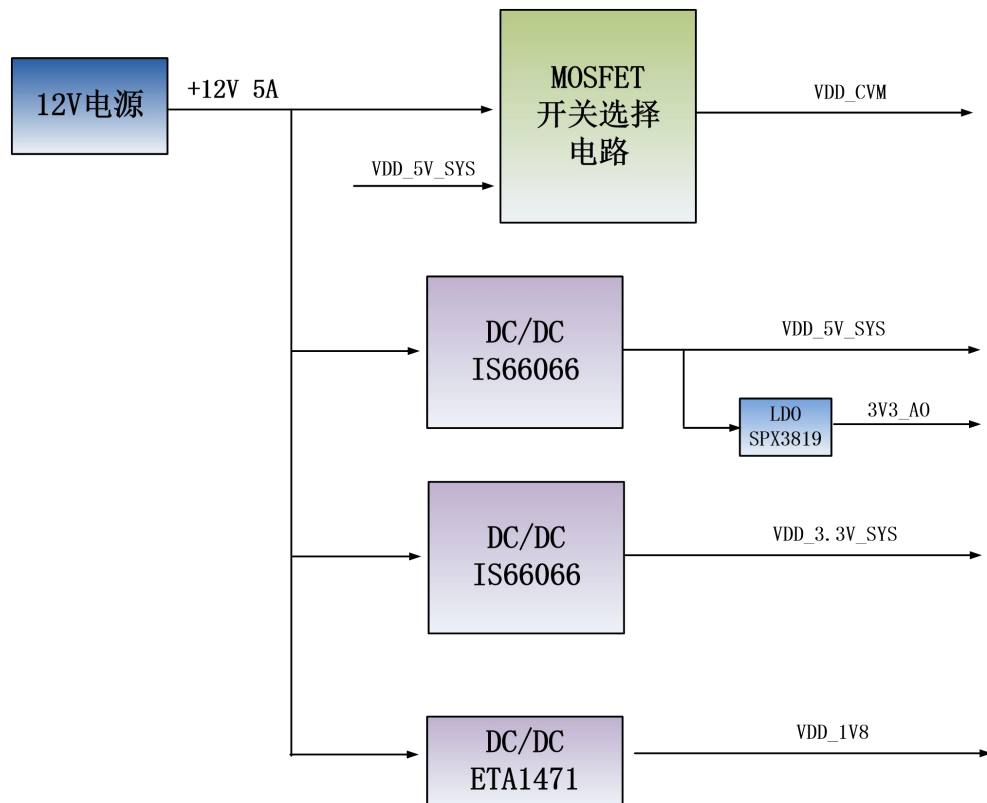
Z19-M 开发板供电电压为+12V (5A)，在板内通过多路 DCDC 和 PMIC 芯片给 NVIDIA Jetson Orin NX 模块和 MPSOC 芯片供电。

MPSOC 的芯片有上电时序要求，这里使用 DC/DC 芯片 MAX20796 和 PMIC 芯片

TPS6508640 来实现上电时序的要求。另外 FMC 的 VADJ 电源使用单端的一路 DCDC 电源提供，默认输出 1.8V，可以通过跳帽来改成 1.2V（MIPI 使用的情况）。

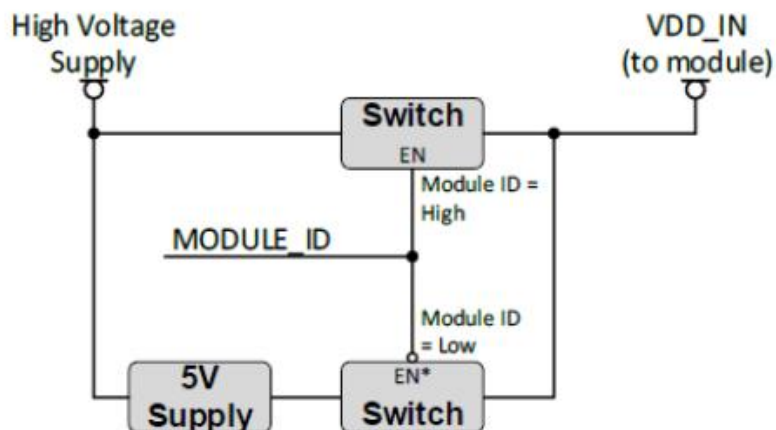


NVIDIA Jetson Orin NX 模块的供电系统如下，其中 VDD_CVM 电源是给 Orin NX 模块的供电，其它电路为 ORIN 系统板上的一些外设需要的电源。



MOSFET 的开关电路如下图所示：通过 Orin NX 模块的 MODULE_ID 管脚来决定输出 12V 还是 +5V。

Figure 6-1. System Power and Control Block Diagram



底板设计有一个 POWER LOGIC 编程芯片控制 Orin NX 模块和外设的一些上电顺序，上电后，Power 电源按键按下，Power Logic 输出 POWER_EN 信号为高，让 Orin NX 模块上电。Orin NX 模块启动完成后输出 SYS_RESET 信号为高电平，使能底板上的外设电源上电。

Figure 6-2. System Power and Control Block Diagram

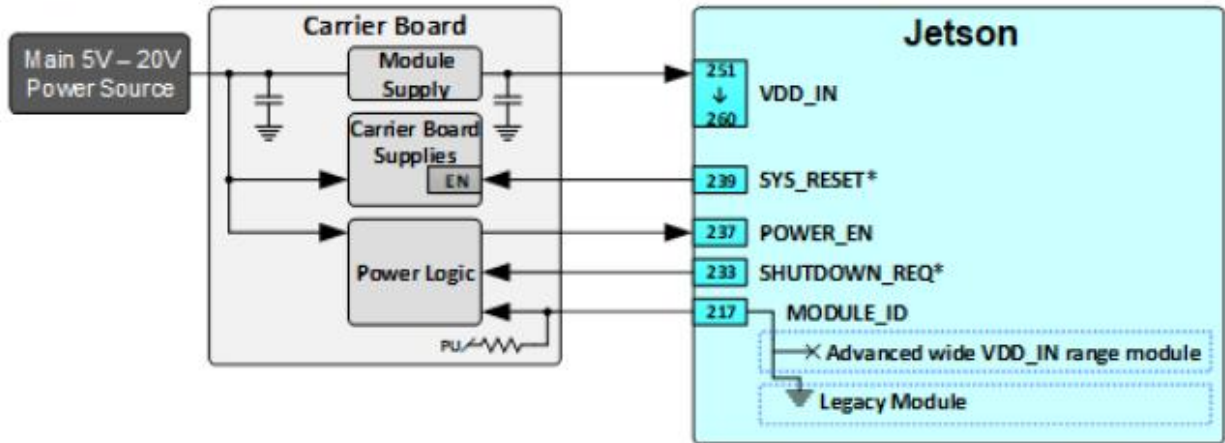
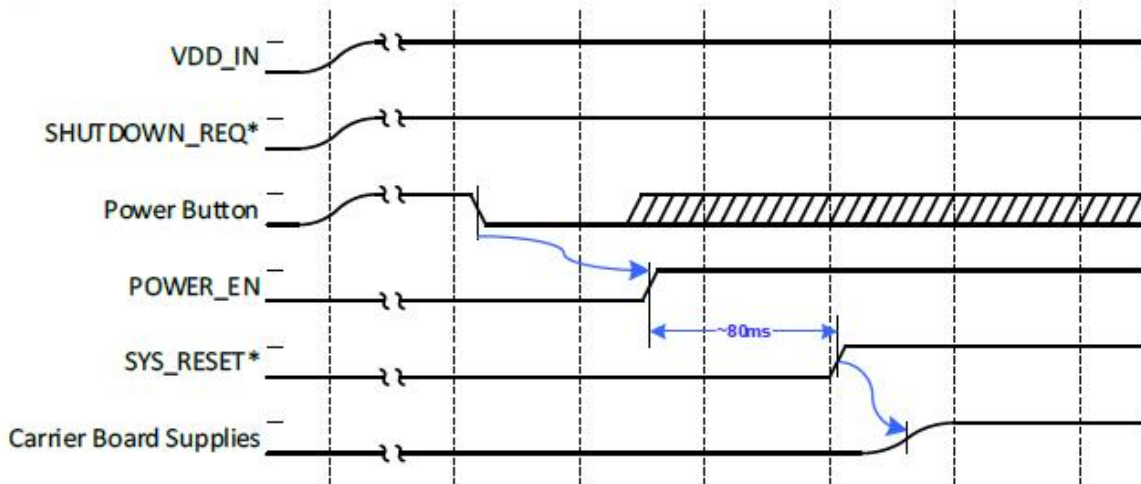


Figure 6-4. Power Up Sequence with Power Button



五、 电源按键

Z19-M 开发板上有 1 个电源开关按键，电源开关为带 LED 灯的自恢复按键。按键信号连接 NVIDIA Jetson Orin NX 的 SLEEP/WAKE 引脚，用户可以使用这个开关按键来控制板子上电和下电。

上电时，按一下电源开关，电源启动，需要断电时，需要长按电源开关（10s 以上），电源才会关闭。

六、 结构尺寸图

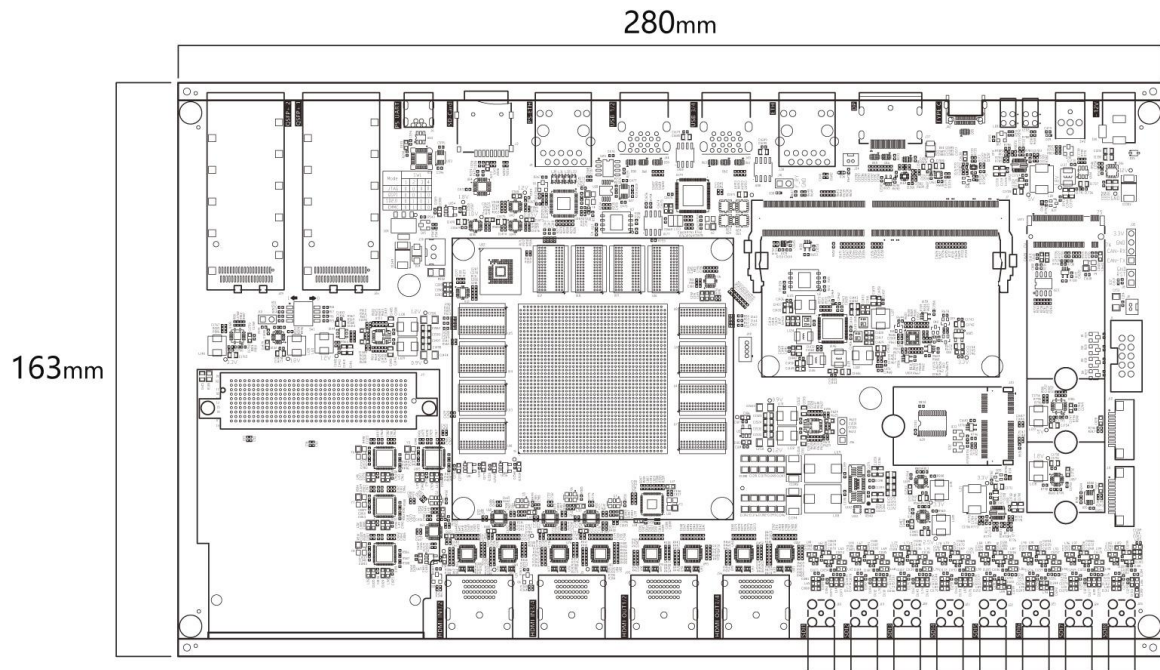


图 6-1 正面图 (Top View)