

Zynq UltraScale+

开发平台

Z7-P 开发板



文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

目 录

文档版本控制.....	2
一、 开发板简介.....	6
二、 ACU7EVC 核心板.....	9
(一) 简介.....	9
(二) ZYNQ 芯片.....	10
(三) DDR4 DRAM.....	11
(四) QSPI Flash.....	19
(五) eMMC Flash.....	21
(六) 时钟配置.....	22
(七) 电源.....	24
(八) 结构图.....	26
(九) 连接器管脚定义.....	26
三、 扩展板.....	34
(一) 简介.....	34
(二) PCIE X8 接口.....	35
(三) M.2 接口.....	37
(四) DP 显示接口.....	38
(五) USB3.0 接口.....	39
(六) 千兆以太网接口.....	40
(七) USB Uart 接口.....	42
(八) Micro SD 卡座.....	43
(九) FMC 连接器.....	44
(十) 40 针扩展口.....	49
(十一) JTAG 调试口.....	51
(十二) EEPROM 和温度传感器.....	51
(十三) LED 灯.....	52
(十四) 按键.....	53
(十五) 拨码开关配置.....	54
(十六) 电源.....	55

(十七) 风扇 56

(十八) 结构尺寸图 57

芯驿电子科技（上海）有限公司 基于 XILINX Zynq UltraScale+ MPSoCs 开发平台的开发板（型号：Z7-P）2022 款正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 MPSoCs 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。核心板使用 XILINX Zynq UltraScale+ EV 芯片 ZU7EV 的解决方案，它采用 Processing System(PS)+Programmable Logic(PL)技术将四核 ARM Cortex-A53 和 FPGA 可编程逻辑集成在一颗芯片上。另外核心板上 PS 端带有 4 片共 4GB 高速 DDR4 SDRAM 芯片，1 片 8GB 的 eMMC 存储芯片和 2 片 256Mb 的 QSPI FLASH 芯片；核心板上 PL 端带有 4 片共 4GB 的 DDR4 SDRAM 芯片。

在底板设计上我们为用户扩展了丰富的外围接口，比如 1 路 FMC HPC、1 路 M.2 SSD 接口、1 路 mini_DP 接口、1 路 USB3.0 Type-C 接口、1 个 40 针扩展口、2 路千兆以太网接口、2 路 UART 接口、1 路 PCIe X8 金手指、1 路 TF 卡接口等。满足用户各种高速数据交换，数据存储，视频传输处理，深度学习，人工智能以及工业控制的要求，是一款“专业级”的 ZYNQ 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 MPSoCs 开发的学生、工程师等群体。



一、 开发板简介

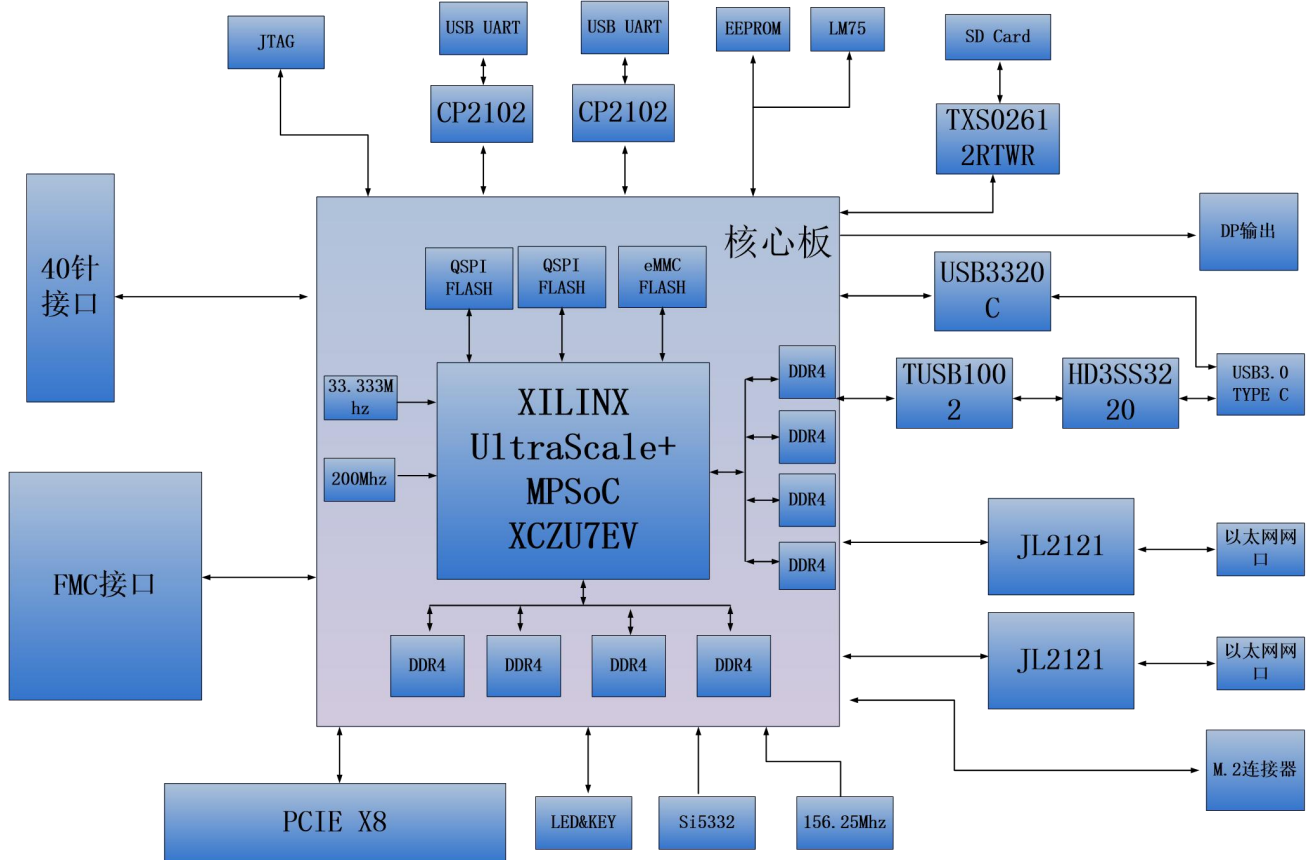
在这里，对这款 Z7-P MPSoCs 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 ZU7EV + 8 个 DDR4 + eMMC + 2 个 QSPI FLASH 的最小系统构成。主芯片采用 Xilinx 公司的 Zynq UltraScale+ MPSoCs 系列的芯片，型号为 XCZU7EV-2FFVC1156I。ZU7EV 芯片可分成处理器系统部分 Processor System (PS) 和可编程逻辑部分 Programmable Logic (PL)。在 ZU7EV 芯片的 PS 端和 PL 端各挂了 4 片 DDR4，每片 DDR4 容量高达 1G 字节，使得 ARM 系统和 FPGA 系统能独立处理和存储的数据的功能。PS 端的 8GB eMMC FLASH 存储芯片和 2 片 256Mb 的 QSPI FLASH 用来静态存储 MPSoCs 的操作系统、文件系统及用户数据。

底板为核心板扩展了丰富的外围接口，其中包含 1 路 FMC HPC、1 路 M.2 SSD 接口、1 路 mini_DP 接口、1 个 USB3.0 接口、2 路千兆以太网接口、1 个 FMC HPC 接口、1 个 40 针接口、2 路 UART 接口、1 路 PCIeX8 金手指、1 个 EEPROM、1 个温度传感器、一些按键 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- ZU7EV 核心板

由 ZU7EV+4GB DDR4 (PS) +4GB DDR4 (PL) +8GB eMMC FLASH + 512Mb QSPI FLASH 组成，另外有 2 个晶振提供时钟，一个单端 33.3333MHz 晶振提供给 PS 系统，一个差分 200MHz 晶振提供给 PL 逻辑 DDR 参考时钟。

- PCIe x8 接口

支持 PCI Express 3.0 标准，提供标准的 PCIe x8 高速数据传输接口，单通道通信速率可高达 8GBaud。

- M.2 接口

1 路 PCIe x1 标准的 M.2 接口，用于连接 M.2 的 SSD 固态硬盘，通信速度高达 6Gbps。

- DP 输出接口

1 路标准的 Display Port 输出显示接口，用于视频图像的显示。最高支持 4K@30Hz 或者 1080P@60Hz 输出。

- USB3.0 接口

1 路 USB3.0 接口，USB 接口类型为 TYPE C。支持 HOST，SLAVE，OTG 三种模式。

- 千兆以太网接口

2 路 10/100M/1000M 以太网 RJ45 接口，PS 和 PL 各 1 路。用于和电脑或其它网络设备进行以太网数据交换。

- USB Uart 接口

2 路 Uart 转 USB 接口，PS 和 PL 各 1 路。用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UART 芯片，USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- FMC 扩展口

1 个标准的 FMC HPC 的扩展口，可以外接 XILINX 或者我们黑金的各种 FMC 模块(HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等)。

JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试，用户可以通过 XILINX 下载器对 ZU7EV 系统进行调试和下载。

- 温湿度传感器

板载 1 片温度传感器芯片 LM75，用于检测板子周围环境的温度。

- EEPROM

1 片 IIC 接口的 EEPROM 24LC04;

- RTC 实时时钟

1 路内置的 RTC 实时时钟；

- LED 灯

7 个发光二极管 LED, 核心板上 1 个, 底板上 6 个。核心板上 1 个电源指示灯。底板上有 1 个电源指示灯, 1 个 DONE 配置指示灯, 4 个用户指示灯 (2 个为板侧安装)。

- 按键

3 个按键, 1 个复位按键, 2 个用户按键。

二、 ACU7EVC 核心板

(一) 简介

ACU7EVC(核心板型号,下同)核心板,ZYNQ芯片是基于XILINX公司的Zynq UltraScale+ MPSoCs EV系列的XCZU7EV-2FFVC1156I。

这款核心板使用了8片Micron的DDR4芯片MT40A512M16GE,其中PS、PL端均挂载4片DDR4,组成64位数据总线带宽和4GB的容量。DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps)。另外核心板上也集成了2片256MBit大小的QSPI FLASH和8GB大小的eMMC FLASH芯片,用于启动存储配置和系统文件。

为了和底板连接,这款核心板的4个板对板连接器扩展出了PS端的USB2.0接口,千兆以太网接口,SD卡接口及其它剩余的MIO口;也扩展出了4对PS MGT高速收发器接口;以及PL端的16路MGT收发器和几乎所有IO口(HP I/O:134个,HD I/O:46个),XCZU7EV芯片到接口之间走线做了等长和差分处理,并且核心板尺寸仅为80*60(mm),对于二次开发来说,非常适合。



ACU7EVC 核心板正面图

(二) ZYNQ 芯片

开发板使用的是 Xilinx 公司的 Zynq UltraScale+ MPSoCs EV 系列的系列的芯片，型号为 XCZU7EV-2FFVC1156I。ZU7EV 芯片的 PS 系统集成了 4 个 ARM Cortex™-A53 处理器，速度高达 1.3Ghz，支持 2 级 Cache；另外 ZU7EV 还包含 2 个 Cortex-R5 处理器（速度高达 533Mhz）。

ZU7EV 芯片支持 32 位或者 64 位的 DDR4，LPDDR4，DDR3,DDR3L, LPDDR3 存储芯片，在 PS 端带有丰富的高速接口如 PCIE Gen2, USB3.0, SATA 3.1, DisplayPort；同时另外也支持 USB2.0, 千兆以太网, SD/SDIO, I2C, CAN, UART, GPIO 等接口。PL 端内部含有丰富的可编程逻辑单元，DSP 和内部 RAM。ZU7EV 芯片的总体框图如图 2-2-1 所示

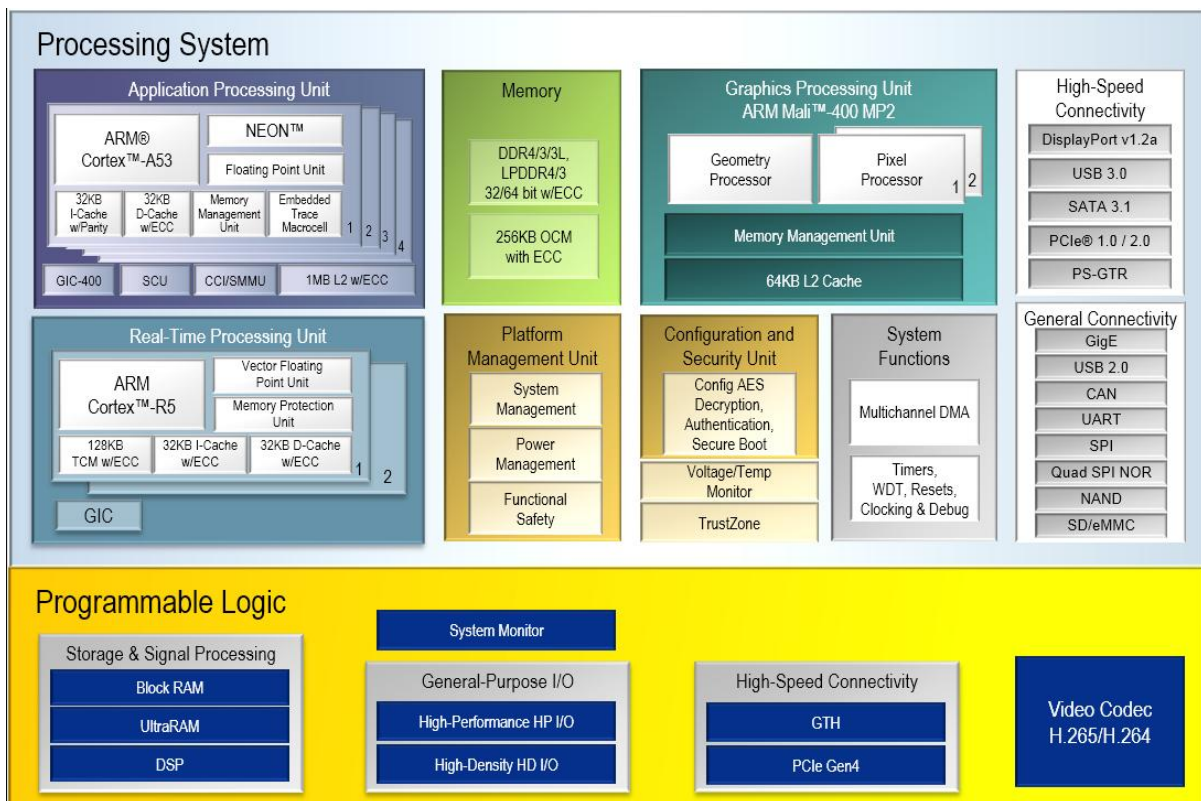


图2-2-1 ZYNQ ZU7EV芯片的总体框图

其中 PS 系统部分的主要参数如下：

- ARM 四核 Cortex™-A53 处理器，速度高达 1.3GHz，每个 CPU 32KB 1 级指令和数据缓存，1MB 2 级缓存 2 个 CPU 共享。
- ARM 双核 Cortex-R5 处理器，速度高达 533MHz，每个 CPU 32KB 1 级指令和数据缓存，及 128K 紧耦合内存。
- 图像视频处理器 Mali-400 MP2，速度高达 677MHz，64KB 2 级缓存。
- 外部存储接口，支持 32/64bit DDR4/3/3L、LPDDR4/3 接口。
- 静态存储接口，支持 NAND, 2xQuad-SPI FLASH。

- 高速连接接口，支持 PCIe Gen2 x4, 2xUSB3.0, Sata 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet。
- 普通连接接口：2xUSB2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO。
- 电源管理：支持 Full/Low/PL/Battery 四部分电源的划分。
- 加密算法：支持 RSA, AES 和 SHA。
- 系统监控：10 位 1Mbps 的 AD 采样，用于温度和电压的检测。

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元(System Logic Cells)：504K；
- 触发器(CLB flip-flops)：460.8K；
- 查找表(CLBLUTs)：230.4K；
- Block RAM：11Mb；
- 时钟管理单元 (CMTs)：8 个
- DSP Slices：1728 个
- GTH 16.3Gb/s 收发器：24 个
- 硬件视频编解码：1 个，支持 H.264、H.265 编解码

XCZU7EV-2FFVC1156I芯片的速度等级为-2，工业级，封装为FFVC1156。

(三) DDR4 DRAM

ACU7EVB核心板上配有8片Micron(美光) 的1GB的DDR4芯片,型号为MT40A512M16LY-062E, 其中PS端挂载4片DDR4, 组成64位数据总线带宽和4GB的容量。PL端挂载4片DDR4, 组成64位数据总线带宽和4GB的容量。PS端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps), 4片DDR4存储系统直接连接到了PS的BANK504的存储器接口上。PL端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps), 4片DDR4连接到了FPGA的BANK66,67,68的接口上。PS端和PL端DDR4 SDRAM的具体配置如下表2-3-1所示。

位置	位号	芯片型号	容量	厂家
PS	U4,U5,U6,U7	MT40A512M16LY-062E	512M x 16bit	Micron
PL	U17,U19,U45,U46	MT40A512M16LY-062E	512M x 16bit	Micron

表 2-3-1 DDR4 SDRAM 配置

DDR4 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR4 的高速稳定的工作。

PS 端的 DDR4 的硬件连接方式如图 2-3-1 所示:

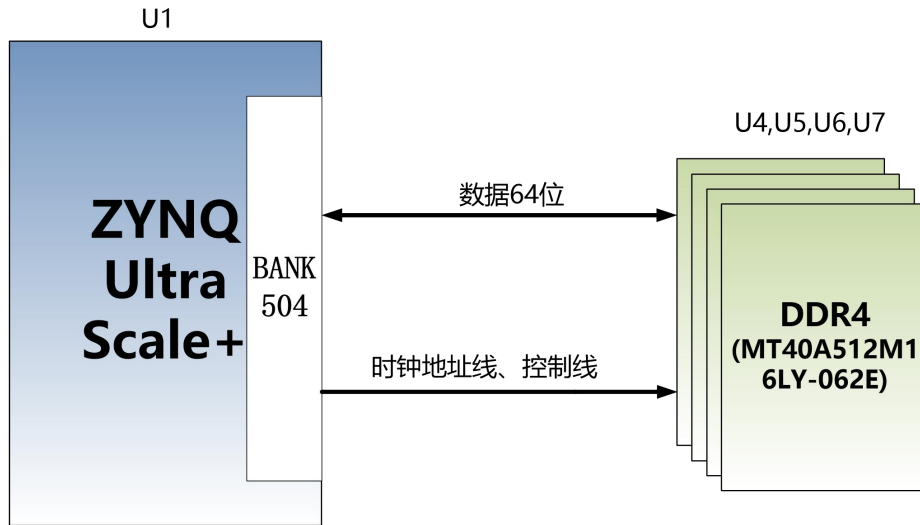


图2-3-1 PS端DDR4 DRAM原理图部分

PL 端的 DDR4 DRAM 的硬件连接方式如图 2-3-2 所示:

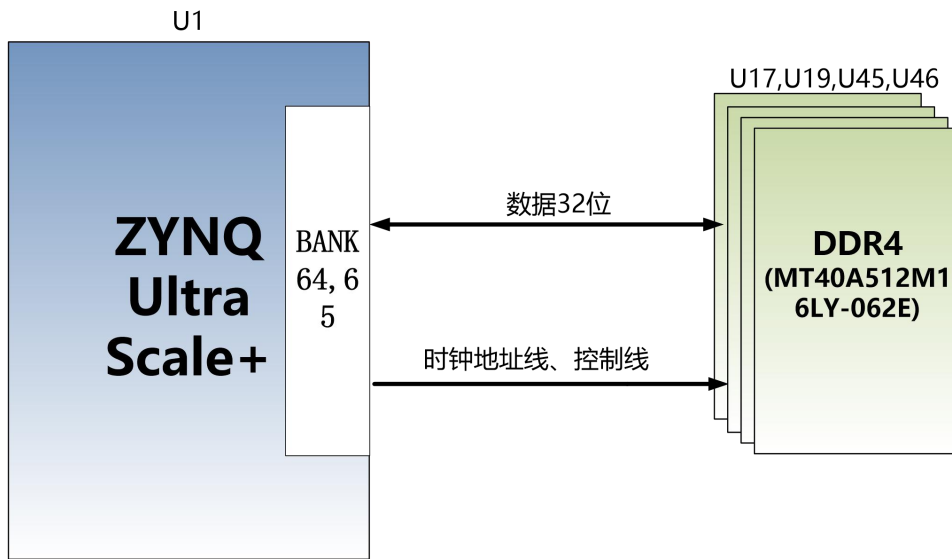


图2-3-2 PL端DDR4 DRAM原理图部分

PS 端 DDR4 SDRAM 引脚分配:

信号名称	引脚名	引脚号
PS_DDR4_DQS0_N	PS_DDR_DQS_N0_504	AN27
PS_DDR4_DQS0_P	PS_DDR_DQS_P0_504	AN26
PS_DDR4_DQS1_N	PS_DDR_DQS_N1_504	AP30
PS_DDR4_DQS1_P	PS_DDR_DQS_P1_504	AN29
PS_DDR4_DQS2_N	PS_DDR_DQS_N2_504	AJ26

PS_DDR4_DQS2_P	PS_DDR_DQS_P2_504	AH26
PS_DDR4_DQS3_N	PS_DDR_DQS_N3_504	AK29
PS_DDR4_DQS3_P	PS_DDR_DQS_P3_504	AK28
PS_DDR4_DQS4_N	PS_DDR_DQS_N4_504	AD31
PS_DDR4_DQS4_P	PS_DDR_DQS_P4_504	AD30
PS_DDR4_DQS5_N	PS_DDR_DQS_N5_504	Y28
PS_DDR4_DQS5_P	PS_DDR_DQS_P5_504	Y27
PS_DDR4_DQS6_N	PS_DDR_DQS_N6_504	AB34
PS_DDR4_DQS6_P	PS_DDR_DQS_P6_504	AB33
PS_DDR4_DQS7_N	PS_DDR_DQS_N7_504	W32
PS_DDR4_DQS7_P	PS_DDR_DQS_P7_504	W31
PS_DDR4_DQ0	PS_DDR_DQ0_504	AP27
PS_DDR4_DQ1	PS_DDR_DQ1_504	AP25
PS_DDR4_DQ2	PS_DDR_DQ2_504	AP26
PS_DDR4_DQ3	PS_DDR_DQ3_504	AM26
PS_DDR4_DQ4	PS_DDR_DQ4_504	AP24
PS_DDR4_DQ5	PS_DDR_DQ5_504	AL25
PS_DDR4_DQ6	PS_DDR_DQ6_504	AM25
PS_DDR4_DQ7	PS_DDR_DQ7_504	AM24
PS_DDR4_DQ8	PS_DDR_DQ8_504	AM28
PS_DDR4_DQ9	PS_DDR_DQ9_504	AN28
PS_DDR4_DQ10	PS_DDR_DQ10_504	AP29
PS_DDR4_DQ11	PS_DDR_DQ11_504	AP28
PS_DDR4_DQ12	PS_DDR_DQ12_504	AM31
PS_DDR4_DQ13	PS_DDR_DQ13_504	AP31
PS_DDR4_DQ14	PS_DDR_DQ14_504	AN31
PS_DDR4_DQ15	PS_DDR_DQ15_504	AM30
PS_DDR4_DQ16	PS_DDR_DQ16_504	AF25
PS_DDR4_DQ17	PS_DDR_DQ17_504	AG25
PS_DDR4_DQ18	PS_DDR_DQ18_504	AG26
PS_DDR4_DQ19	PS_DDR_DQ19_504	AJ25
PS_DDR4_DQ20	PS_DDR_DQ20_504	AG24
PS_DDR4_DQ21	PS_DDR_DQ21_504	AK25
PS_DDR4_DQ22	PS_DDR_DQ22_504	AJ24
PS_DDR4_DQ23	PS_DDR_DQ23_504	AK24

PS_DDR4_DQ24	PS_DDR_DQ24_504	AH28
PS_DDR4_DQ25	PS_DDR_DQ25_504	AH27
PS_DDR4_DQ26	PS_DDR_DQ26_504	AJ27
PS_DDR4_DQ27	PS_DDR_DQ27_504	AK27
PS_DDR4_DQ28	PS_DDR_DQ28_504	AL26
PS_DDR4_DQ29	PS_DDR_DQ29_504	AL27
PS_DDR4_DQ30	PS_DDR_DQ30_504	AH29
PS_DDR4_DQ31	PS_DDR_DQ31_504	AL28
PS_DDR4_DQ32	PS_DDR_DQ32_504	AB29
PS_DDR4_DQ33	PS_DDR_DQ33_504	AB30
PS_DDR4_DQ34	PS_DDR_DQ34_504	AC29
PS_DDR4_DQ35	PS_DDR_DQ35_504	AD32
PS_DDR4_DQ36	PS_DDR_DQ36_504	AC31
PS_DDR4_DQ37	PS_DDR_DQ37_504	AE30
PS_DDR4_DQ38	PS_DDR_DQ38_504	AC28
PS_DDR4_DQ39	PS_DDR_DQ39_504	AE29
PS_DDR4_DQ40	PS_DDR_DQ40_504	AC27
PS_DDR4_DQ41	PS_DDR_DQ41_504	AA27
PS_DDR4_DQ42	PS_DDR_DQ42_504	AA28
PS_DDR4_DQ43	PS_DDR_DQ43_504	AB28
PS_DDR4_DQ44	PS_DDR_DQ44_504	W27
PS_DDR4_DQ45	PS_DDR_DQ45_504	W29
PS_DDR4_DQ46	PS_DDR_DQ46_504	W28
PS_DDR4_DQ47	PS_DDR_DQ47_504	V27
PS_DDR4_DQ48	PS_DDR_DQ48_504	AA32
PS_DDR4_DQ49	PS_DDR_DQ49_504	AA33
PS_DDR4_DQ50	PS_DDR_DQ50_504	AA34
PS_DDR4_DQ51	PS_DDR_DQ51_504	AE34
PS_DDR4_DQ52	PS_DDR_DQ52_504	AD34
PS_DDR4_DQ53	PS_DDR_DQ53_504	AB31
PS_DDR4_DQ54	PS_DDR_DQ54_504	AC34
PS_DDR4_DQ55	PS_DDR_DQ55_504	AC33
PS_DDR4_DQ56	PS_DDR_DQ56_504	AA30
PS_DDR4_DQ57	PS_DDR_DQ57_504	Y30
PS_DDR4_DQ58	PS_DDR_DQ58_504	AA31

PS_DDR4_DQ59	PS_DDR_DQ59_504	W30
PS_DDR4_DQ60	PS_DDR_DQ60_504	Y33
PS_DDR4_DQ61	PS_DDR_DQ61_504	W33
PS_DDR4_DQ62	PS_DDR_DQ62_504	W34
PS_DDR4_DQ63	PS_DDR_DQ63_504	Y34
PS_DDR4_DM0	PS_DDR_DM0_504	AN24
PS_DDR4_DM1	PS_DDR_DM1_504	AM29
PS_DDR4_DM2	PS_DDR_DM2_504	AH24
PS_DDR4_DM3	PS_DDR_DM3_504	AJ29
PS_DDR4_DM4	PS_DDR_DM4_504	AD29
PS_DDR4_DM5	PS_DDR_DM5_504	Y29
PS_DDR4_DM6	PS_DDR_DM6_504	AC32
PS_DDR4_DM7	PS_DDR_DM7_504	Y32
PS_DDR4_A0	PS_DDR_A0_504	AN34
PS_DDR4_A1	PS_DDR_A1_504	AM34
PS_DDR4_A2	PS_DDR_A2_504	AM33
PS_DDR4_A3	PS_DDR_A3_504	AL34
PS_DDR4_A4	PS_DDR_A4_504	AL33
PS_DDR4_A5	PS_DDR_A5_504	AK33
PS_DDR4_A6	PS_DDR_A6_504	AK30
PS_DDR4_A7	PS_DDR_A7_504	AJ30
PS_DDR4_A8	PS_DDR_A8_504	AJ31
PS_DDR4_A9	PS_DDR_A9_504	AH31
PS_DDR4_A10	PS_DDR_A10_504	AG31
PS_DDR4_A11	PS_DDR_A11_504	AF31
PS_DDR4_A12	PS_DDR_A12_504	AG30
PS_DDR4_A13	PS_DDR_A13_504	AF30
PS_DDR4_ODT0	PS_DDR_ODT0_504	AP32
PS_DDR4_PARITY	PS_DDR_PARITY_504	AA26
PS_DDR4_RAS_B	PS_DDR_A16_504	AF28
PS_DDR4_RESET_B	PS_DDR_RAM_RST_N_504	AD26
PS_DDR4_WE_B	PS_DDR_A14_504	AG29
PS_DDR4_ACT_B	PS_DDR_ACT_N_504	AE25
PS_DDR4_ALERT_B	PS_DDR_ALERT_N_504	AB26
PS_DDR4_BA0	PS_DDR_BA0_504	AE27

PS_DDR4_BA1	PS_DDR_BA1_504	AE28
PS_DDR4_BG0	PS_DDR_BG0_504	AD27
PS_DDR4_CAS_B	PS_DDR_A15_504	AG28
PS_DDR4_CKE0	PS_DDR_CKE0_504	AN33
PS_DDR4_CS0_B	PS_DDR_CS_N0_504	AP33
PS_DDR4_CLK0_N	PS_DDR_CK_N0_504	AN32
PS_DDR4_CLK0_P	PS_DDR_CK0_504	AL31

PL 端 DDR4 SDRAM 引脚分配:

信号名称	引脚名	引脚号
PL_DDR4_DQS0_N	IO_L10N_T1U_N7_QBC_AD4N_67	F13
PL_DDR4_DQS0_P	IO_L10P_T1U_N6_QBC_AD4P_67	G14
PL_DDR4_DQS1_N	IO_L4N_T0U_N7_DBC_AD7N_67	B13
PL_DDR4_DQS1_P	IO_L4P_T0U_N6_DBC_AD7P_67	B14
PL_DDR4_DQS2_N	IO_L16N_T2U_N7_QBC_AD3N_67	H17
PL_DDR4_DQS2_P	IO_L16P_T2U_N6_QBC_AD3P_67	H18
PL_DDR4_DQS3_N	IO_L22N_T3U_N7_DBC_AD0N_67	K15
PL_DDR4_DQS3_P	IO_L22P_T3U_N6_DBC_AD0P_67	L15
PL_DDR4_DQS4_N	IO_L16N_T2U_N7_QBC_AD3N_68	D10
PL_DDR4_DQS4_P	IO_L16P_T2U_N6_QBC_AD3P_68	D11
PL_DDR4_DQS5_N	IO_L22N_T3U_N7_DBC_AD0N_68	A10
PL_DDR4_DQS5_P	IO_L22P_T3U_N6_DBC_AD0P_68	B10
PL_DDR4_DQS6_N	IO_L10N_T1U_N7_QBC_AD4N_68	D9
PL_DDR4_DQS6_P	IO_L10P_T1U_N6_QBC_AD4P_68	E9
PL_DDR4_DQS7_N	IO_L4N_T0U_N7_DBC_AD7N_68	J11
PL_DDR4_DQS7_P	IO_L4P_T0U_N6_DBC_AD7P_68	K12
PL_DDR4_DQ0	IO_L9N_T1L_N5_AD12N_67	E17
PL_DDR4_DQ1	IO_L11P_T1U_N8_GC_67	D15
PL_DDR4_DQ2	IO_L8P_T1L_N2_AD5P_67	D17
PL_DDR4_DQ3	IO_L12N_T1U_N11_GC_67	E14
PL_DDR4_DQ4	IO_L9P_T1L_N4_AD12P_67	E18
PL_DDR4_DQ5	IO_L11N_T1U_N9_GC_67	D14
PL_DDR4_DQ6	IO_L12P_T1U_N10_GC_67	E15
PL_DDR4_DQ7	IO_L8N_T1L_N3_AD5N_67	C17

PL_DDR4_DQ8	IO_L2P_T0L_N2_67	B16
PL_DDR4_DQ9	IO_L6P_T0U_N10_AD6P_67	C13
PL_DDR4_DQ10	IO_L3P_T0L_N4_AD15P_67	A15
PL_DDR4_DQ11	IO_L5P_T0U_N8_AD14P_67	A13
PL_DDR4_DQ12	IO_L2N_T0L_N3_67	B15
PL_DDR4_DQ13	IO_L5N_T0U_N9_AD14N_67	A12
PL_DDR4_DQ14	IO_L3N_T0L_N5_AD15N_67	A14
PL_DDR4_DQ15	IO_L6N_T0U_N11_AD6N_67	C12
PL_DDR4_DQ16	IO_L15P_T2L_N4_AD11P_67	H19
PL_DDR4_DQ17	IO_L18P_T2U_N10_AD2P_67	H16
PL_DDR4_DQ18	IO_L17P_T2U_N8_AD10P_67	G18
PL_DDR4_DQ19	IO_L18N_T2U_N11_AD2N_67	G16
PL_DDR4_DQ20	IO_L15N_T2L_N5_AD11N_67	G19
PL_DDR4_DQ21	IO_L14N_T2L_N3_GC_67	F15
PL_DDR4_DQ22	IO_L17N_T2U_N9_AD10N_67	F18
PL_DDR4_DQ23	IO_L14P_T2L_N2_GC_67	G15
PL_DDR4_DQ24	IO_L24N_T3U_N11_67	L16
PL_DDR4_DQ25	IO_L21N_T3L_N5_AD8N_67	J17
PL_DDR4_DQ26	IO_L23P_T3U_N8_67	K19
PL_DDR4_DQ27	IO_L21P_T3L_N4_AD8P_67	K17
PL_DDR4_DQ28	IO_L24P_T3U_N10_67	L17
PL_DDR4_DQ29	IO_L20P_T3L_N2_AD1P_67	J16
PL_DDR4_DQ30	IO_L23N_T3U_N9_67	K18
PL_DDR4_DQ31	IO_L20N_T3L_N3_AD1N_67	J15
PL_DDR4_DQ32	IO_L18N_T2U_N11_AD2N_68	C11
PL_DDR4_DQ33	IO_L17P_T2U_N8_AD10P_68	F12
PL_DDR4_DQ34	IO_L17N_T2U_N9_AD10N_68	E12
PL_DDR4_DQ35	IO_L14P_T2L_N2_GC_68	F11
PL_DDR4_DQ36	IO_L18P_T2U_N10_AD2P_68	D12
PL_DDR4_DQ37	IO_L15N_T2L_N5_AD11N_68	H12
PL_DDR4_DQ38	IO_L15P_T2L_N4_AD11P_68	H13
PL_DDR4_DQ39	IO_L14N_T2L_N3_GC_68	E10
PL_DDR4_DQ40	IO_L20N_T3L_N3_AD1N_68	B8
PL_DDR4_DQ41	IO_L21N_T3L_N5_AD8N_68	A6
PL_DDR4_DQ42	IO_L20P_T3L_N2_AD1P_68	B9

PL_DDR4_DQ43	IO_L23N_T3U_N9_68	A7
PL_DDR4_DQ44	IO_L24P_T3U_N10_68	B11
PL_DDR4_DQ45	IO_L21P_T3L_N4_AD8P_68	B6
PL_DDR4_DQ46	IO_L24N_T3U_N11_68	A11
PL_DDR4_DQ47	IO_L23P_T3U_N8_68	A8
PL_DDR4_DQ48	IO_L12P_T1U_N10_GC_68	G10
PL_DDR4_DQ49	IO_L9P_T1L_N4_AD12P_68	F8
PL_DDR4_DQ50	IO_L8N_T1L_N3_AD5N_68	C8
PL_DDR4_DQ51	IO_L9N_T1L_N5_AD12N_68	E8
PL_DDR4_DQ52	IO_L12N_T1U_N11_GC_68	F10
PL_DDR4_DQ53	IO_L11P_T1U_N8_GC_68	H9
PL_DDR4_DQ54	IO_L8P_T1L_N2_AD5P_68	C9
PL_DDR4_DQ55	IO_L11N_T1U_N9_GC_68	G9
PL_DDR4_DQ56	IO_L5N_T0U_N9_AD14N_68	J14
PL_DDR4_DQ57	IO_L6N_T0U_N11_AD6N_68	K13
PL_DDR4_DQ58	IO_L5P_T0U_N8_AD14P_68	K14
PL_DDR4_DQ59	IO_L2P_T0L_N2_68	K10
PL_DDR4_DQ60	IO_L6P_T0U_N10_AD6P_68	L14
PL_DDR4_DQ61	IO_L3P_T0L_N4_AD15P_68	L12
PL_DDR4_DQ62	IO_L2N_T0L_N3_68	J10
PL_DDR4_DQ63	IO_L3N_T0L_N5_AD15N_68	L11
PL_DDR4_DM0	IO_L7P_T1L_N0_QBC_AD13P_67	D16
PL_DDR4_DM1	IO_L1P_T0L_N0_DBC_67	A17
PL_DDR4_DM2	IO_L13P_T2L_N0_GC_QBC_67	F17
PL_DDR4_DM3	IO_L19P_T3L_N0_DBC_AD9P_67	L20
PL_DDR4_DM4	IO_L13P_T2L_N0_GC_QBC_68	H11
PL_DDR4_DM5	IO_L19P_T3L_N0_DBC_AD9P_68	C7
PL_DDR4_DM6	IO_L7P_T1L_N0_QBC_AD13P_68	F7
PL_DDR4_DM7	IO_L1P_T0L_N0_DBC_68	M13
PL_DDR4_A0	IO_L10P_T1U_N6_QBC_AD4P_66	AK8
PL_DDR4_A1	IO_L6P_T0U_N10_AD6P_66	AM9
PL_DDR4_A2	IO_L10N_T1U_N7_QBC_AD4N_66	AL8
PL_DDR4_A3	IO_L5N_T0U_N9_AD14N_66	AM10
PL_DDR4_A4	IO_L11N_T1U_N9_GC_66	AK10
PL_DDR4_A5	IO_L3N_T0L_N5_AD15N_66	AP11

PL_DDR4_A6	IO_L14N_T2L_N3_GC_66	AJ11
PL_DDR4_A7	IO_L4P_T0U_N6_DBC_AD7P_66	AN9
PL_DDR4_A8	IO_L17N_T2U_N9_AD10N_66	AG10
PL_DDR4_A9	IO_L6N_T0U_N11_AD6N_66	AM8
PL_DDR4_A10	IO_L11P_T1U_N8_GC_66	AJ10
PL_DDR4_A11	IO_L5P_T0U_N8_AD14P_66	AM11
PL_DDR4_A12	IO_L9N_T1L_N5_AD12N_66	AL12
PL_DDR4_A13	IO_L4N_T0U_N7_DBC_AD7N_66	AN8
PL_DDR4_ODT	IO_L16P_T2U_N6_QBC_AD3P_66	AG9
PL_DDR4_RAS_B	IO_L8P_T1L_N2_AD5P_66	AL11
PL_DDR4_RST	IO_L14P_T2L_N2_GC_66	AH11
PL_DDR4_WE_B	IO_L15N_T2L_N5_AD11N_66	AH13
PL_DDR4_ACT_B	IO_L16N_T2U_N7_QBC_AD3N_66	AH9
PL_DDR4_BA0	IO_L7N_T1L_N1_QBC_AD13N_66	AL13
PL_DDR4_BA1	IO_L3P_T0L_N4_AD15P_66	AN11
PL_DDR4_BG0	IO_L7P_T1L_N0_QBC_AD13P_66	AK13
PL_DDR4_CAS_B	IO_L8N_T1L_N3_AD5N_66	AL10
PL_DDR4_CKE	IO_L15P_T2L_N4_AD11P_66	AG13
PL_DDR4_CS_B	IO_L9P_T1L_N4_AD12P_66	AK12
PL_DDR4_CLK_N	IO_L13N_T2L_N1_GC_QBC_66	AJ12
PL_DDR4_CLK_P	IO_L13P_T2L_N0_GC_QBC_66	AH12

(四) QSPI Flash

ACU7EVB 核心板配有 2 片 256MBit 大小的 Quad-SPI FLASH 芯片组成 8 位带宽数据总线, FLASH 型号为 MT25QU256ABA1EW9, 它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性, 在使用中, 它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U2,U3	MT25QU256ABA1EW9	256M bit	Micron

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上, 在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 4-1 为 QSPI Flash 在原理图中的部分。

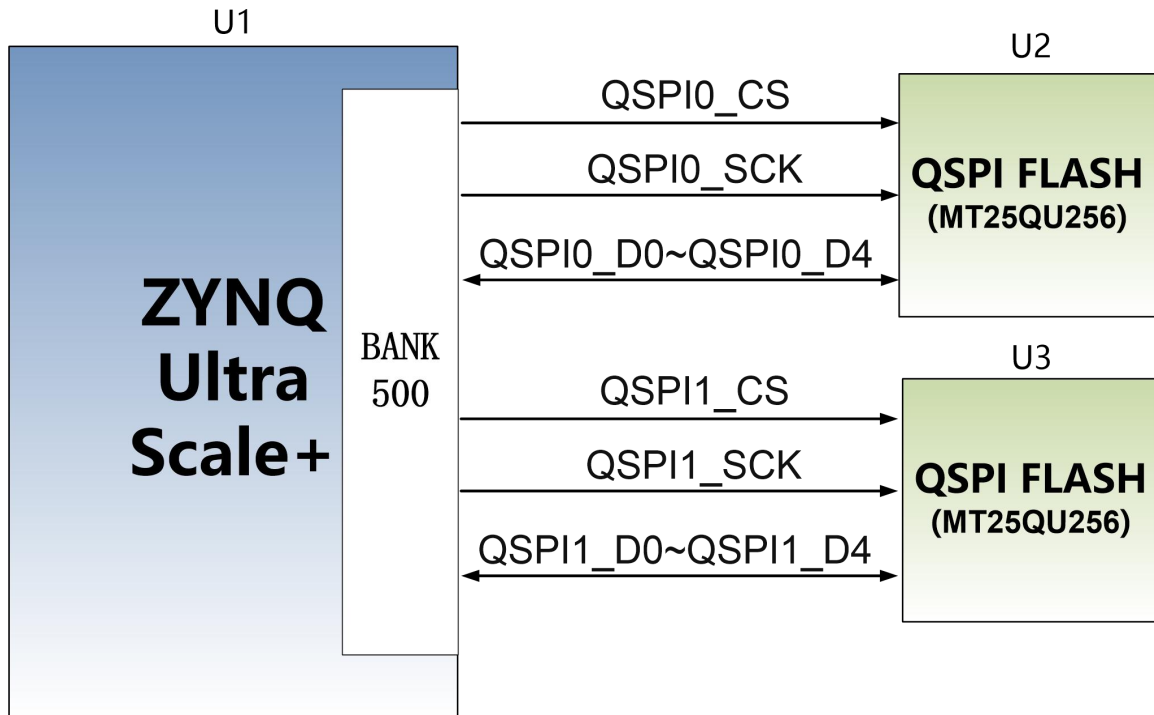


图 2-4-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	引脚名	引脚号
MIO0_QSPI0_SCLK	PS_MIO0_500	A24
MIO1_QSPI0_IO1	PS_MIO1_500	C24
MIO2_QSPI0_IO2	PS_MIO2_500	B24
MIO3_QSPI0_IO3	PS_MIO3_500	E25
MIO4_QSPI0_IO0	PS_MIO4_500	A25
MIO5_QSPI0_SS_B	PS_MIO5_500	D25
MIO10_QSPI1_IO2	PS_MIO10_500	F26
MIO11_QSPI1_IO3	PS_MIO11_500	B26
MIO12_QSPI1_SCLK	PS_MIO12_500	C27
MIO7_QSPI1_SS_B	PS_MIO7_500	B25
MIO8_QSPI1_IO0	PS_MIO8_500	D26
MIO9_QSPI1_IO1	PS_MIO9_500	C26

(五) eMMC Flash

ACU7EVB 核心板配有一片大容量的 8GB 大小的 eMMC FLASH 芯片，型号为 MTFC32GAPALBH-IT，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V 或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 8bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-5-1。

位号	芯片类型	容量	厂家
U8	MTFC8GAKAJCN-4M	8G Byte	Micron

表2-5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ UltraScale+ 的 PS 部分 BANK500 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 EMMC 接口。为图 2-5-1 为 eMMC Flash 在原理图中的部分。

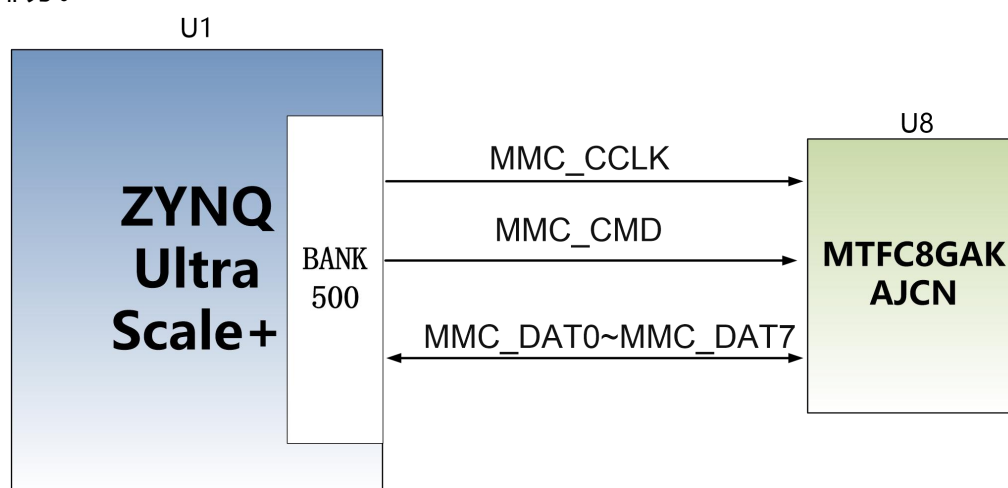


图 2-5-1 eMMC Flash 连接示意图

配置芯片引脚分配:

信号名称	引脚名	引脚号
MMC_CCLK	PS_MIO22_500	F28
MMC_CMD	PS_MIO21_500	C28
MMC_DAT0	PS_MIO13_500	D27
MMC_DAT1	PS_MIO14_500	A27
MMC_DAT2	PS_MIO15_500	E27
MMC_DAT3	PS_MIO16_500	A28

MMC_DAT4	PS_MIO17_500	C29
MMC_DAT5	PS_MIO18_500	F27
MMC_DAT6	PS_MIO19_500	B28
MMC_DAT7	PS_MIO20_500	E29
MMC_RSTN	PS_MIO23_500	B29

(六) 时钟配置

核心板上分别为 PS 系统, PL 逻辑部分提供了参考时钟和 RTC 实时时钟, 使 PS 系统和 PL 逻辑可以单独工作。时钟电路设计的示意图如下图 2-6-1 所示:

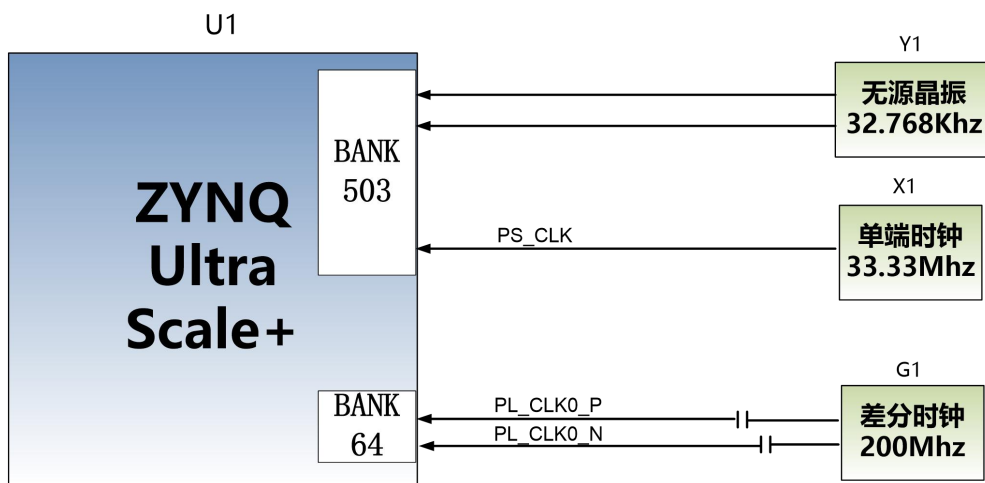


图 2-6-1 核心板时钟源

PS 系统 RTC 实时时钟

核心板上的无源晶体 Y1 为 PS 系统的提供 32.768KHz 的实时时钟源。晶体连接到 ZYNQ 芯片的 BANK503 的 PS_PADI_503 和 PS_PADO_503 的管脚上。其原理图如图 2-6-2 所示:

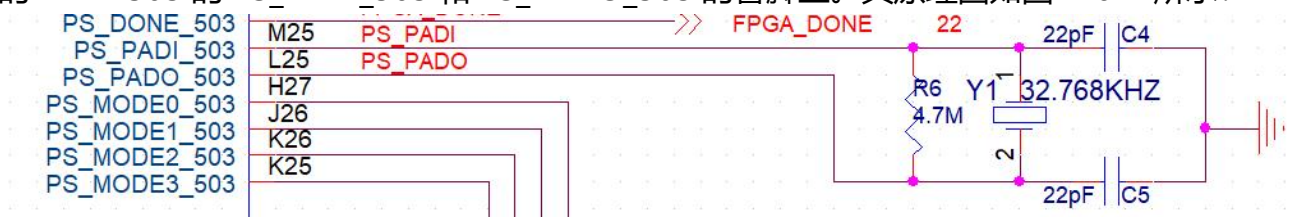


图 2-6-2 RTC 的无源晶振

时钟引脚分配:

信号名称	引脚
PS_PADI_503	M25
PS_PADO_503	L25

PS 系统时钟源

核心板上的 X1 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK503 的 PS_REF_CLK_503 的管脚上。其原理图如图 2-6-3 所示：

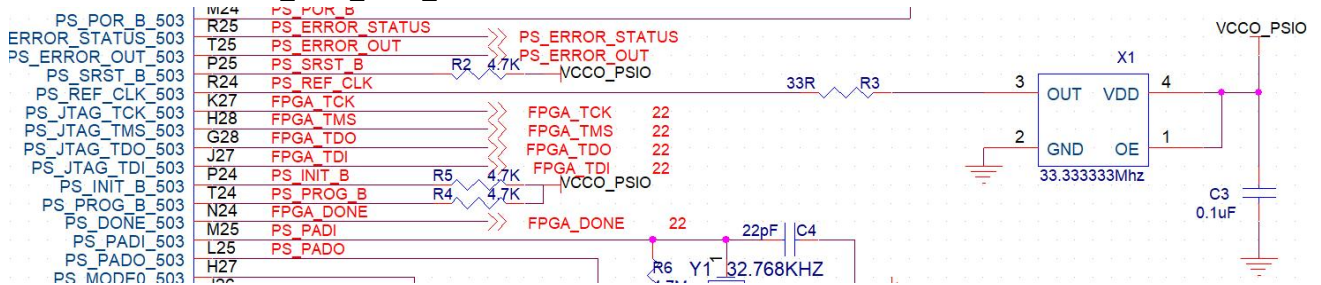


图 2-6-3 PS 部分的有源晶振

时钟引脚分配：

信号名称	引脚
PS_REF_CLK	R24

PL 系统时钟源

板上提供了一个差分 200MHz 的 PL 系统时钟源，用于 DDR4 控制器的参考时钟。晶振输出连接到 PL BANK64 的全局时钟(MRCC)，这个全局时钟可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。该时钟源的原理图如图 2-6-4 所示

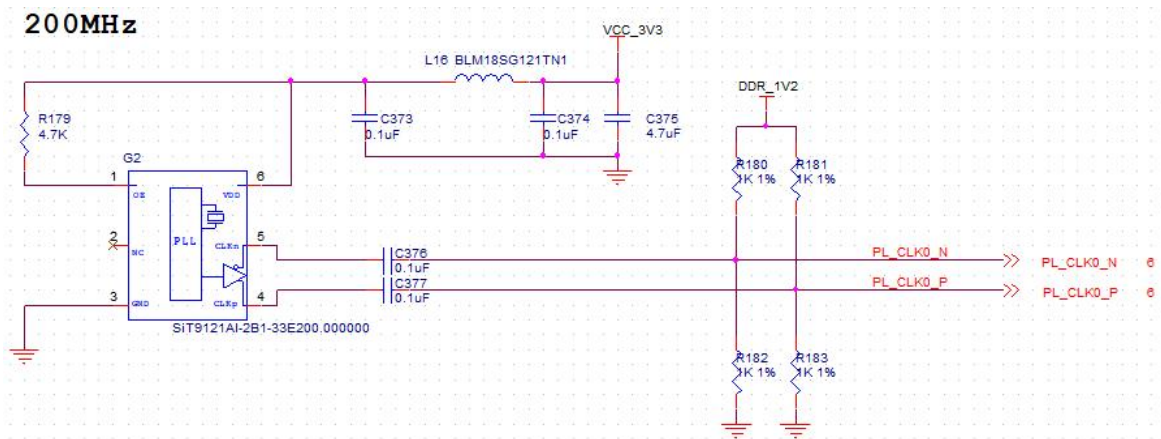


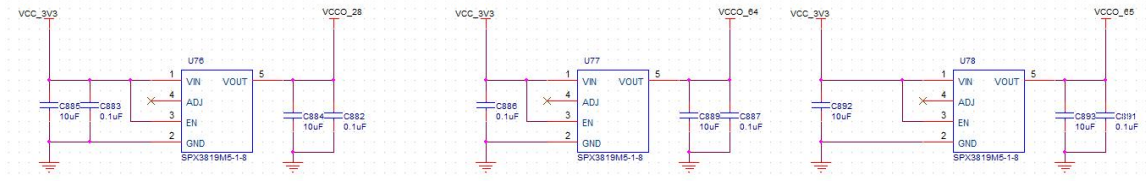
图 2-6-4 PL系统时钟源

PL 时钟引脚分配：

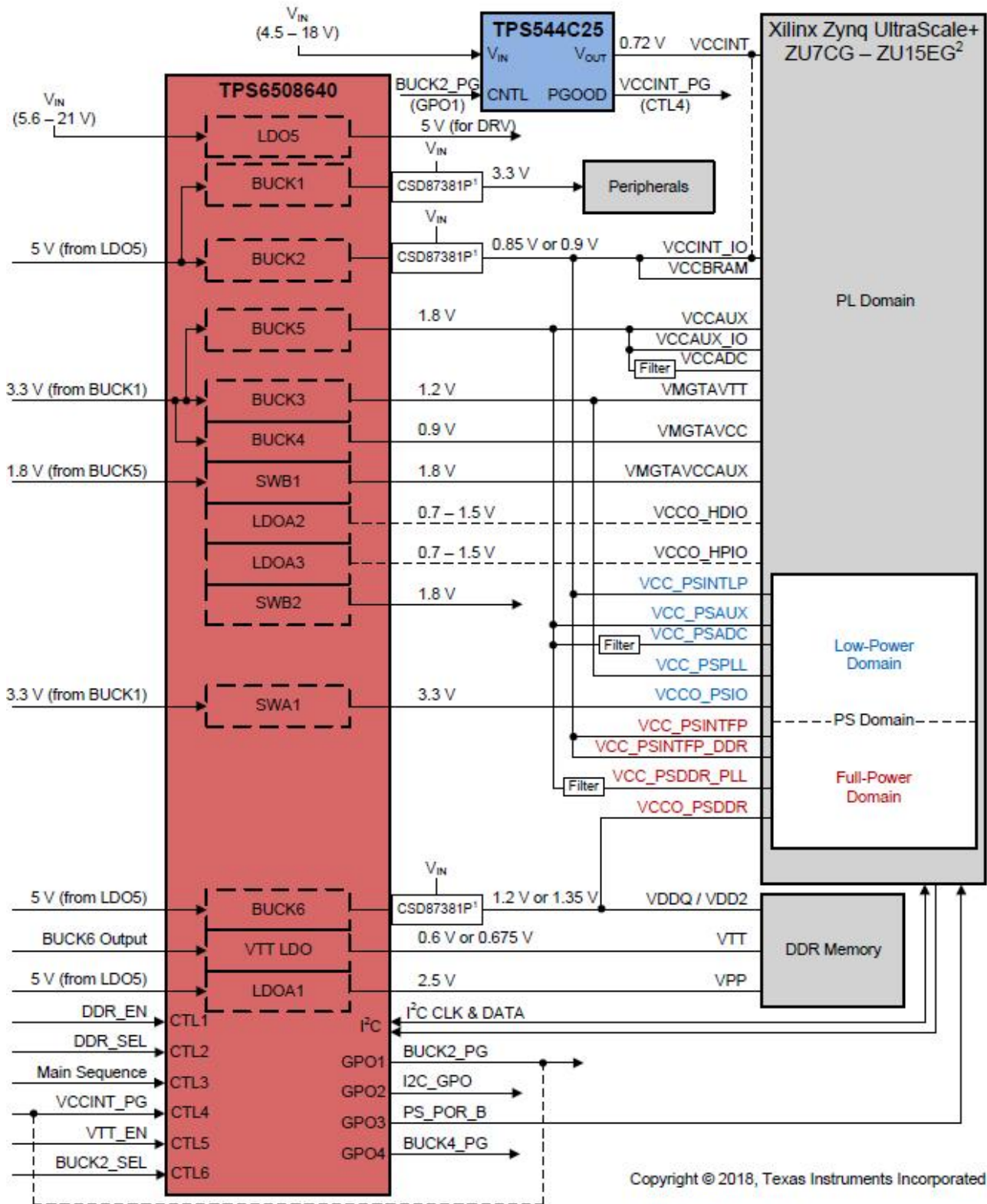
信号名称	引脚
PL_CLK0_P	AJ9
PL_CLK0_N	AK9

(七) 电源

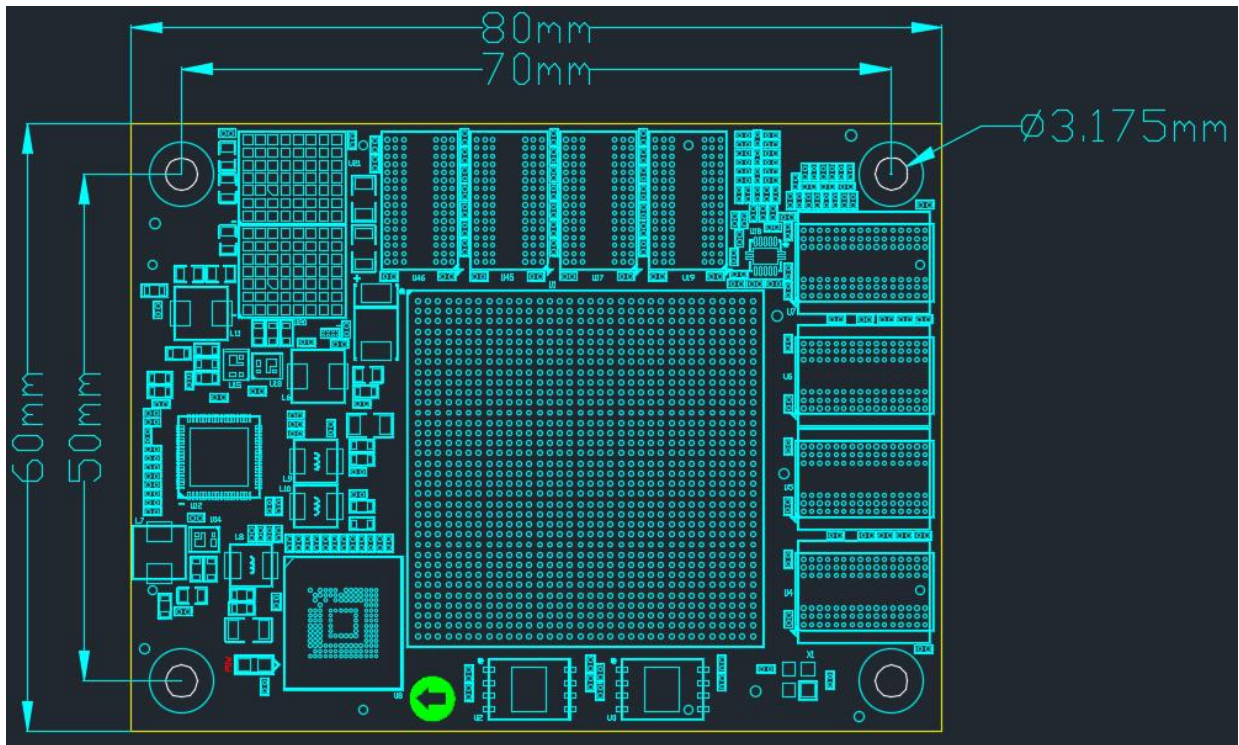
ACU7EVB 核心板供电电压为+12V，通过连接底板给核心板供电。核心板上通过 2 个 MYMGM1R824ELA5RP 电源芯片并联实现 50A 的电流为 XCZU7EV 提供核心电源 0.85V, BANK28, BANK64, BANK65 的电源用 LDO 芯片产生，默认都是 1.8V，用户可以替换 LDO 改变 IO 的电平标准（注意这些 BANK 的电源不能高于 1.8V）。



另外板上使用一个 PMIC 芯片 TPS6508640 产生 XCZU7EV 芯片所需要的其它所有电源，TPS6508640 电源设计请参考电源芯片手册，设计框图如下：



(八) 结构图



正面图 (Top View)

(九) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口，使用 4 个 120Pin 的板间连接器 (J29~J32) 和底板连接，连接器使用松下的 AXK5A2137YG，对应底板的连接器型号为 AXK6A2337YG。

J29 连接器

J29 连接+12V 电源，BANK28,BANK87,BANK88 的 IO 和部分 MIO；BANK87,88 的电平标准为 3.3V，BANK28 电平标准为 1.8V。PS 的 MIO 的电平为 1.8V 标准。

J29 管脚	信号名称	引脚号	J29 管脚	信号名称	引脚号
1	+12V		2	+12V	
3	+12V		4	+12V	
5	+12V		6	+12V	
7	+12V		8	+12V	
9	+12V		10	+12V	
11	+12V		12	+12V	
13	GND		14	GND	
15	B88_L2_N	B1	16	B88_L1_N	D1

17	B88_L2_P	C1	18	B88_L1_P	E1
19	GND		20	GND	
21	B88_L5_N	C2	22	B88_L4_N	E2
23	B88_L5_P	D2	24	B88_L4_P	E3
25	B88_L8_N	D4	26	B88_L3_N	A2
27	B88_L8_P	E4	28	B88_L3_P	A3
29	GND		30	GND	
31	B88_L7_N	B4	32	B88_L6_N	B3
33	B88_L7_P	C4	34	B88_L6_P	C3
35	B88_L9_N	F4	36	B88_L10_N	A5
37	B88_L9_P	F5	38	B88_L10_P	B5
39	GND		40	GND	
41	B88_L11_N	D5	42	B88_L12_N	E5
43	B88_L11_P	D6	44	B88_L12_P	F6
45	B87_L9_N	J6	46	B87_L10_N	G6
47	B87_L9_P	J7	48	B87_L10_P	H6
49	GND		50	GND	
51	B87_L11_N	G7	52	B87_L3_N	M12
53	B87_L11_P	H7	54	B87_L3_P	N13
55	B87_L5_N	M8	56	B87_L12_N	G8
57	B87_L5_P	M9	58	B87_L12_P	H8
59	GND		60	GND	
61	B87_L8_N	J9	62	B87_L7_N	K8
63	B87_L8_P	K9	64	B87_L7_P	L8
65	B87_L2_N	N8	66	B87_L6_N	L10
67	B87_L2_P	N9	68	B87_L6_P	M10
69	GND		70	GND	
71	B87_L4_N	M11	72	B28_L7_N	D19
73	B87_L4_P	N11	74	B28_L7_P	E19
75	B28_L20_N	C19	76	B28_L9_N	D21
77	B28_L20_P	C18	78	B28_L9_P	D20
79	GND		80	GND	
81	B28_L19_N	A19	82	B28_L10_N	F20
83	B28_L19_P	A18	84	B28_L10_P	G20
85	B28_L21_N	A21	86	B28_L22_N	B19

87	B28_L21_P	A20	88	B28_L22_P	B18
89	GND		90	GND	
91	B28_L24_N	B21	92	B28_L15_N	C22
93	B28_L24_P	B20	94	B28_L15_P	C21
95	B28_L23_N	A23	96	B28_L17_N	C23
97	B28_L23_P	A22	98	B28_L17_P	D22
99	GND		100	GND	
101	PS_MIO43	E30	102	-	-
103	PS_MIO26	A29	104	PS_MIO32	B31
105	PS_MIO27	A30	106	PS_MIO35	C31
107	PS_MIO31	B30	108	PS_MIO36	C32
109	PS_MIO40	D31	110	PS_MIO37	C33
111	PS_MIO44	E32	112	PS_MIO29	A32
113	PS_MIO39	D30	114	PS_MIO30	A33
115	PS_MIO33	B33	116	PS_MIO34	B34
117	PS_MIO41	D32	118	PS_MIO42	D34
119	PS_MIO28	A31	120	PS_MIO38	C34

J30 连接器

J30 连接 BANK505 MGT 的收发器信号, 部分 PS 的 MIO 和 BANK28。BANK28 电平标准为 1.8V。PS 的 MIO 的电平为 1.8V 标准。

J30 管脚	信号名称	引脚号	J30 管脚	信号名称	引脚号
1	B28_L16_P	E24	2	SD_D2	F31
3	B28_L16_N	D24	4	SD_D3	F32
5	GND		6	GND	
7	B28_L11_N	E22	8	SD_CMD	F33
9	B28_L11_P	F22	10	SD_D0	E34
11	B28_L13_P	F23	12	SD_D1	F30
13	B28_L13_N	E23	14	SD_CLK	F34
15	GND		16	GND	
17	B28_L12_N	F21	18	SD_CD	E33
19	B28_L12_P	G21	20		
21	B28_L3_P	J21	22	USB_STP	H31
23	B28_L3_N	J22	24	USB_DIR	G30

25	GND		26	GND	
27	B28_L8_P	H21	28	USB_CLK	G29
29	B28_L8_N	H22	30	USB_NXT	G33
31			32	USB_DATA0	G34
33			34	USB_DATA1	H29
35	GND		36	GND	
37	B28_L18_N	G26	38	USB_DATA2	G31
39	B28_L18_P	G25	40	USB_DATA3	H32
41	B28_L14_N	G24	42	USB_DATA4	H33
43	B28_L14_P	G23	44	USB_DATA5	H34
45	GND		46	GND	
47			48	USB_DATA6	J29
49			50	USB_DATA7	J30
51			52	PHY1_TXD0	J32
53			54	PHY1_TXD1	J34
55	GND		56	GND	
57			58	PHY1_TXD2	K28
59			60	PHY1_TXD3	K29
61	PS_POR_B	M24	62	PHY1_TXCK	J31
63	FPGA_DONE	N24	64	PHY1_TXCTL	K30
65	GND		66	GND	
67	PS_MODE3	K25	68	PHY1_RXD3	L29
69	PS_MODE2	K26	70	PHY1_RXD2	K34
71	PS_MODE1	J26	72	PHY1_RXD1	K33
73	PS_MODE0	H27	74	PHY1_RXD0	K32
75	GND		76	GND	
77	FPGA_TCK	K27	78	PHY1_RXCTL	L30
79	FPGA_TDI	J27	80	PHY1_RXCK	K31
81	FPGA_TMS	H28	82	PHY1_MDC	L33
83	FPGA_TDO	G28	84	PHY1_MDIO	L34
85	GND		86	GND	
87	505_RX3_N	N34	88	505_TX3_N	N30
89	505_RX3_P	N33	90	505_TX3_P	N29
91	GND		92	GND	
93	505_RX2_N	R34	94	505_TX2_N	P32

95	505_RX2_P	R33	96	505_TX2_P	P31
97	GND		98	GND	
99	505_RX1_N	T32	100	505_TX1_N	R30
101	505_RX1_P	T31	102	505_TX1_P	R29
103	GND		104	GND	
105	505_RX0_N	U34	106	505_TX0_N	U30
107	505_RX0_P	U33	108	505_TX0_P	U29
109	GND		110	GND	
111	505_CLK0_N	T28	112	505_CLK1_N	P28
113	505_CLK0_P	T27	114	505_CLK1_P	P27
115	GND		116	GND	
117	505_CLK2_N	M28	118	505_CLK3_N	M32
119	505_CLK2_P	M27	120	505_CLK3_P	M31

J31 连接器

J31 连接 BANK64,BANK65 的 IO。BANK64,65 的电平标准为+1.8V。

J31 管脚	信号名称	引脚号	J31 管脚	信号名称	引脚号
1	POWER_SW		2	VBAT_IN	Y23
3	B65_L24_N	AA20	4	B65_L2_N	AN19
5	B65_L24_P	AA19	6	B65_L2_P	AM19
7	B65_L13_N	AH23	8	B65_L18_N	AE24
9	B65_L13_P	AH22	10	B65_L18_P	AE23
11	GND		12	GND	
13	B65_L8_N	AL23	14	B65_L16_N	AG23
15	B65_L8_P	AL22	16	B65_L16_P	AF23
17	B65_L12_N	AJ22	18	B65_L3_N	AP22
19	B65_L12_P	AJ21	20	B65_L3_P	AP21
21	GND		22	GND	
23	B65_L5_N	AP23	24	B65_L7_N	AL21
25	B65_L5_P	AN22	26	B65_L7_P	AL20
27	B65_L10_N	AK23	28	B65_L21_N	AE20
29	B65_L10_P	AK22	30	B65_L21_P	AD20
31	GND		32	GND	
33	B65_L14_N	AH21	34	B65_L6_N	AN23
35	B65_L14_P	AG21	36	B65_L6_P	AM23

37	B65_L19_N	AE19	38	B65_L17_N	AF22
39	B65_L19_P	AE18	40	B65_L17_P	AF21
41	GND		42	GND	
43	B65_L15_N	AG20	44	B65_L4_N	AN21
45	B65_L15_P	AG19	46	B65_L4_P	AM21
47	B65_L20_N	AC19	48	B65_L11_N	AK20
49	B65_L20_P	AB19	50	B65_L11_P	AJ20
51	GND		52	GND	
53	B65_L23_N	AD19	54	B65_L1_N	AP20
55	B65_L23_P	AC18	56	B65_L1_P	AP19
57	B65_L22_N	AB18	58	B65_L9_N	AK19
59	B65_L22_P	AA18	60	B65_L9_P	AJ19
61	GND		62	GND	
63	B64_L1_P	AP18	64	B64_L9_P	AK18
65	B64_L1_N	AP17	66	B64_L9_N	AL18
67	B64_L6_P	AN17	68	B64_L14_P	AF18
69	B64_L6_N	AN16	70	B64_L14_N	AG18
71	GND		72	GND	
73	B64_L5_P	AP16	74	B64_L11_P	AJ17
75	B64_L5_N	AP15	76	B64_L11_N	AK17
77	B64_L3_P	AM18	78	B64_L4_P	AM14
79	B64_L3_N	AN18	80	B64_L4_N	AN14
81	GND		82	GND	
83	B64_L24_P	AD17	84	B64_L2_P	AN13
85	B64_L24_N	AD16	86	B64_L2_N	AP13
87	B64_L21_P	AB16	88	B64_L8_P	AL16
89	B64_L21_N	AB15	90	B64_L8_N	AL15
91	GND		92	GND	
93	B64_L7_P	AM16	94	B64_L12_P	AJ16
95	B64_L7_N	AM15	96	B64_L12_N	AJ15
97	B64_L10_P	AK15	98	B64_L16_P	AH14
99	B64_L10_N	AK14	100	B64_L16_N	AJ14
101	GND		102	GND	
103	B64_L20_P	AC17	104	B64_L15_P	AE17
105	B64_L20_N	AC16	106	B64_L15_N	AF17

107	B64_L18_P	AG15	108	B64_L17_P	AF16
109	B64_L18_N	AG14	110	B64_L17_N	AF15
111	GND		112	GND	
113	B64_L22_P	AA16	114	B64_L19_P	AD15
115	B64_L22_N	AA15	116	B64_L19_N	AE15
117	B64_L13_P	AH18	118	B64_L23_P	AA14
119	B64_L13_N	AH17	120	B64_L23_N	AB14

J32 连接器的引脚分配

J32 连接 BANK223, 224, 225, 226 的收发器信号。

J32 管脚	信号名称	引脚号	J32 管脚	信号名称	引脚号
1	223_RX0_P	AP4	2	223_TX0_P	AN6
3	223_RX0_N	AP3	4	223_TX0_N	AN5
5	GND		6	GND	
7	223_RX1_P	AN2	8	223_TX1_P	AM4
9	223_RX1_N	AN1	10	223_TX1_N	AM3
11	GND		12	GND	
13	223_RX2_P	AL2	14	223_TX2_P	AL6
15	223_RX2_N	AL1	16	223_TX2_N	AL5
17	GND		18	GND	
19	223_RX3_P	AK4	20	223_TX3_P	AJ6
21	223_RX3_N	AK3	22	223_TX3_N	AJ5
23	GND		24	GND	
25	223_CLK1_P	AC10	26	223_CLK0_P	AD8
27	223_CLK1_N	AC9	28	223_CLK0_N	AD7
29	GND		30	GND	
31	224_RX0_P	AJ2	32	224_TX0_P	AH4
33	224_RX0_N	AJ1	34	224_TX0_N	AH3
35	GND		36	GND	
37	224_RX1_P	AG2	38	224_TX1_P	AG6
39	224_RX1_N	AG1	40	224_TX1_N	AG5
41	GND		42	GND	
43	224_RX2_P	AF4	44	224_TX2_P	AE6

45	224_RX2_N	AF3	46	224_TX2_N	AE5
47	GND		48	GND	
49	224_RX3_P	AE2	50	224_TX3_P	AD4
51	224_RX3_N	AE1	52	224_TX3_N	AD3
53	GND		54	GND	
55	224_CLK1_P	AA10	56	224_CLK0_P	AB8
57	224_CLK1_N	AA9	58	224_CLK0_N	AB7
59	GND		60	GND	
61	225_CLK1_P	W10	62	225_CLK0_P	Y8
63	225_CLK1_N	W9	64	225_CLK0_N	Y7
65	GND		66	GND	
67	225_RX1_P	AB4	68	225_RX0_P	AC2
69	225_RX1_N	AB3	70	225_RX0_N	AC1
71	GND		72	GND	
73	225_TX1_P	AA6	74	225_TX0_P	AC6
75	225_TX1_N	AA5	76	225_TX0_N	AC5
77	GND		78	GND	
79	225_RX2_P	AA2	80	225_RX3_P	W2
81	225_RX2_N	AA1	82	225_RX3_N	W1
83	GND		84	GND	
85	225_TX2_P	Y4	86	225_TX3_P	W6
87	225_TX2_N	Y3	88	225_TX3_N	W5
89	GND		90	GND	
91	226_CLK0_P	V8	92	226_CLK1_P	U10
93	226_CLK0_N	V7	94	226_CLK1_N	U9
95	GND		96	GND	
97	226_RX3_P	P4	98	226_TX3_P	N6
99	226_RX3_N	P3	100	226_TX3_N	N5
101	GND		102	GND	
103	226_RX2_P	R2	104	226_TX2_P	R6
105	226_RX2_N	R1	106	226_TX2_N	R5
107	GND		108	GND	
109	226_RX1_P	U2	110	226_TX1_P	T4
111	226_RX1_N	U1	112	226_TX1_N	T3
113	GND		114	GND	

115	226_RX0_P	V4	116	226_TX0_P	U6
117	226_RX0_N	V3	118	226_TX0_N	U5
119	GND		120	GND	

三、 扩展板

(一)简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- PCIe x8 接口
- 1 路 M.2 接口
- 1 路 DP 输出接口
- 1 路 USB3.0 Type-C 接口
- 2 路千兆以太网接口
- 2 路 USB Uart 接口
- 1 路 Micro SD 卡座
- 1 路 FMC 扩展口
- 1 路 40 针扩展口
- JTAG 调试口
- 1 路温度传感器
- 1 路 EEPROM
- 2 个用户 LED 灯
- 2 个用户按键

(二) PCIE X8 接口

Z7-P 扩展板配备了一个 PCIe3.0 x8 的接口，8 对收发器连接到 PCIe x8 的金手指上，能实现 PCIe x8, PCIe x4, PCIe x2, PCIe x1 的数据通信。

PCIe 接口的收发信号直接跟 FPGA BANK223, BANK224 的 GTH 收发器相连接, 8 路 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA 的收发器上, 单通道通信速率可高达 8Gbps 带宽。

开发板的 PCIe 接口的设计示意图如下图 3-2-1 所示, 其中 TX 发送信号用 AC 耦合模式连接。

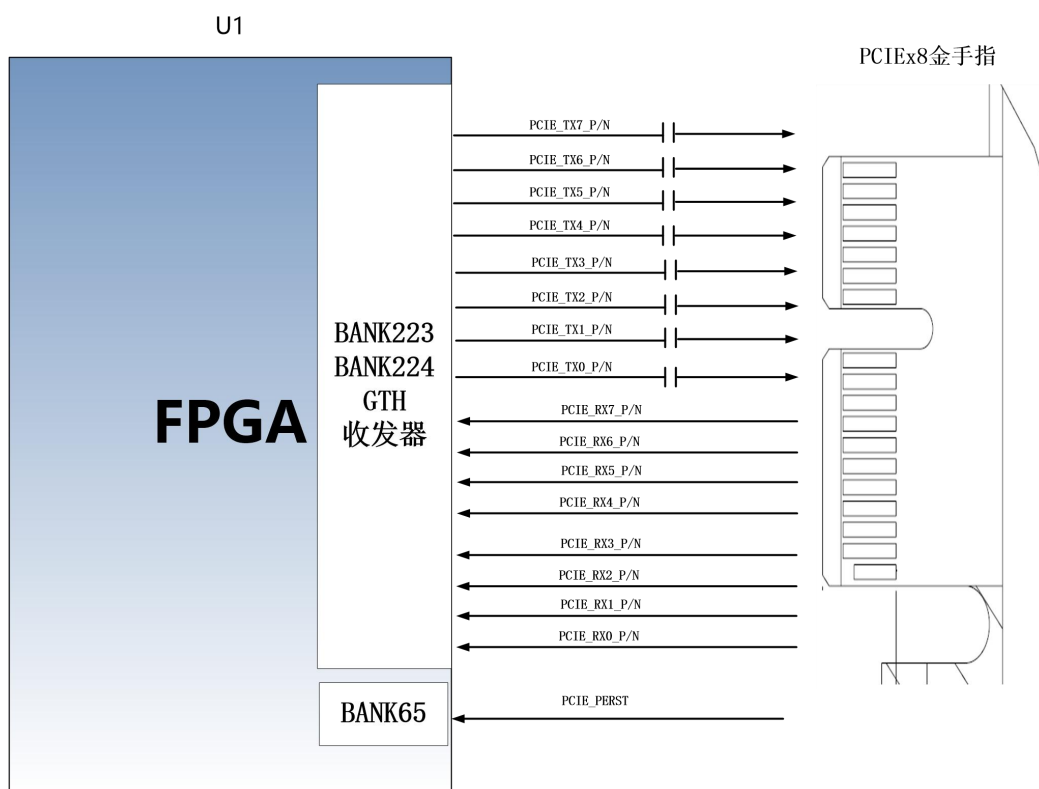


图 3-2-1 PCIe 插槽设计示意图

PCIe x8 接口 FPGA 引脚分配如下:

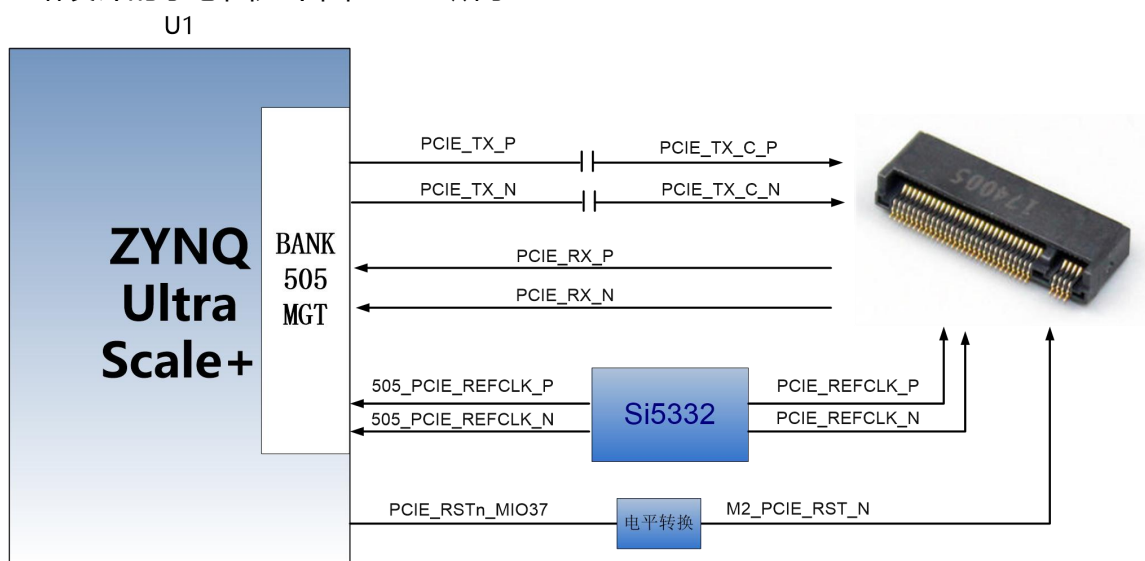
信号名称	FPGA 引脚名	引脚号	备注
PCIE_RX0_N	223_RX0_N	AP3	PCIe 通道 0 数据接收负
PCIE_RX0_P	223_RX0_P	AP4	PCIe 通道 0 数据接收正
PCIE_RX1_N	223_RX1_N	AN1	PCIe 通道 1 数据接收负
PCIE_RX1_P	223_RX1_P	AN2	PCIe 通道 1 数据接收正
PCIE_RX2_N	223_RX2_N	AL1	PCIe 通道 2 数据接收负
PCIE_RX2_P	223_RX2_P	AL2	PCIe 通道 2 数据接收正

PCIE_RX3_N	223_RX3_N	AK3	PCIE 通道 3 数据接收负
PCIE_RX3_P	223_RX3_P	AK4	PCIE 通道 3 数据接收正
PCIE_RX4_N	224_RX0_N	AJ1	PCIE 通道 4 数据接收负
PCIE_RX4_P	224_RX0_P	AJ2	PCIE 通道 4 数据接收正
PCIE_RX5_N	224_RX1_N	AG1	PCIE 通道 5 数据接收负
PCIE_RX5_P	224_RX1_P	AG2	PCIE 通道 5 数据接收正
PCIE_RX6_N	224_RX2_N	AF3	PCIE 通道 6 数据接收负
PCIE_RX6_P	224_RX2_P	AF4	PCIE 通道 6 数据接收正
PCIE_RX7_N	224_RX3_N	AE1	PCIE 通道 7 数据接收负
PCIE_RX7_P	224_RX3_P	AE2	PCIE 通道 7 数据接收正
PCIE_TX0_N	223_TX0_N	AN5	PCIE 通道 0 数据发送负
PCIE_TX0_P	223_TX0_P	AN6	PCIE 通道 0 数据发送正
PCIE_TX1_N	223_TX1_N	AM3	PCIE 通道 1 数据发送负
PCIE_TX1_P	223_TX1_P	AM4	PCIE 通道 1 数据发送正
PCIE_TX2_N	223_TX2_N	AL5	PCIE 通道 2 数据发送负
PCIE_TX2_P	223_TX2_P	AL6	PCIE 通道 2 数据发送正
PCIE_TX3_N	223_TX3_N	AJ5	PCIE 通道 3 数据发送负
PCIE_TX3_P	223_TX3_P	AJ6	PCIE 通道 3 数据发送正
PCIE_TX4_N	224_TX0_N	AH3	PCIE 通道 4 数据发送负
PCIE_TX4_P	224_TX0_P	AH4	PCIE 通道 4 数据发送正
PCIE_TX5_N	224_TX1_N	AG5	PCIE 通道 5 数据发送负
PCIE_TX5_P	224_TX1_P	AG6	PCIE 通道 5 数据发送正
PCIE_TX6_N	224_TX2_N	AE5	PCIE 通道 6 数据发送负
PCIE_TX6_P	224_TX2_P	AE6	PCIE 通道 6 数据发送正
PCIE_TX7_N	224_TX3_N	AD3	PCIE 通道 7 数据发送负
PCIE_TX7_P	224_TX3_P	AD4	PCIE 通道 7 数据发送正
PCIE_CLK_N	223_CLK0_N	AD7	PCIE 通道参考时钟负
PCIE_CLK_P	223_CLK0_P	AD8	PCIE 通道参考时钟正
PCIE_RSTN	B65_L24_N	AA20	PCIE 板卡的复位信号

(三) M.2 接口

Z7-P 开发板配备了一个 PCIE x1 标准的 M.2 接口，用于连接 M.2 的 SSD 固态硬盘，通信速度高达 6Gbps。M.2 接口使用 M key 插槽，只支持 PCI-E，不支持 SATA，用户选择 SSD 固态硬盘的时候需要选择 PCIE 类型的 SSD 固态硬盘。

PCIE 信号直接跟 ZU7EV 的 BANK505 PS MGT 收发器相连接，1 路 TX 信号和 RX 信号都是以差分信号方式连接到 MGT 的 LANE1。PCIE 的时钟由 Si5332 芯片提供，频率为 100Mhz，M.2 电路设计的示意图如下图 3-3-1 所示：



3-3-1 M.2 接口设计示意图

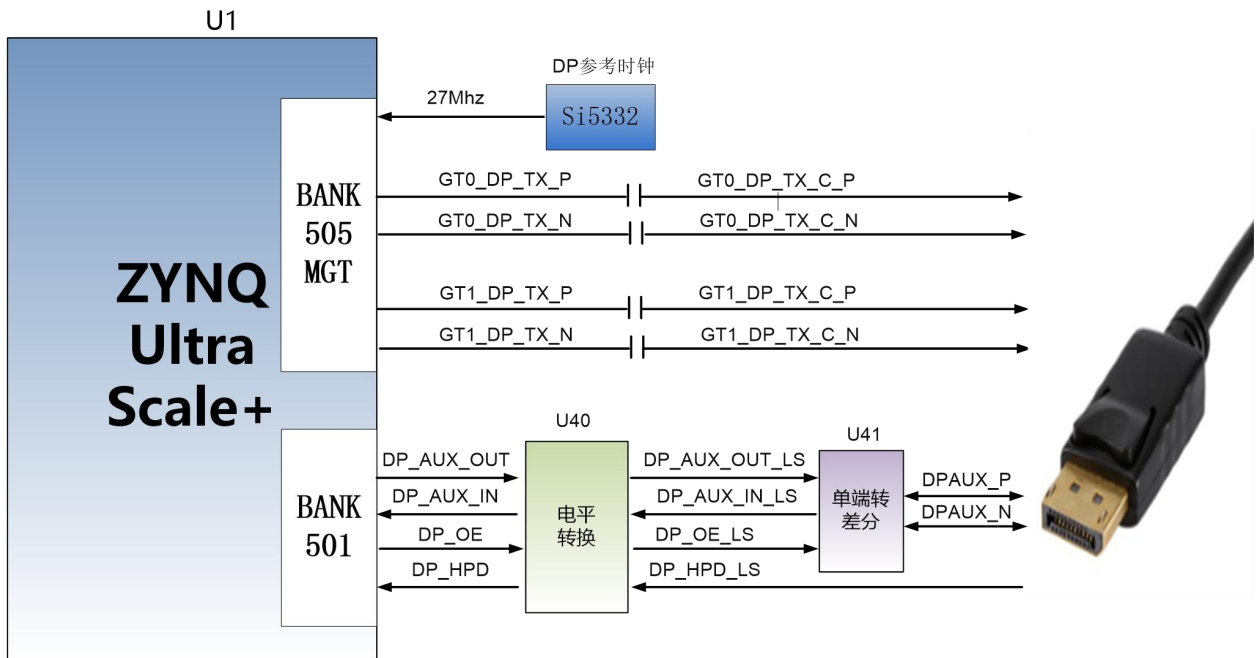
M.2 接口 ZYNQ 引脚分配如下：

信号名称	引脚名	引脚号	备注
PCIE_TX_N	505_TX0_N	U30	PCIE 数据发送负
PCIE_TX_P	505_TX0_P	U29	PCIE 数据发送正
PCIE_RX_N	505_RX0_N	U34	PCIE 数据接收负
PCIE_RX_P	505_RX0_P	U33	PCIE 数据接收正
505_PCIE_REFCLK_N	505_CLK0_N	T28	PCIE 参考时钟负
505_PCIE_REFCLK_P	505_CLK0_P	T27	PCIE 参考时钟正
PCIE_RSTN_MIO37	PS_MIO37	C33	PCIE 复位信号

(四) DP 显示接口

Z7-P 开发板带有 1 路 mini DisplayPort 输出显示接口，用于视频图像的显示。接口支持 VESA DisplayPort V1.2a 输出标准，最高支持 4K x 2K@30Fps 输出，支持 Y-only, YCbCr444, YCbCr422, YCbCr420 和 RGB 视频格式，每种颜色支持 6, 8, 10, 或者 12 位。

DisplayPort 数据传输通道直接用 ZU7EV 的 BANK505 PS MGT 驱动输出，MGT 的 LANE2 和 LANE3 TX 信号以差分信号方式连接到 DP 连接器。DisplayPort 辅助通道连接到 PS 的 MIO 管脚上。DP 输出接口设计的示意图如下图 3-4-1 所示：



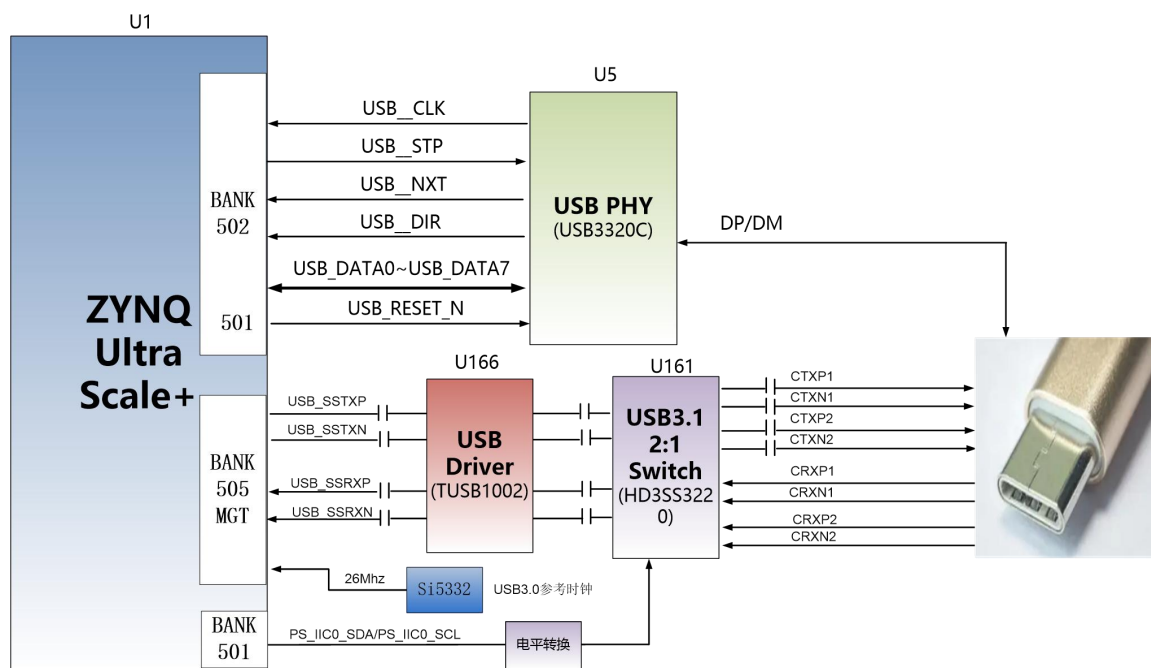
3-4-1 DP 接口设计示意图

DisplayPort 接口 ZYNQ 引脚分配如下：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
GT0_DP_TX_N	505_TX3_N	N30	DP 数据低位发送负
GT0_DP_TX_P	505_TX3_P	N29	DP 数据低位发送正
GT1_DP_TX_N	505_TX2_N	P32	DP 数据高位发送负
GT1_DP_TX_P	505_TX2_P	P31	DP 数据高位发送正
505_DP_CLKN	505_CLK2_N	M28	DP 参考时钟负
505_DP_CLKP	505_CLK2_P	M27	DP 参考时钟正
DP_AUX_OUT_MIO27	PS_MIO27	A30	DP 辅助数据输出
DP_AUX_IN_MIO30	PS_MIO30	A33	DP 辅助数据输入
DP_OE_MIO29	PS_MIO29	A32	DP 辅助数据输出使能
DP_HPD_MIO28	PS_MIO28	A31	DP 插入信号检测

(五) USB3.0 接口

Z7-P 扩展板上有 1 个 USB3.0 TYPE C 接口，支持 HOST、SLAVE、OTG 工作模式，数据传输速度高达 5.0Gb/s。USB3.0 通过 PIPE3 接口连接，USB2.0 通过 ULPI 接口连接外部的 USB3320C 芯片，实现高速的 USB3.0 和 USB2.0 的数据通信。USB3.0 连接的示意图如 3-5-1 所示：



3-5-1 USB3.0 接口示意图

USB 接口引脚分配：

信号名称	引脚名	引脚号	备注
USB_SSTXN	505_TX1_N	R30	USB3.0 数据发送正
USB_SSTXP	505_TX1_P	R29	USB3.0 数据发送负
USB_SSRXN	505_RX1_N	T32	USB3.0 数据接收正
USB_SSRXP	505_RX1_P	T31	USB3.0 数据接收负
USB_DATA0	PS_MIO56	G34	USB2.0 数据 Bit0
USB_DATA1	PS_MIO57	H29	USB2.0 数据 Bit1
USB_DATA2	PS_MIO54	G31	USB2.0 数据 Bit2
USB_DATA3	PS_MIO59	H32	USB2.0 数据 Bit3
USB_DATA4	PS_MIO60	H33	USB2.0 数据 Bit4
USB_DATA5	PS_MIO61	H34	USB2.0 数据 Bit5
USB_DATA6	PS_MIO62	J29	USB2.0 数据 Bit6
USB_DATA7	PS_MIO63	J30	USB2.0 数据 Bit7

USB_STP	PS_MIO58	H31	USB2.0 停止信号
USB_DIR	PS_MIO53	G30	USB2.0 数据方向信号
USB_CLK	PS_MIO52	G29	USB2.0 时钟信号
USB_NXT	PS_MIO55	G33	USB2.0 下一数据信号
USB_RESET_N	PS_MIO32	B31	USB2.0 复位信号
PS_IIC0_SCL	PS_MIO34	B34	I2C 时钟信号
PS_IIC0_SDA	PS_MIO35	C31	I2C 数据信号

(六) 千兆以太网接口

Z7-P 扩展板上有 2 路千兆以太网接口，1 路连接到 PS 端，另 1 路连接到 PL 端。以太网芯片采用景略半导体的工业级以太网 GPHY 芯片 (JL2121-N040I) 为用户提供网络通信服务。PS 端的以太网 PHY 芯片是连接到 ZYNQ 的 PS 端 BANK502 的 GPIO 接口上。PL 端的以太网 PHY 芯片是连接到 BANK35 的 IO 上。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 Zynq7000 系统的 MAC 层进行数据通信。JL2121D 支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL2121 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 8-1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

表 8-1 PHY 芯片默认配置值

当网络连接到千兆以太网时，ZYNQ 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，ZYNQ 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 3-6-1 为 ZYNQ 以太网 PHY 芯片连接示意图:

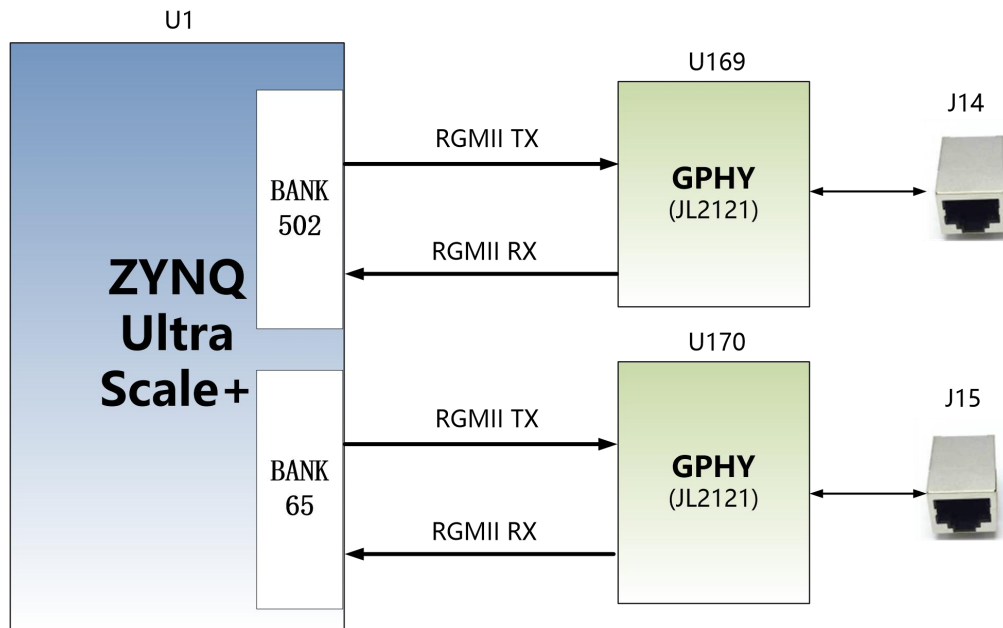


图 3-6-1 ZYNQ 与 GPHY 连接示意图

PS 千兆以太网引脚分配如下：

信号名称	引脚名	引脚号	备注
PHY1_TXCK	PHY1_TXCK	J31	以太网 1RGMII 发送时钟
PHY1_TXD0	PHY1_TXD0	J32	以太网 1 发送数据 bit 0
PHY1_TXD1	PHY1_TXD1	J34	以太网 1 发送数据 bit1
PHY1_TXD2	PHY1_TXD2	K28	以太网 1 发送数据 bit2
PHY1_TXD3	PHY1_TXD3	K29	以太网 1 发送数据 bit3
PHY1_TXCTL	PHY1_TXCTL	K30	以太网 1 发送使能信号
PHY1_RXCK	PHY1_RXCK	K31	以太网 1RGMII 接收时钟
PHY1_RXD0	PHY1_RXD0	K32	以太网 1 接收数据 Bit0
PHY1_RXD1	PHY1_RXD1	K33	以太网 1 接收数据 Bit1
PHY1_RXD2	PHY1_RXD2	K34	以太网 1 接收数据 Bit2
PHY1_RXD3	PHY1_RXD3	L29	以太网 1 接收数据 Bit3
PHY1_RXCTL	PHY1_RXCTL	L30	以太网 1 接收数据有效信号
PHY1_MDC	PHY1_MDC	L33	以太网 1MDIO 管理时钟
PHY1_MDIO	PHY1_MDIO	L34	以太网 1MDIO 管理数据

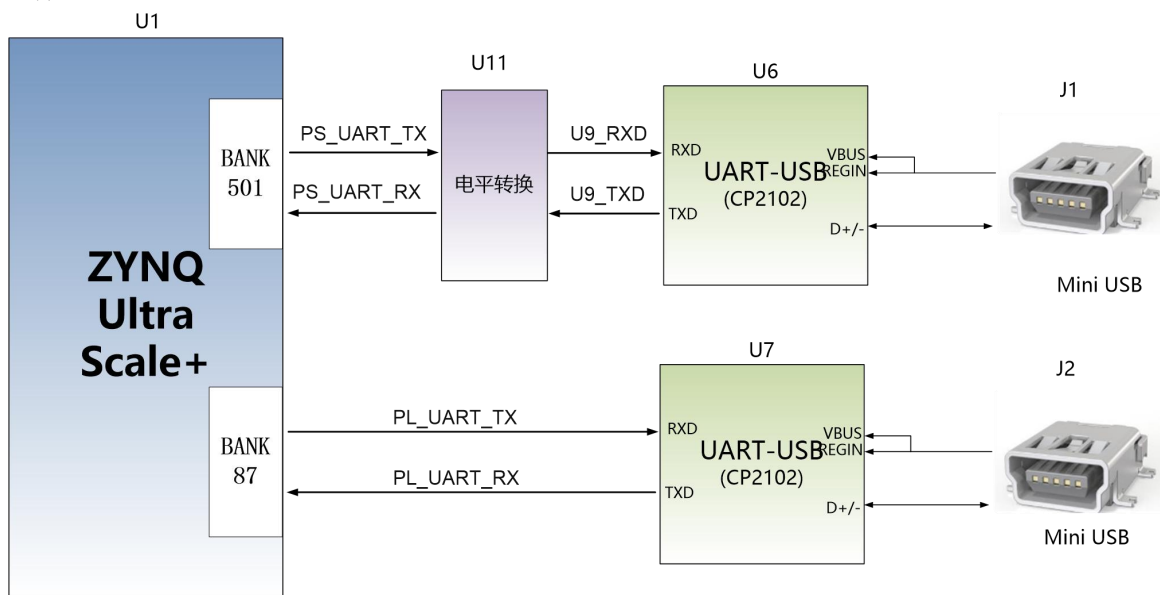
PL 千兆以太网引脚分配如下：

信号名称	引脚名	引脚号	备注
PHY2_TXCK	B65_L3_N	AP22	以太网 2 RGMII 发送时钟
PHY2_TXD0	B65_L6_P	AM23	以太网 2 发送数据 bit 0

PHY2_TXD1	B65_L6_N	AN23	以太网 2 发送数据 bit1
PHY2_TXD2	B65_L13_N	AH23	以太网 2 发送数据 bit2
PHY2_TXD3	B65_L3_P	AP21	以太网 2 发送数据 bit3
PHY2_TXCTL	B65_L16_P	AF23	以太网 2 发送使能信号
PHY2_RXCK	B65_L13_P	AH22	以太网 2 RGMII 接收时钟
PHY2_RXD0	B65_L2_P	AM19	以太网 2 接收数据 Bit0
PHY2_RXD1	B65_L18_N	AE24	以太网 2 接收数据 Bit1
PHY2_RXD2	B65_L18_P	AE23	以太网 2 接收数据 Bit2
PHY2_RXD3	B65_L24_P	AA19	以太网 2 接收数据 Bit3
PHY2_RXCTL	B65_L2_N	AN19	以太网 2 接收数据有效信号
PHY2_MDC	B64_L6_N	AN16	以太网 2 MDIO 管理时钟
PHY2_MDIO	B64_L6_P	AN17	以太网 2 MDIO 管理数据
PHY2_RESET	B65_L16_N	AG23	以太网 2 复位信号

(七) USB Uart 接口

Z7-P 扩展板上配备了 2 个 Uart 转 USB 接口，1 个连接到 PS 端，一个连接到 PL 端。转换芯片采用 Silicon Labs CP2102 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口，可以用 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。USB Uart 电路设计的示意图如下图 3-7-1 所示:



3-7-1 USB 转串口示意图

USB 转串口的 ZYNQ 引脚分配:

信号名称	引脚名	引脚号	备注
PS_UART_RX	PS_MIO42	D34	PS Uart 数据输入
PS_UART_TX	PS_MIO43	E30	PS Uart 数据输出
PL_UART_RX	B87_L2_N	N8	PL Uart 数据输入
PL_UART_TX	B87_L2_P	N9	PL Uart 数据输出

(八) Micro SD 卡座

扩展板包含了一个Micro型的SD卡接口，以提供用户访问SD卡存储器，用于存储ZU7EV芯片的BOOT程序，Linux操作系统内核，文件系统以及其它的用户数据文件。

SDIO信号与ZU7EV的PS BANK501的IO信号相连，因为501的VCCIO设置为1.8V，但SD卡的数据电平为3.3V，我们这里通过TXS02612电平转换器来连接。ZU7EV PS和SD卡连接器的原理图如图3-8-1所示。

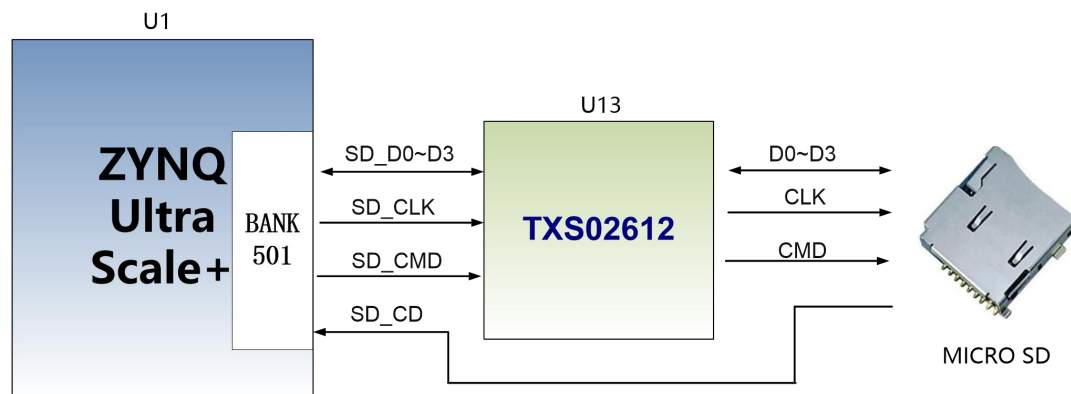


图 3-8-1 SD 卡连接示意图

SD 卡槽引脚分配

信号名称	引脚名	引脚号	备注
SD_CLK	SD_CLK	F34	SD 时钟信号
SD_CD	SD_CD	E33	SD 命令信号
SD_D0	SD_D0	E34	SD 数据 Data0
SD_D1	SD_D1	F30	SD 数据 Data1
SD_D2	SD_D2	F31	SD 数据 Data2
SD_D3	SD_D3	F32	SD 数据 Data3
SD_CMD	SD_CMD	F33	SD 卡检测信号

(九) FMC 连接器

Z7-P 扩展板带有一个标准的 FMC HPC 的扩展口，可以外接 XILINX 或者我们黑金的各种 FMC 模块（HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等）。FMC 扩展口包含 36 对差分 IO 信号和 2 对 GTH 收发器时钟信号。

FMC 扩展口的 59 对差分信号连接到 ZYNQ Ultrascale+ 芯片的 BANK28, 64, 65 的 IO 上，电平标准为 1.8V，差分信号支持 LVDS 数据通信。8 对 GTH 收发器信号连接到 BANK225, 226。ZYNQ Ultrascale+ 和 FMC 连接器的原理图如图 3-9-1 所示。

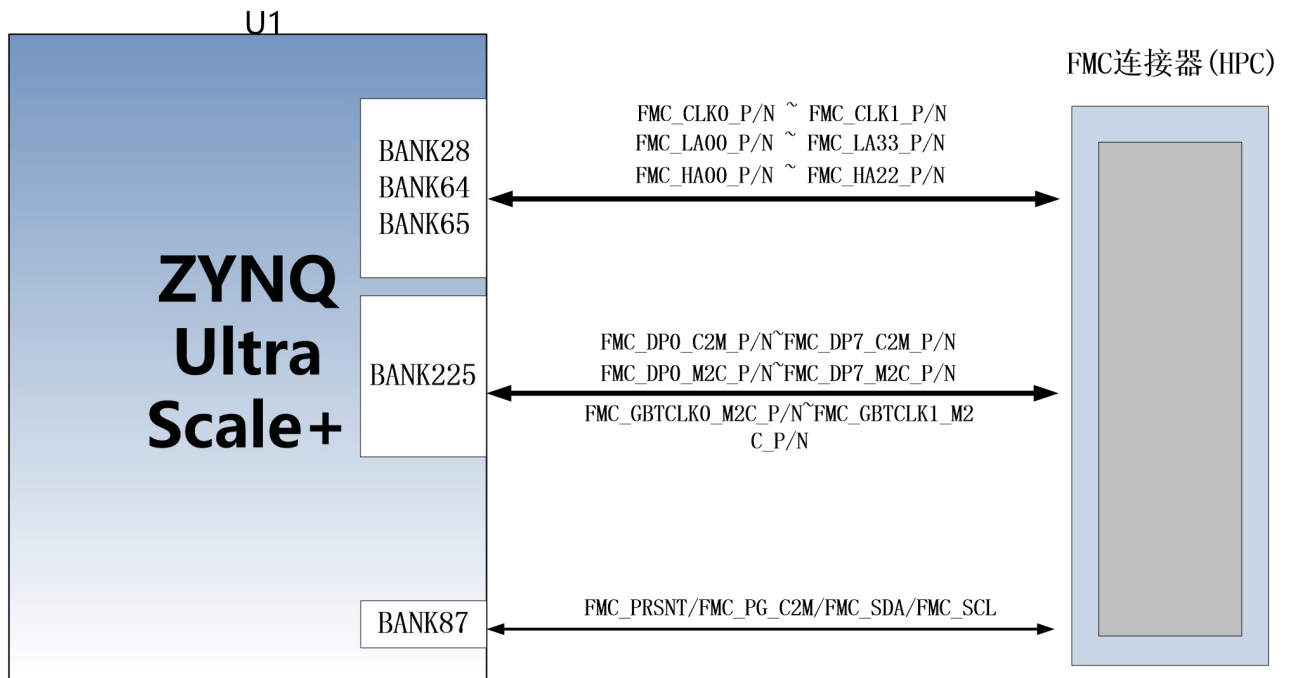


图 3-9-1 FMC 连接器连接示意图

FMC 连接器引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
FMC_DP0_C2M_N	225_TX1_N	AA5	FMC收发器数据发送0负
FMC_DP0_C2M_P	225_TX1_P	AA6	FMC收发器数据发送0正
FMC_DP1_C2M_N	225_TX2_N	Y3	FMC收发器数据发送1负
FMC_DP1_C2M_P	225_TX2_P	Y4	FMC收发器数据发送1正
FMC_DP2_C2M_N	225_TX0_N	AC5	FMC收发器数据发送2负
FMC_DP2_C2M_P	225_TX0_P	AC6	FMC收发器数据发送2正
FMC_DP3_C2M_N	225_TX3_N	W5	FMC收发器数据发送3负
FMC_DP3_C2M_P	225_TX3_P	W6	FMC收发器数据发送3正

FMC_DP4_C2M_N	226_TX2_N	R5	FMC收发器数据发送4负
FMC_DP4_C2M_P	226_TX2_P	R6	FMC收发器数据发送4正
FMC_DP5_C2M_N	226_TX3_N	N5	FMC收发器数据发送5负
FMC_DP5_C2M_P	226_TX3_P	N6	FMC收发器数据发送5正
FMC_DP6_C2M_N	226_TX0_N	U5	FMC收发器数据发送6负
FMC_DP6_C2M_P	226_TX0_P	U6	FMC收发器数据发送6正
FMC_DP7_C2M_N	226_TX1_N	T3	FMC收发器数据发送7负
FMC_DP7_C2M_P	226_TX1_P	T4	FMC收发器数据发送7正
FMC_DP0_M2C_N	225_RX1_N	AB3	FMC收发器数据接收0负
FMC_DP0_M2C_P	225_RX1_P	AB4	FMC收发器数据接收0正
FMC_DP1_M2C_N	225_RX2_N	AA1	FMC收发器数据接收1负
FMC_DP1_M2C_P	225_RX2_P	AA2	FMC收发器数据接收1正
FMC_DP2_M2C_N	225_RX0_N	AC1	FMC收发器数据接收2负
FMC_DP2_M2C_P	225_RX0_P	AC2	FMC收发器数据接收2正
FMC_DP3_M2C_N	225_RX3_N	W1	FMC收发器数据接收3负
FMC_DP3_M2C_P	225_RX3_P	W2	FMC收发器数据接收3正
FMC_DP4_M2C_N	226_RX2_N	R1	FMC收发器数据接收4负
FMC_DP4_M2C_P	226_RX2_P	R2	FMC收发器数据接收4正
FMC_DP5_M2C_N	226_RX3_N	P3	FMC收发器数据接收5负
FMC_DP5_M2C_P	226_RX3_P	P4	FMC收发器数据接收5正
FMC_DP6_M2C_N	226_RX0_N	V3	FMC收发器数据接收6负
FMC_DP6_M2C_P	226_RX0_P	V4	FMC收发器数据接收6正
FMC_DP7_M2C_N	226_RX1_N	U1	FMC收发器数据接收7负
FMC_DP7_M2C_P	226_RX1_P	U2	FMC收发器数据接收7正
FMC_GBTCLK0_M2C_N	225_CLK0_N	Y7	FMC收发器参考时钟输入0负
FMC_GBTCLK0_M2C_P	225_CLK0_P	Y8	FMC收发器参考时钟输入0正
FMC_GBTCLK1_M2C_N	226_CLK0_N	V7	FMC收发器参考时钟输入1负
FMC_GBTCLK1_M2C_P	226_CLK0_P	V8	FMC收发器参考时钟输入1正
FMC_CLK0_N	B64_L11_N	AK17	LA参考第1路参考时钟负
FMC_CLK0_P	B64_L11_P	AJ17	LA参考第1路参考时钟正
FMC_CLK1_N	B64_L12_N	AJ15	LA参考第2路参考时钟负
FMC_CLK1_P	B64_L12_P	AJ16	LA参考第2路参考时钟正
FMC_LA00_CC_N	B65_L12_N	AJ22	LA参考第0路数据（时钟）负
FMC_LA00_CC_P	B65_L12_P	AJ21	LA参考第0路数据（时钟）正
FMC_LA01_CC_N	B65_L14_N	AH21	LA参考第1路数据（时钟）负

FMC_LA01_CC_P	B65_L14_P	AG21	LA参考第1路数据 (时钟) 正
FMC_LA02_N	B65_L5_N	AP23	LA参考第2路数据负
FMC_LA02_P	B65_L5_P	AN22	LA参考第2路数据正
FMC_LA03_N	B65_L17_N	AF22	LA参考第3路数据负
FMC_LA03_P	B65_L17_P	AF21	LA参考第3路数据正
FMC_LA04_N	B65_L4_N	AN21	LA参考第4路数据负
FMC_LA04_P	B65_L4_P	AM21	LA参考第4路数据正
FMC_LA05_N	B65_L15_N	AG20	LA参考第5路数据负
FMC_LA05_P	B65_L15_P	AG19	LA参考第5路数据正
FMC_LA06_N	B65_L8_N	AL23	LA参考第6路数据负
FMC_LA06_P	B65_L8_P	AL22	LA参考第6路数据正
FMC_LA07_N	B65_L9_N	AK19	LA参考第7路数据负
FMC_LA07_P	B65_L9_P	AJ19	LA参考第7路数据正
FMC_LA08_N	B65_L11_N	AK20	LA参考第8路数据负
FMC_LA08_P	B65_L11_P	AJ20	LA参考第8路数据正
FMC_LA09_N	B65_L10_N	AK23	LA参考第9路数据负
FMC_LA09_P	B65_L10_P	AK22	LA参考第9路数据正
FMC_LA10_N	B65_L1_N	AP20	LA参考第10路数据负
FMC_LA10_P	B65_L1_P	AP19	LA参考第10路数据正
FMC_LA11_N	B65_L20_N	AC19	LA参考第11路数据负
FMC_LA11_P	B65_L20_P	AB19	LA参考第11路数据正
FMC_LA12_N	B65_L7_N	AL21	LA参考第12路数据负
FMC_LA12_P	B65_L7_P	AL20	LA参考第12路数据正
FMC_LA13_N	B65_L21_N	AE20	LA参考第13路数据负
FMC_LA13_P	B65_L21_P	AD20	LA参考第13路数据正
FMC_LA14_N	B65_L19_N	AE19	LA参考第14路数据负
FMC_LA14_P	B65_L19_P	AE18	LA参考第14路数据正
FMC_LA15_N	B65_L22_N	AB18	LA参考第15路数据负
FMC_LA15_P	B65_L22_P	AA18	LA参考第15路数据正
FMC_LA16_N	B65_L23_N	AD19	LA参考第16路数据负
FMC_LA16_P	B65_L23_P	AC18	LA参考第16路数据正
FMC_LA17_CC_N	B64_L14_N	AG18	LA参考第17路数据 (时钟) 负
FMC_LA17_CC_P	B64_L14_P	AF18	LA参考第17路数据 (时钟) 正
FMC_LA18_CC_N	B64_L13_N	AH17	LA参考第18路数据 (时钟) 负
FMC_LA18_CC_P	B64_L13_P	AH18	LA参考第18路数据 (时钟) 正

FMC_LA19_N	B64_L7_N	AM15	LA参考第19路数据负
FMC_LA19_P	B64_L7_P	AM16	LA参考第19路数据正
FMC_LA20_N	B64_L15_N	AF17	LA参考第20路数据负
FMC_LA20_P	B64_L15_P	AE17	LA参考第20路数据正
FMC_LA21_N	B64_L5_N	AP15	LA参考第21路数据负
FMC_LA21_P	B64_L5_P	AP16	LA参考第21路数据正
FMC_LA22_N	B64_L4_N	AN14	LA参考第22路数据负
FMC_LA22_P	B64_L4_P	AM14	LA参考第22路数据正
FMC_LA23_N	B64_L3_N	AN18	LA参考第23路数据负
FMC_LA23_P	B64_L3_P	AM18	LA参考第23路数据正
FMC_LA24_N	B64_L16_N	AJ14	LA参考第24路数据负
FMC_LA24_P	B64_L16_P	AH14	LA参考第24路数据正
FMC_LA25_N	B64_L10_N	AK14	LA参考第25路数据负
FMC_LA25_P	B64_L10_P	AK15	LA参考第25路数据正
FMC_LA26_N	B64_L1_N	AP17	LA参考第26路数据负
FMC_LA26_P	B64_L1_P	AP18	LA参考第26路数据正
FMC_LA27_N	B64_L2_N	AP13	LA参考第27路数据负
FMC_LA27_P	B64_L2_P	AN13	LA参考第27路数据正
FMC_LA28_N	B64_L17_N	AF15	LA参考第28路数据负
FMC_LA28_P	B64_L17_P	AF16	LA参考第28路数据正
FMC_LA29_N	B64_L19_N	AE15	LA参考第29路数据负
FMC_LA29_P	B64_L19_P	AD15	LA参考第29路数据正
FMC_LA30_N	B64_L22_N	AA15	LA参考第30路数据负
FMC_LA30_P	B64_L22_P	AA16	LA参考第30路数据正
FMC_LA31_N	B64_L20_N	AC16	LA参考第31路数据负
FMC_LA31_P	B64_L20_P	AC17	LA参考第31路数据正
FMC_LA32_N	B64_L21_N	AB15	LA参考第32路数据负
FMC_LA32_P	B64_L21_P	AB16	LA参考第32路数据正
FMC_LA33_N	B64_L23_N	AB14	LA参考第33路数据负
FMC_LA33_P	B64_L23_P	AA14	LA参考第33路数据正
FMC_HA00_CC_N	B28_L13_N	E23	HA第0路数据 (时钟) 负
FMC_HA00_CC_P	B28_L13_P	F23	HA第0路数据 (时钟) 正
FMC_HA01_CC_N	B28_L11_N	E22	HA第1路数据 (时钟) 负
FMC_HA01_CC_P	B28_L11_P	F22	HA第1路数据 (时钟) 正
FMC_HA02_N	B28_L22_N	B19	HA第2路数据负

FMC_HA02_P	B28_L22_P	B18	HA第2路数据正
FMC_HA03_N	B28_L9_N	D21	HA第3路数据负
FMC_HA03_P	B28_L9_P	D20	HA第3路数据正
FMC_HA04_N	B28_L20_N	C19	HA第4路数据负
FMC_HA04_P	B28_L20_P	C18	HA第4路数据正
FMC_HA05_N	B28_L19_N	A19	HA第5路数据负
FMC_HA05_P	B28_L19_P	A18	HA第5路数据正
FMC_HA06_N	B28_L7_N	D19	HA第6路数据负
FMC_HA06_P	B28_L7_P	E19	HA第6路数据正
FMC_HA07_N	B28_L10_N	F20	HA第7路数据负
FMC_HA07_P	B28_L10_P	G20	HA第7路数据正
FMC_HA08_N	B28_L15_N	C22	HA第8路数据负
FMC_HA08_P	B28_L15_P	C21	HA第8路数据正
FMC_HA09_N	B28_L16_N	D24	HA第9路数据负
FMC_HA09_P	B28_L16_P	E24	HA第9路数据正
FMC_HA10_N	B28_L12_N	F21	HA第10路数据负
FMC_HA10_P	B28_L12_P	G21	HA第10路数据正
FMC_HA11_N	B28_L17_N	C23	HA第11路数据负
FMC_HA11_P	B28_L17_P	D22	HA第11路数据正
FMC_HA12_N	B28_L3_N	J22	HA第12路数据负
FMC_HA12_P	B28_L3_P	J21	HA第12路数据正
FMC_HA13_N	B28_L18_N	G26	HA第13路数据负
FMC_HA13_P	B28_L18_P	G25	HA第13路数据正
FMC_HA14_N	B28_L21_N	A21	HA第14路数据负
FMC_HA14_P	B28_L21_P	A20	HA第14路数据正
FMC_HA15_N	B28_L24_N	B21	HA第15路数据负
FMC_HA15_P	B28_L24_P	B20	HA第15路数据正
FMC_HA16_N	B28_L23_N	A23	HA第16路数据负
FMC_HA16_P	B28_L23_P	A22	HA第16路数据正
FMC_HA17_CC_N	B28_L14_N	G24	HA第17路数据 (时钟) 负
FMC_HA17_CC_P	B28_L14_P	G23	HA第17路数据 (时钟) 正
FMC_HA18_N	B64_L9_N	AL18	HA第18路数据负
FMC_HA18_P	B64_L9_P	AK18	HA第18路数据正
FMC_HA19_N	B64_L8_N	AL15	HA第19路数据负
FMC_HA19_P	B64_L8_P	AL16	HA第19路数据正

FMC_HA20_N	B64_L24_N	AD16	HA第20路数据负
FMC_HA20_P	B64_L24_P	AD17	HA第20路数据正
FMC_HA21_N	B64_L18_N	AG14	HA第21路数据负
FMC_HA21_P	B64_L18_P	AG15	HA第21路数据正
FMC_PRSENT	B87_L4_P	N11	FMC模块存在信号
FMC_PG_C2M	B87_L8_P	K9	FMC Power Good信号
FMC_SCL	B87_L6_P	M10	FMC的I2C通信时钟
FMC_SDA	B87_L6_N	L10	FMC的I2C通信数据

(十) 40 针扩展口

Z7-P 扩展板上有留了 1 个 2.54mm 标准间距的 40 针的扩展口 J16，用于连接黑金的各个模块或者用户自己设计的外面电路，扩展口 34 个信号连接到 BANK87，BANK88 的 IO 上，电平标准位 3.3V。

图 3-10-1 为 40 针扩展口的电路图

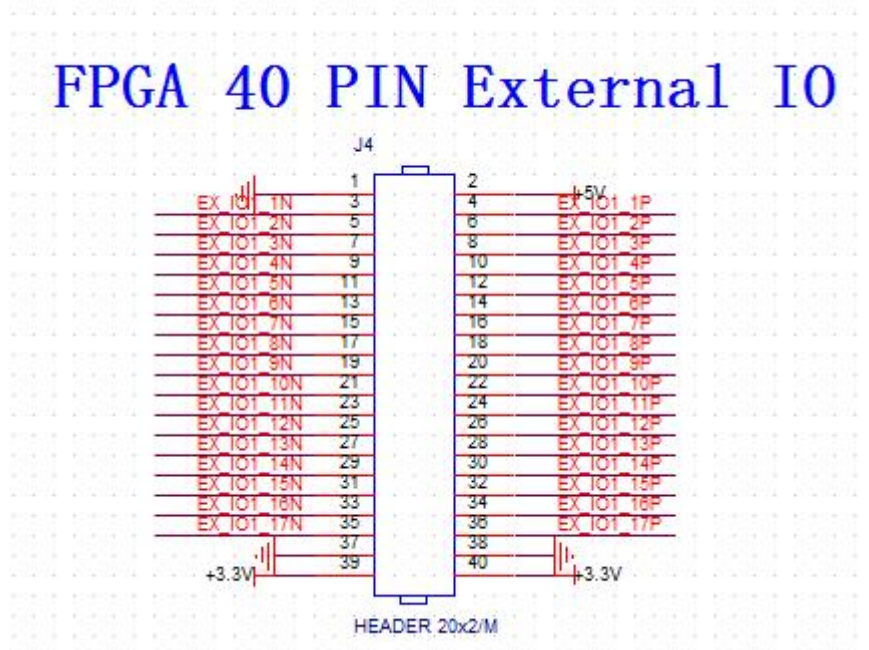


图 3-10-1 40 针扩展口 J4 原理图

40 针扩展口引脚分配如下：

连接器管脚	信号名称	ZYNQ 引脚名	ZYNQ 引脚号
3	IO1_1N	B88_L4_N	E2
4	IO1_1P	B88_L4_P	E3
5	IO1_2N	B88_L1_N	D1

6	IO1_2P	B88_L1_P	E1
7	IO1_3N	B88_L5_N	C2
8	IO1_3P	B88_L5_P	D2
9	IO1_4N	B87_L11_N	G7
10	IO1_4P	B87_L11_P	H7
11	IO1_5N	B88_L11_N	D5
12	IO1_5P	B88_L11_P	D6
13	IO1_6N	B88_L9_N	F4
14	IO1_6P	B88_L9_P	F5
15	IO1_7N	B88_L8_N	D4
16	IO1_7P	B88_L8_P	E4
17	IO1_8N	B87_L9_N	J6
18	IO1_8P	B87_L9_P	J7
19	IO1_9N	B88_L7_N	B4
20	IO1_9P	B88_L7_P	C4
21	IO1_10N	B88_L2_N	B1
22	IO1_10P	B88_L2_P	C1
23	IO1_11N	B88_L3_N	A2
24	IO1_11P	B88_L3_P	A3
25	IO1_12N	B88_L6_N	B3
26	IO1_12P	B88_L6_P	C3
27	IO1_13N	B88_L10_N	A5
28	IO1_13P	B88_L10_P	B5
29	IO1_14N	B88_L12_N	E5
30	IO1_14P	B88_L12_P	F6
31	IO1_15N	B87_L10_N	G6
32	IO1_15P	B87_L10_P	H6
33	IO1_16N	B87_L12_N	G8
34	IO1_16P	B87_L12_P	H8
35	IO1_17N	B87_L3_N	M12
36	IO1_17P	B87_L3_P	N13

(十一) JTAG 调试口

在 Z7-P 扩展板上预留了一个 JTAG 接口，用于下载 ZYNQ UltraScale+ 程序或者固化程序到 FLASH。为了避免带电插拔造成对 ZYNQ UltraScale+ 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围。JTAG 部分原理图如下图 3-11-1 所示。

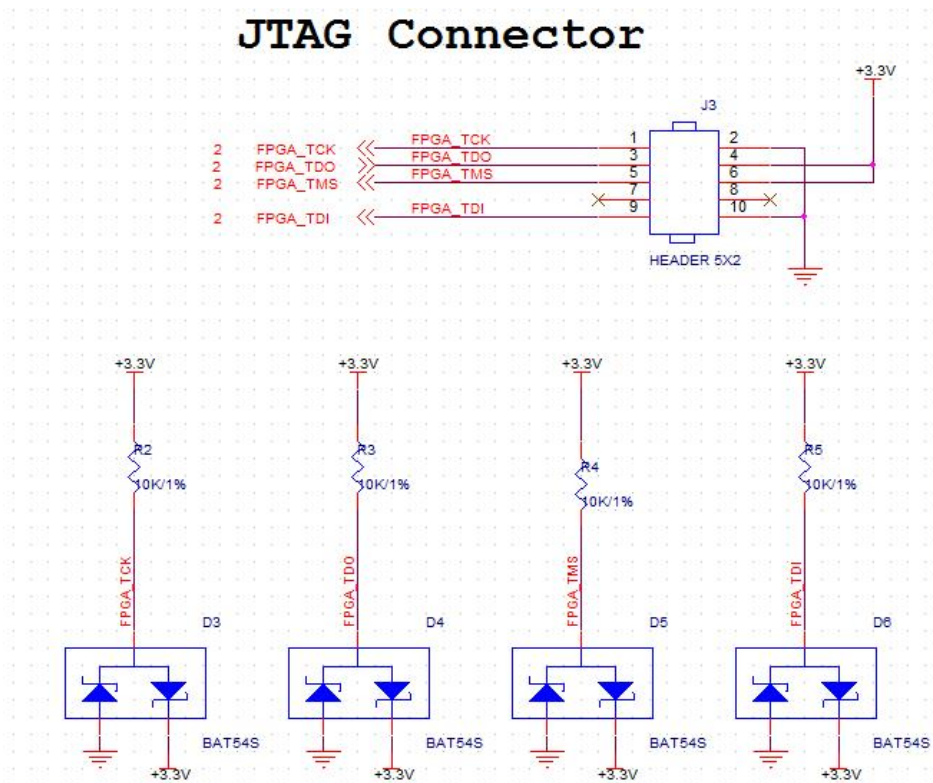


图3-11-1 原理图中JTAG接口部分

(十二) EEPROM 和温度传感器

Z7-P开发板板载了一片EEPROM，型号为24LC04，容量为：4Kbit (2*256*8bit)，通过IIC总线连接到PS端进行通信。另外板上还带有一个高精度、低功耗、数字温度传感器芯片，型号为ON Semiconductor公司的LM75，LM75芯片的温度精度为0.5度。EEPROM和温度传感器通过I2C总线挂载到ZYNQ UltraScale+的Bank501 MIO上。图3-18-1为EEPROM和温度传感器的原理图

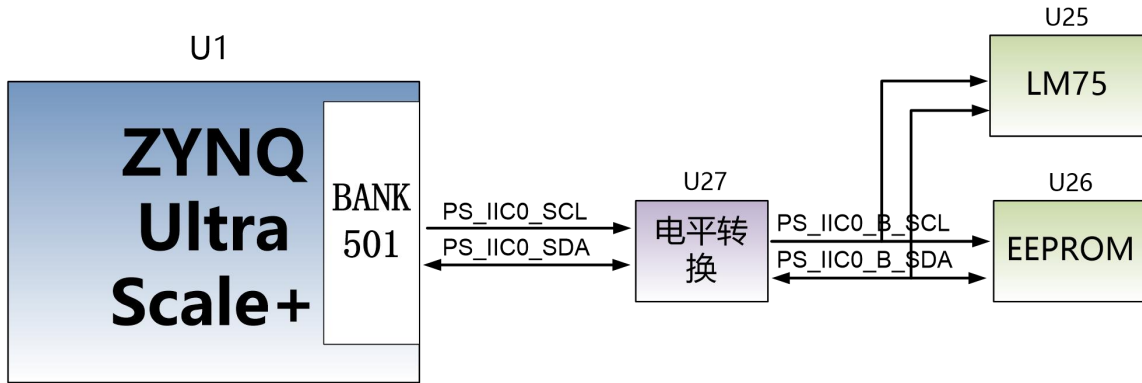


图 3-12-1 EEPROM 和传感器的原理图

EEPROM 通信引脚分配如下：

信号名称	引脚名	引脚号	备注
PS_IIC0_SCL	PS_MIO34	B34	I2C 时钟信号
PS_IIC0_SDA	PS_MIO35	C31	I2C 数据信号

(十三) LED 灯

Z7-P 扩展板上有 4 个发光二极管 LED。包含 1 个电源指示灯，1 个 DONE 指示灯，1 个 PS 控制指示灯，1 个 PL 控制指示灯。用户可以通过程序来控制亮和灭，用户 LED 灯硬件连接的示意图如图 3-13-1 所示：

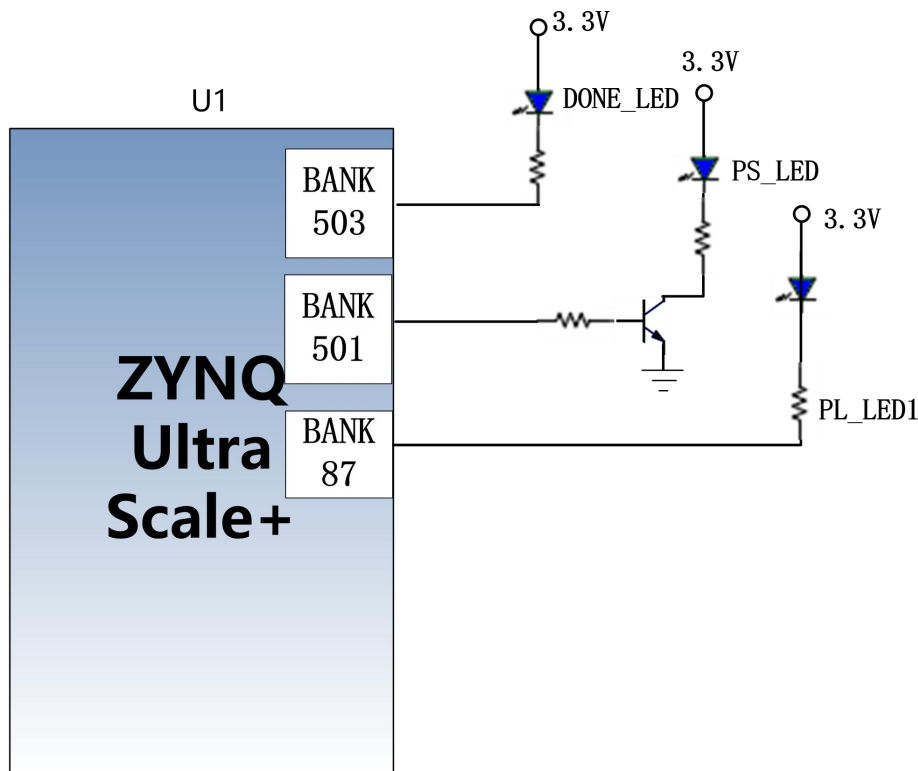


图 3-13-1 用户 LED 灯硬件连接示意图

用户 LED 灯的引脚分配

信号名称	引脚名	管脚号	备注
PS_LED	PS_MIO44	E32	用户 PS LED 灯
PL_LED	B87_L5_P	M9	用户 PL LED1 灯

(十四) 按键

Z7-P 扩展板上有 1 个复位按键 RESET 和 2 个用户按键。复位信号连接到核心板的复位芯片输入, 用户可以使用这个复位按键来复位 ZYNQ 系统。用户按键 1 个连接到 PS 的 MIO 上, 1 个是连接到 PL 的 IO 上。复位按键和用户按键都是低电平有效, 用户按键的连接示意图如图 3-14-1 所示:

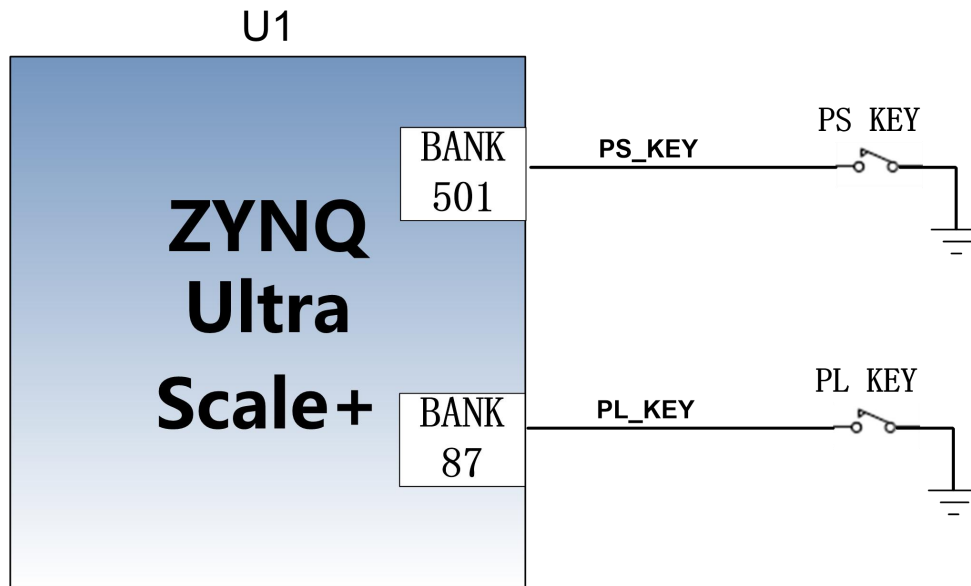



图 3-14-1 复位按键连接示意图

按键的 ZYNQ 管脚分配

信号名称	引脚名	引脚号	备注
PS_KEY	PS_MIO40	D31	PS 按键输入
PL_KEY	B87_L8_N	J9	PL 按键输入

(十五) 拨码开关配置

开发板上有一个 4 位的拨码开关 SW1 用来配置 ZYNQ 系统的启动模式。Z7-P 系统开发平台支持 4 种启动模式。这 4 种启动模式分别是 JTAG 调试模式, QSPI FLASH, EMMC 和 SD2.0 卡启动模式。ZU7EV 芯片上电后会检测 (PS_MODE0~3) 的电平来决定那种启动模式。用户可以通过扩展板上的拨码开关 SW1 来选择不同的启动模式。SW1 启动模式配置如下表 3-15-1 所示。

SW1	拨码位置 (1, 2, 3, 4)	MODE[3:0]	启动模式
	ON, ON, ON, ON	0000	PS JTAG

	ON, ON, OFF, ON	0010	QSPI FLASH
	ON, OFF, ON, OFF	0101	SD卡
	ON, OFF, OFF, ON	0110	EMMC

表3-15-1 SW1启动模式配置

(十六) 电源

Z7-P 开发板的电源输入电压为 DC12V，可以通过 DC JACK 或者 PCIE 对板子供电。底板上通过 1 路 DC/DC 电源芯片 ETA8156 和 3 路 DC/DC 电源芯片 ETA1471 转换成+5V, +3.3V, +1.8V, FMC_VADJ。板上的电源设计示意图如下图 3-16-1 所示:

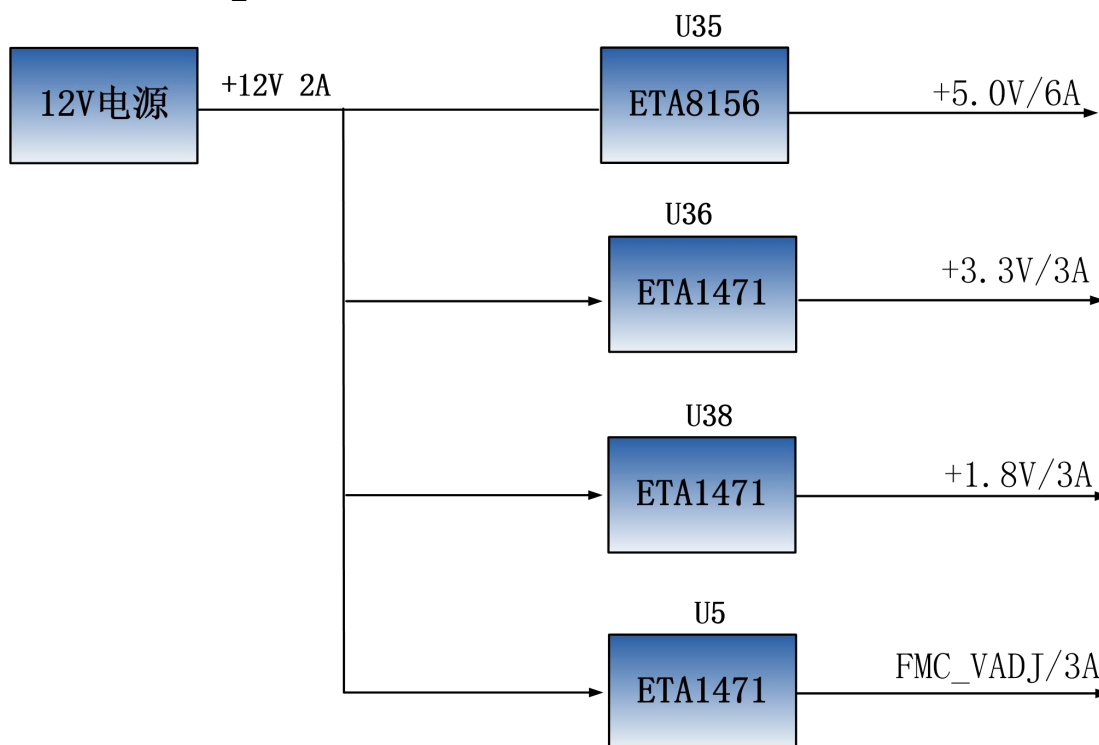


图 3-16-1 原理图中电源接口部分

各个电源分配的功能如下表所示:

电源	功能
+5.0V	USB 供电电源
+1.8V	以太网, USB2.0
+3.3V	以太网, USB2.0, M.2, SD, DP, CAN,

	RS485
FMC_VADJ	FMC

(十七) 风扇

因为 ZU7EV 正常工作时会产生大量的热量,我们在板上为芯片增加了一个散热片和风扇,防止芯片过热。风扇的控制由 ZYNQ 芯片来控制,控制管脚连接到 BANK87 的 IO 上 (PIN M8), 如果 IO 电平输出为低, MOSFET 管导通, 风扇工作, 如果 IO 电平输出为高, 风扇停止。板上的风扇设计图如下图 3-17-1 所示:

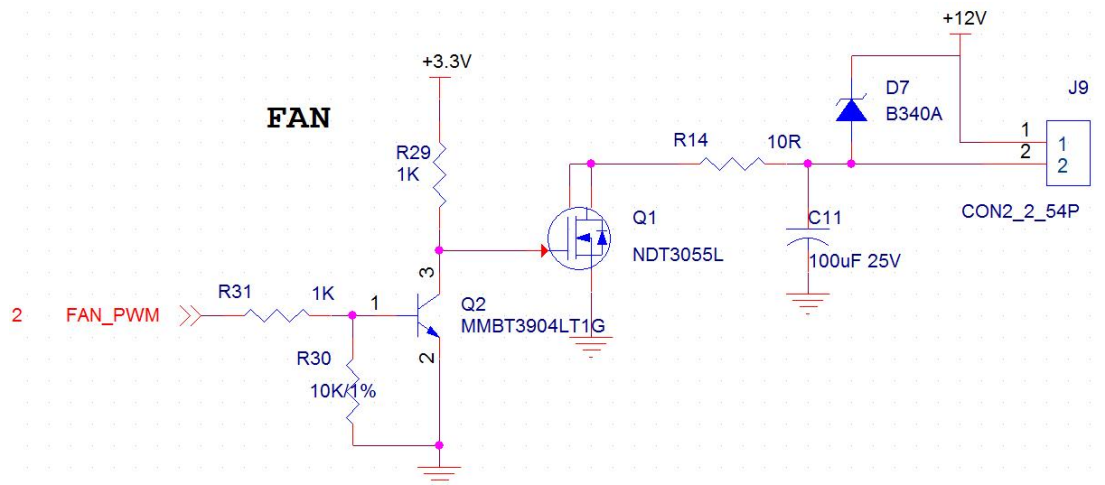


图 3-23-1 开发板风扇设计

风扇出厂前已经用螺丝固定在开发板上, 风扇的电源连接到了 J9 的插座上, 红色的为正极, 黑色的为负极。

(十八) 结构尺寸图

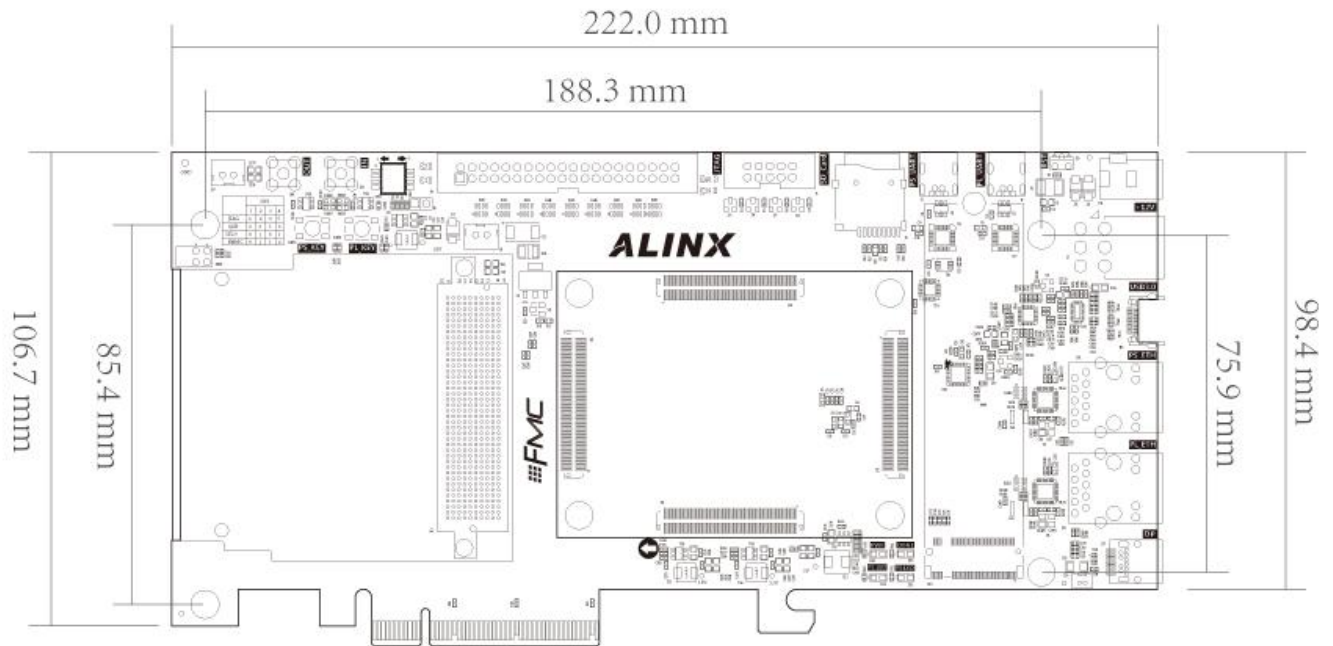


图 3-18-1 正面图 (Top View)